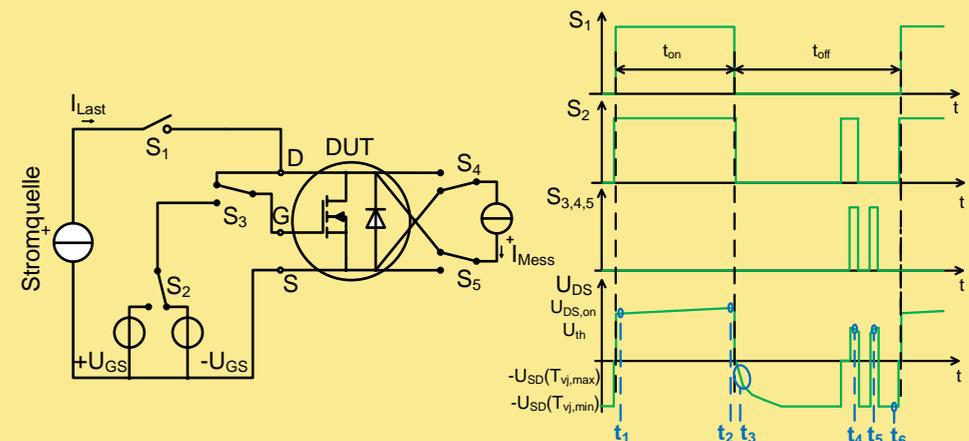


Carsten Kempniak

Lastwechsellmethoden für Siliziumkarbid-MOSFETs unter Berücksichtigung von deren Schwellspannungsinstabilität

Die Anwendung von etablierten Qualifizierungstestroutinen wie Lastwechseltests auf SiC-MOSFETs ist mit Herausforderungen verbunden: Die Schwellspannung U_{th} von SiC-MOSFETs ist kein stabiler Parameter, was sowohl die Sperrschichttemperaturerfassung während der Testdurchführung beeinflusst als auch zu einer unerwünschten Verschiebung des Einschaltwiderstandes führt. Innerhalb dieser Arbeit wird ein Konzept zur ΔU_{th} -Erfassung während einer Lastwechselprüfung erarbeitet und umgesetzt. Hierauf aufbauend erfolgt zunächst eine umfangreiche Charakterisierung von Schwellspannungsinstabilitäten unter lastwechselfypischen Gate-Bedingungen. Es werden die wesentlichen Einflussfaktoren herausgearbeitet und deren Einfluss auf Lastwechseltests diskutiert sowie ein Konzept zur Unterdrückung unerwünschter Drieffekte während der Lastwechselprüfung mittels Vorkonditionierung abgeleitet. Der Vergleich erster Lastwechseltests mit und ohne Vorkonditionierung validiert dessen Eignung und impliziert ferner einen signifikanten Einfluss von ΔU_{th} auf das Lastwechsellergebnis. Zusätzlich wird eine von U_{th} -Instabilitäten unabhängige Temperaturerfassung mittels chip-integriertem Sensor eingeführt und mit der etablierten $U_{SD}(T)$ -Methode verglichen. Im Ergebnis dieser Arbeit werden die wesentlichen Herausforderungen zur Anwendung von Lastwechseltests auf SiC-MOSFETs aufgezeigt, Methoden zum Umgang mit diesen erarbeitet und experimentell verifiziert. Exemplarische Untersuchungen erfolgen sowohl an speziell angefertigten Forschungsmustern als auch an käuflichen SiC-MOSFETs unterschiedlicher Hersteller und Spannungsklassen.

Carsten Kempniak: Lastwechsellmethoden für SiC-MOSFETs



Lastwechsellmethoden für Siliziumkarbid-MOSFETs unter
Berücksichtigung von deren Schwellspannungsinstabilität

Dissertation

zur Erlangung des akademischen Grades

Doktoringenieur
(Dr.-Ing.)

von **M.Sc. Carsten Kempiak**

geb. am 20. November 1990 in Magdeburg

genehmigt durch die Fakultät für Elektrotechnik und Informationstechnik
der Otto-von-Guericke-Universität Magdeburg

Gutachter: Prof. Dr.-Ing. Andreas Lindemann

Prof. Dr.-Ing. Prof. h.c. Josef Lutz

Promotionskolloquium am 28. August 2023

Res Electricae Magdeburgenses

Magdeburger Forum zur Elektrotechnik, Jg. 21, Band 97, 2023
<http://www.mafo.ovgu.de/>

IMPRESSUM

Herausgeber:

- Prof. Dr.-Ing. Andreas Lindemann, Lehrstuhl für Leistungselektronik, Institut für Elektrische Energiesysteme
- Prof. Dr.-Ing. habil. Martin Wolter, Lehrstuhl für Elektrische Netze und Erneuerbare Energie, Institut für Elektrische Energiesysteme
- Prof. Dr. rer. nat. Georg Rose, Lehrstuhl für Medizinische Telematik/Medizintechnik, Institut für Medizintechnik
- Prof. Dr.-Ing. Ralf Vick, Lehrstuhl für Elektromagnetische Verträglichkeit, Institut für Medizintechnik

Gründungsherausgeber:

- Prof. Dr. rer. nat. habil. Jürgen Nitsch
- Prof. Dr.-Ing. habil. Zbigniew Antoni Styczynski

alle: Otto-von-Guericke-Universität Magdeburg
Postfach 4120, 39016 Magdeburg

V. i. S. d. P.:

Dr.-Ing. Carsten Kempniak
Otto-von-Guericke-Universität Magdeburg, Postfach 4120, 39016 Magdeburg

1. Auflage, Magdeburg, Otto-von-Guericke-Universität, 2023
Zugl.: Magdeburg, Univ., Diss., 2023

Auflage: 50

Redaktionsschluss: September 2023

ISSN: 1612-2526

ISBN: 978-3-948749-38-5

DOI: 10.24352/UB.OVGU-2023-102

© Copyright 2023 Carsten Kempniak

Bezug über die Herausgeber

Druck: docupoint GmbH
Otto-von-Guericke-Allee 14, 39179 Barleben

Vorwort

Ermöglicht wurde die vorliegende Arbeit durch meine Tätigkeit als wissenschaftlicher Mitarbeiter am Lehrstuhl für Leistungselektronik der Otto-von-Guericke-Universität Magdeburg. Besonderen Dank gilt meinem Doktorvater und Lehrstuhlinhaber Prof. Lindemann für das entgegengebrachte Vertrauen, die kontinuierliche Unterstützung sowie zahlreichen konstruktiven Diskussionen und wertvollen Denkanstöße. Danken möchte ich auch Prof. Lutz für die Übernahme und das zügige Anfertigen des Zweitgutachtens.

Mein Dank gilt auch Idaka-san, Dr. Eckhard Thal, Dr. Nils Soltau von Mitsubishi Electric Europe B.V., sowie Kawahara-san, Oi-san, Izuo-san, Yano-san und Soda-san von Mitsubishi Electric Japan für die gute Zusammenarbeit und Unterstützung: Die zahlreichen konstruktiven und auch kritischen Diskussionen sowie die entgegengebrachte Wertschätzung — in nun bereits 6 Jahren kooperativer Forschung — trugen wesentlich zum fortschreitenden Erkenntnisgewinn und anhaltender Motivation bei. Darüber hinaus wurden einige Untersuchungen erst durch die Bereitstellung von Forschungsmustern ermöglicht.

Danken möchte ich auch Dr. Jacek Rudzki von Semikron Danfoss sowie Dr. Alexander Schiffmacher und Prof. Wilde vom Institut für Mikrosystemtechnik der Universität Freiburg für die gute Zusammenarbeit im AiF-Projekt „Langzeitzuverlässigkeit Leistungselektronik“, aus dem die beschriebene Fallstudie resultierte, sowie für zahlreiche konstruktive Diskussionen, Anregungen, Bereitstellen von Versuchsmustern und deren Fehleranalyse. Herrn Dr. Wolfgang Schätzing danke ich für die Unterstützungen bei der FE-Modellierung sowie Herrn Axel Hoppe vom Institut für Automation und Kommunikation e.V. Magdeburg für seine engagierte Unterstützung bei der Beantragung von Fördermitteln für gemeinsame Vorhaben — auch, wenn (noch) nicht erfolgreich.

Ein herzlichen Dank möchte ich auch meinen Kollegen aussprechen, die stets unterstützend und freundlich zu einem angenehmen Arbeitsklima beitragen. Gedankt sei auch allen Studierenden, die mit Ihrer Abschlussarbeit oder HiWi-Tätigkeit einen Beitrag leisteten: Hervorzuheben sind hierbei Andreas Ehrlich für seinen hohen persönlichen Einsatz während seiner Masterarbeit, Kevin Ladentin, den ich mittlerweile als wertvollen Kollegen schätze und Denny Friedl für seine mehrjährige Unterstützung beim Aufbau hunderter Leiterkarten.

Vielen Dank auch an Familie und Freunde für die ein oder andere Ablenkung in arbeitsreichen Zeiten.

Vielen Dank!

Ehrenerklärung

Ich versichere hiermit, dass ich die vorliegende Arbeit ohne unzulässige Hilfe Dritter und ohne Benutzung anderer als der angegebenen Hilfsmittel angefertigt habe. Die Hilfe eines kommerziellen Promotionsberaters habe ich nicht in Anspruch genommen. Dritte haben von mir weder unmittelbar noch mittelbar geldwerte Leistungen für Arbeiten erhalten, die im Zusammenhang mit dem Inhalt der vorgelegten Dissertation stehen. Verwendete fremde und eigene Quellen sind als solche kenntlich gemacht.

Ich habe insbesondere nicht wissentlich:

- Ergebnisse erfunden oder widersprüchliche Ergebnisse verschwiegen,
- statistische Verfahren absichtlich missbraucht, um Daten in ungerechtfertigter Weise zu interpretieren,
- fremde Ergebnisse oder Veröffentlichungen plagiiert,
- fremde Forschungsergebnisse verzerrt wiedergegeben

Mir ist bekannt, dass Verstöße gegen das Urheberrecht Unterlassungs- und Schadensersatzansprüche des Urhebers sowie eine strafrechtliche Ahndung durch die Strafverfolgungsbehörden begründen kann.

Ich erkläre mich damit einverstanden, dass die Dissertation ggf. mit Mitteln der elektronischen Datenverarbeitung auf Plagiate überprüft werden kann.

Die Arbeit wurde bisher weder im Inland noch im Ausland in gleicher oder ähnlicher Form als Dissertation eingereicht und ist als Ganzes auch noch nicht veröffentlicht.

Carsten Kempniak, Magdeburg, den 13. September 2023

Kurzfassung

Die Anwendung von etablierten Qualifizierungstestroutinen wie Lastwechseltests auf SiC-MOSFETs ist mit Herausforderungen verbunden: Die Schwellspannung U_{th} von SiC-MOSFETs ist kein stabiler Parameter, was sowohl die Sperrschichttemperaturerfassung während der Testdurchführung beeinflusst als auch zu einer unerwünschten Verschiebung des Einschaltwiderstandes führt. Innerhalb dieser Arbeit wird ein Konzept zur ΔU_{th} -Erfassung während einer Lastwechselprüfung erarbeitet und umgesetzt. Hierauf aufbauend erfolgt zunächst eine umfangreiche Charakterisierung von Schwellspannungsinstabilitäten unter lastwechseltypischen Gate-Bedingungen. Es werden die wesentlichen Einflussfaktoren herausgearbeitet und deren Einfluss auf Lastwechseltests diskutiert sowie ein Konzept zur Unterdrückung unerwünschter Drifteffekte während der Lastwechselprüfung mittels Vorkonditionierung abgeleitet. Der Vergleich erster Lastwechseltests mit und ohne Vorkonditionierung validiert dessen Eignung und impliziert ferner einen signifikanten Einfluss von ΔU_{th} auf das Lastwechsellergebnis. Zusätzlich wird eine von U_{th} -Instabilitäten unabhängige Temperaturerfassung mittels chip-integriertem Sensor eingeführt und mit der etablierten $U_{SD}(T)$ -Methode verglichen. Im Ergebnis dieser Arbeit werden die wesentlichen Herausforderungen zur Anwendung von Lastwechseltests auf SiC-MOSFETs aufgezeigt, Methoden zum Umgang mit diesen erarbeitet und experimentell verifiziert. Exemplarische Untersuchungen erfolgen sowohl an speziell angefertigten Forschungsmustern als auch an käuflichen SiC-MOSFETs unterschiedlicher Hersteller und Spannungsklassen.

Abstract

The application of established qualification test routines like power cycling to SiC MOSFETs is not as straightforward as it may seem: The threshold voltage V_{th} of SiC MOSFETs is not a stable parameter, affecting junction temperature sensing during the test execution and yielding an undesired shift of the turn-on resistance. Within this work, a ΔV_{th} -monitoring concept is proposed and applied. Based on this approach, an extensive characterisation of V_{th} -instabilities under power cycling like gate conditions is carried out, the main influencing factors are identified and a concept to suppress parasitic drift effects during a power cycling test based on preconditioning is derived. The comparison of first power cycling results with and without prior applied preconditioning validates this approach and further implicates a significant impact of ΔV_{th} on the test outcome. In addition, a junction temperature measurement approach independent on V_{th} -instabilities based on a chip-integrated sensor is introduced and compared to the established $V_{SD}(T)$ -method. As result of this work, the main challenges of the application of power cycling tests to SiC MOSFETs are pointed out, methods dealing with them are proposed and verified by using special engineering samples as well as commercial SiC MOSFETs of different manufactures and voltage classes as exemplary devices under test.

Inhaltsverzeichnis

1	Einleitung	1
1.1	Motivation	1
1.2	Aufbau der Arbeit	2
2	Grundlagen und Stand der Technik	3
2.1	SiC-MOSFETs	3
2.1.1	Allgemeines, Aufbau und Funktionsweise	3
2.1.2	Einschaltwiderstand im ohm'schen Bereich	5
2.1.3	Inverse Body-Diode	8
2.1.4	Materialeigenschaften	10
2.1.5	Elektronenbeweglichkeit im Inversionskanal von SiC-MOSFETs	12
2.1.6	Schwelspannungsinstabilitäten von SiC-MOSFETs	15
2.2	Aufbau- und Verbindungstechnik von Leistungshalbleiterbauelementen	25
2.3	Lastwechseltests	29
2.3.1	Hintergrund	29
2.3.2	Durchführung und Messdatenerfassung	30
2.3.3	Fehleridentifikation und in-situ Separation von Degradationen	34
2.3.4	Statistische Auswertung — Weibull-Analyse	37
2.3.5	Anwendung von Lastwechseltests	38
2.3.6	Methodische Besonderheiten bei SiC-MOSFETs	49
3	Charakterisierung von Schwelspannungsinstabilitäten unter lastwechseltypischen Gate-Bedingungen	51
3.1	Schwelspannungsmessung	51
3.1.1	ΔU_{th} -Ermittlung mittels Kennlinienschreiber	52
3.1.2	Konzept zur kontinuierlichen ΔU_{th} -Erfassung während der Lastwechselprüfung	60
3.2	Transiente Effekte	63
3.2.1	Hysterese	63
3.2.2	Kurzzeit- U_{th} -Verschiebung während t_{off}	66
3.2.3	Kurzzeit- U_{th} -Verschiebung während t_{on}	69
3.3	Langzeit- U_{th} -Verschiebung	72
3.3.1	Versuchsaufbau	72

3.3.2	Einflussgrößen	74
3.3.3	Modellierung und Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$	81
3.3.4	Vergleich von lastwechseltypischem und applikationsnäherem Schalten	88
3.3.5	Phänomenologische Modellierung	92
3.4	Fazit	93
4	Bestimmung der virtuellen Sperrschichttemperatur	95
4.1	Indirekte Temperaturmessung mittels $U_{SD}(T)$ -Methode	95
4.1.1	Statische Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$	96
4.1.2	Transiente Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$	101
4.2	Direkte Temperaturmessung mittels chip-integriertem Sensor	108
4.2.1	Untersuchte Versuchsträger	109
4.2.2	Simulationsmodell	109
4.2.3	Vergleich der Sensormessung mit der $U_{SD}(T)$ -Methode	111
4.3	Fazit	124
5	Separation und Identifikation von Degradation und Ausfall im elektrischen Pfad	125
5.1	Herausforderungen	125
5.2	Separation und Quantifizierung des Einflusses der sich überlappenden Degradationsmechanismen mittels erweiterter Datenerfassung	126
5.2.1	Schaltungs- und Messkonzept	126
5.2.2	Experimentelle Validierung	129
5.3	Kompensation der Langzeit- U_{th} -Verschiebung mittels Vorkonditionierung .	137
5.3.1	Einfluss einer Vorkonditionierung auf die Fehleridentifikation im elektrischen Pfad	138
5.3.2	Einfluss der Vorkonditionierung auf das Lastwechselergebnis	140
5.4	Fazit	145
6	Zusammenfassung	146
	Literaturverzeichnis	148

Nomenklatur

Abkürzungen und Definitionen

3C-SiC	kubische Siliziumkarbid-Kristallstruktur, die sich alle drei Lagen wiederholt
4H-SiC	hexagonale Siliziumkarbid-Kristallstruktur, die sich alle vier Lagen wiederholt
6H-SiC	hexagonale Siliziumkarbid-Kristallstruktur, die sich alle sechs Lagen wiederholt
A	Anode
AC	Wechselstrom (engl.: Alternating Current)
Ag	Silber
Al	Aluminium
AQG324	Europäische Anwendungsrichtlinie zur Qualifizierung von Leistungsmodulen für automobiler Anwendungen
AVT	Aufbau- und Verbindungstechnik
a-face	unpolare Oberfläche eines 4H-SiC Kristalls, die mit der gleichen Anzahl an Si- und C-Atomen abschließt
Bondbuffer	dünne, aufgesinterte Kupferfolie auf der Oberseite eines Halbleiters
Border Traps	Gitterfehler im SiO ₂ -Kristall nah an der SiO ₂ /SiC-Grenzschicht
BFoM	Baliga figure-of-merit
bzw.	beziehungsweise
C	Kollektor
CTE	thermischer Ausdehnungskoeffizient (engl.: coefficient of thermal expansion)
Cu	Kupfer

C-Atom	Kohlenstoff-Atom
C-face	polare Oberfläche eines 4H-SiC Kristalls, die mit C-Atomen abschließt
D	Drain
DBC	Keramik mit Kupfer-Metallisierung (engl.: direct copper bond)
DC	Gleichstrom (engl.: Density Current)
DMOS	MOSFET, dessen Kanalstruktur mittels Doppelimplantation hergestellt wurde (engl.: Double-Diffused Metal-Oxide)
DUT	Prüfling (engl.: device under test)
E	Emitter
EoL	Ausfall (engl.: End-of-Life)
ESB	Ersatzschaltbild
FEM	Finite Elemente Methode
JFET	Sperrschicht-Feldeffekttransistor (engl.: junction-field-effect-transistor)
FPGA	Field Programmable Gate Array
PV	Photovoltaik
G	Gate
GaN	Galliumnitrid
i.d.R.	in der Regel
IGBT	Insulated Gate Bipolar Transistor
IMTEK	Institut für Mikrosystemtechnik der Universität Freiburg
Interface Traps	Gitterfehler in der SiO ₂ /SiC-Grenzschicht
IR	Infrarot
K	Kathode
MOSFET	Metall-Oxid-Halbleiter-Feldeffekttransistor
m-face	unpolare Oberfläche eines 4H-SiC Kristalls, die mit der gleichen Anzahl an Si- und C-Atomen abschließt

NBTI	temperaturabhängige Verschiebung der Schwellspannung infolge einer lang anliegenden negativen Gate-Spannung (engl.: negative-bias-temperature-instability)
PBTI	temperaturabhängige Verschiebung der Schwellspannung infolge einer lang anliegenden positiven Gate-Spannung (engl.: positive-bias-temperature-instability)
RT	Raumtemperatur
S	Source
Si	Silizium
SiC	Siliziumkarbid
SiO₂	Siliziumoxid
Si-face	polare Oberfläche eines 4H-SiC Kristalls, die mit Si-Atome abschließt
SJ	Superjunction
SS	Sense-Source
TIM	Wärmeleitmaterial (engl.: thermal interface material)
TO-Gehäuse	Transistor-Gehäuse (engl.: transistor outline)
TSEP	temperatursensitiver elektrischer Parameter
UMOS	MOSFET, dessen Gate-Elektrode in einem U-förmigen Graben ausgeführt ist
vgl.	vergleiche
ZVEI	Verband der Elektro- und Digitalindustrie
μC	Mikrocontroller

Griechische Symbole

α	Formfaktor einer Weibull-Analyse
β	Skalierungsfaktor einer Weibull-Analyse
β_{Uth}	Symmetriefaktor
γ	Body-Faktor
Δ	Änderung
ε_0	Permittivität des Vakuums
ε_r	materialspezifische Permittivität
ε_{SiC}	materialspezifische Permittivität von 4H-SiC
λ	thermische Leitfähigkeit
μ	Beweglichkeit
μ_{bulk}	materialspezifische Elektronenbeweglichkeit
μ_{ch}	Elektronenbeweglichkeit im Inversionskanal
μ_n	Elektronenbeweglichkeit
$\frac{1}{\mu_C}$	Elektronenbeweglichkeitseinschränkung infolge von Coulomb-Streuung an Oberflächenzuständen
$\frac{1}{\mu_{\text{sp}}}$	Elektronenbeweglichkeitseinschränkung infolge von Gitterschwingungen im SiC-Kristall
$\frac{1}{\mu_{\text{sr}}}$	Elektronenbeweglichkeitseinschränkung infolge von diffuser Streuung aufgrund der Oberflächenrauigkeit an der SiC/SiO ₂ -Grenzschicht
τ	Zeitkonstante
ϕ	elektrisches Potential
ϕ_F	Fermi-Potential
ϕ_M	elektrisches Potential einer Metallelektrode
ϕ_{HL}	elektrisches Potential einer Halbleiterelektrode
$\phi_{\text{M,HL}}$	Differenz des elektrischen Potentials zwischen einer Metall- und Halbleiterelektrode
Ω	Ohm

Lateinische Symbole

A	aktive Chipfläche
C_{ox}	Kapazität des Gate-Oxids
d_{ox}	Dicke des Gate-Oxids
E	Youngs Modulus
E_A	Aktivierungsenergie
E_{krit}	kritische elektrische Feldstärke
E_G	Bandlücke
$E_{G,\text{Si}}$	Bandlücke von Silizium
$E_{G,\text{SiC}}$	Bandlücke von Siliziumkarbid
E_{G,SiO_2}	Bandlücke von Siliziumoxid
$E_{L,\text{Si}}$	unteres Energieniveau des Leitungsbandes von Silizium
$E_{L,\text{SiC}}$	unteres Energieniveau des Leitungsbandes von Siliziumkarbid
E_{L,SiO_2}	unteres Energieniveau des Leitungsbandes von Siliziumoxid
$E_{V,\text{Si}}$	oberes Energieniveau des Valenzbandes von Silizium
$E_{V,\text{SiC}}$	oberes Energieniveau des Valenzbandes von Siliziumkarbid
E_{V,SiO_2}	oberes Energieniveau des Valenzbandes von Siliziumoxid
f_s	Schaltfrequenz
g_m	Transkonduktanz
I	Strom
I_C	Kollektor-Strom
I_D	Drain-Strom
$I_{D,\text{max}}$	maximaler Drain-Strom
I_{Mess}	Messstrom
I_{Last}	Laststrom
$I_{\text{Last,kalt}}$	Laststrom gemessen zu Beginn von t_{on}
$I_{\text{Last,warm}}$	Laststrom gemessen am Ende von t_{on}
k_B	Boltzmann Konstante
L	Kanallänge
n_i	intrinsische Ladungsträger Konzentration
N	Lastwechselzyklen
N_A	dotierte Akzeptorkonzentration
N_D	dotierte Ladungsträgerdichte der Driftzone
N_f	Zyklen bis zum Ausfall
P	Leistung
P_V	Verlustleistung
R	elektrischer Widerstand
R_{BW}	elektrischer Widerstand der stromführenden Bonddrähte

$R_{\text{BW,kalt}}$	elektrischer Widerstand der stromführenden Bonddrähte ermittelt zu Beginn von t_{on}
$R_{\text{BW,warm}}$	elektrischer Widerstand der stromführenden Bonddrähte ermittelt am Ende von t_{on}
R_{ch}	Kanalwiderstand
R_{Drift}	Widerstand der schwach dotierten Driftzone
$R_{\text{DS,on}}$	Drain-Source Widerstand im ohmschen Bereich
$R_{\text{DS,on,kalt}}$	Drain-Source Widerstand gemessen zu Beginn von t_{on}
$R_{\text{DS,on,warm}}$	Drain-Source Widerstand gemessen am Ende von t_{on}
R_{ers}	Ersatzwiderstand
R_{JFET}	Widerstand der JFET Region / der Akkumulationsschicht
R_{Kontakt}	Anschlusswiderstand
R_{n}^+	Source-Widerstand
R_{Substrat}	Widerstand des Substrates
R_{th}	thermischer Widerstand
$R_{\text{th,ers}}$	thermischer Ersatzwiderstand
$R_{\text{thj,c}}$	thermischer Widerstand zwischen Halbleiter und Bodenplatte
$R_{\text{thj,h}}$	thermischer Widerstand zwischen Halbleiter und Kühlkörper
$R_{\text{thj,ref}}$	thermischer Widerstand zwischen Halbleiter und Referenz
$R_{\text{thj,W}}$	thermischer Widerstand zwischen Halbleiter und Kühlmedium
t	Zeit
T	Temperatur in °C
T_{c}	Bodenplattentemperatur in °C
T_{err}	systematischer Temperaturmessfehler
T_{h}	Kühlkörpertemperatur in °C
T_{j}	lokale Chiptemperatur in °C
$T_{\text{j,kalt}}$	lokale Chiptemperatur in °C gemessen zu Beginn von t_{on}
$T_{\text{j,max}}$	maximale lokale Chiptemperatur in °C
$T_{\text{j,min}}$	minimale lokale Chiptemperatur in °C
$T_{\text{j,warm}}$	lokale Chiptemperatur in °C gemessen am Ende von t_{on}
t_{M}	Messzeitpunkt
T_{m}	mittlere Temperatur in °C
t_{off}	Ausschaltzeit
t_{on}	Einschaltzeit
T_{ref}	Referenztemperatur in °C
t_{s}	Schaltzeit
t_{v}	Verzögerungszeit
T_{vj}	virtuelle Sperrschichttemperatur in °C
$T_{\text{vj,m}}$	mittlere virtuelle Sperrschichttemperatur in °C

$T_{vj,max}$	maximale virtuelle Sperrschichttemperatur in °C
$T_{vj,min}$	minimale mittlere virtuelle Sperrschichttemperatur in °C
T_W	Temperatur des Kühlmediums in °C
t_{Zyklus}	Zykluszeit
U	Spannung
U_{AK}	Anoden-Kathoden Spannung
U_B	stromabhängige Polarisierung der Driftzone gegenüber dem Source-Potential
U_{BW}	Spannungsabfall über den stromführenden Bonddrähten
U_{CE}	Kollektor-Emitter Spannung
$U_{CE,on} / U_{CE,sat}$	Kollektor-Emitter Spannung während Laststromfluss / Sättigungsspannung
U_{DS}	Drain-Source Spannung
$U_{DS,on}$	Drain-Source Spannung während Laststromfluss
$U_{DS,on,kalt}$	Drain-Source Spannung gemessen zu Beginn von t_{on}
$U_{DS,on,warm}$	Drain-Source Spannung gemessen am Ende von t_{on}
$U_{DS,Sperr}$	Drain-Source Sperr-Spannung
$U_{DSS,on}$	Drain-Sense-Source Spannung während Laststromfluss
$U_{DSS,on,kalt}$	Drain-Sense-Source Spannung gemessen zu Beginn von t_{on}
$U_{DSS,on,warm}$	Drain-Sense-Source Spannung gemessen am Ende von t_{on}
U_{end}	Spannungsendwert
U_{FB}	Flachbandspannung
U_{GE}	Gate-Emitter Spannung
U_{GS}	Gate-Source Spannung (auch allgemein Gate-Spannung)
$U_{GS,off}$	negative Gate-Source Spannung (auch allgemein negative Gate-Spannung)
$U_{GS,on}$	positive Gate-Source Spannung (auch allgemein positive Gate-Spannung)
U_{th}	Schwellspannung
U_{th}^{down}	mittels Kennlinienschreiber gemessene Schwellspannung nach einem U_{GS} -down-Sweep
U_{th}^{Hys}	Schwellspannungshysterese
$U_{th}^{long-term}$	Langzeit- U_{th} -Verschiebung
U_{th}^{neg}	Schwellspannung gemessen nach einer negativen Gate-Spannung
U_{th}^{pos}	Schwellspannung gemessen nach einer positiven Gate-Spannung
U_{th}^{up}	mittels Kennlinienschreiber gemessene Schwellspannung nach einem U_{GS} -up-Sweep
$U_{th,body}$	Spannung, die den Einfluss des Body-Effektes auf die Schwellspannung beschreibt
U_{SD}	Source-Drain Spannung
U_{start}	Anfangswert eines U_{GS} -Sweeps
U_{step}	Endwert eines U_{GS} -Sweeps

v_{sat}	Sättigungsdriftgeschwindigkeit
W	Kanalweite
w_{B}	Dicke der Driftzone
q	Elementarladung
Q_{f}	Menge der festen Ladungen im Oxid
Q_{it}	Menge der veränderlichen Ladungen in der SiC/SiO ₂ -Grenzschicht
Q_{s}	Betrag der Ladungsmenge im Inversionskanal
Z_{th}	thermischer Impedanz
$Z_{\text{th,ers}}$	thermische Ersatzimpedanz
$Z_{\text{thj,c}}$	thermische Impedanz zwischen Halbleiter und Bodenplatte
$Z_{\text{thj,h}}$	thermische Impedanz zwischen Halbleiter und Kühlkörper
$Z_{\text{thj,ref}}$	thermische Impedanz zwischen Halbleiter und Referenz
$Z_{\text{thj,W}}$	thermische Impedanz zwischen Halbleiter und Kühlmedium
$Z_{\text{thvj,ref}}$	thermische Impedanz zwischen der virtuellen Sperrschichttemperatur und Referenz
$Z_{\text{thvj,sensor}}$	thermische Impedanz zwischen der virtuellen Sperrschichttemperatur und Sensor

1 Einleitung

1.1 Motivation

Leistungselektronik bezeichnet das Teilgebiet der Elektrotechnik, das sich mit dem effizienten Umformen elektrischer Energie beschäftigt, weshalb diese sowohl bei dem Umstieg auf Lösungen zur Energieerzeugung aus erneuerbaren Quellen — wie Photovoltaik (PV) und Windenergie — und der intelligenten Steuerung von Erzeugung und Verbrauch (smart grid) als auch bei der zunehmenden Elektrifizierung — und der damit verbundenen Effizienzsteigerung — industrieller Prozesse und des Verkehrs eine Schlüsselrolle einnimmt [1–7]: Beispielsweise erzeugen PV-Anlagen Gleichstrom, der zur Netzeinspeisung in Wechselstrom umgewandelt werden muss; zum netzgekoppelten Laden von batteriebetriebenen Elektrofahrzeugen muss der netzseitige Wechselstrom in einen Gleichstrom gewandelt werden, die elektrische Drehstrommaschine wird während der Fahrt wiederum über einen Wechselrichter versorgt.

Auf Silizium (Si) IGBTs basierende Leistungselektronik ermöglicht bereits heute — beispielsweise durch den Ersatz netzgekoppelter Industrieantriebe durch effizientere drehzahlvariable Antriebe — eine erhebliche Einsparung elektrischer Energie [2] [8]. Der Einsatz von Halbleitern auf Basis neuer Materialien mit großer Bandlücke wie Siliziumkarbid (SiC) und Galliumnitrid (GaN) bietet darüber hinaus zahlreiche Anwendungsvorteile, die zu effizienteren, kleineren und leichteren Elektronikkomponenten und -systemen führen, was insbesondere für mobile Anwendungen synergistische Vorteile verspricht: So reduziert eine Gewichtsreduktion der Elektronik auch mittelbar den Gesamtenergieverbrauch, was zu Reichweitenerhöhungen führt [9–13].

Der Zentralverband Elektro- und Digitalindustrie e.V. (ZVEI) prognostiziert in seiner Technologie-Roadmap „Next Generation“ von 2019 eine Verdreifachung der weltweiten Wertschöpfung an Leistungshalbleitern bis 2030, was einem sechsfach höheren Wachstum als der Gesamthalbleitermarkt entspricht, wobei knapp ein Drittel der Wertschöpfung an Leistungshalbleitern derzeit in Europa stattfindet [14] [15]. Wesentliche Treiber sind demnach die zunehmende Elektrifizierung der Mobilität und die fortschreitende Adaption von SiC-MOSFETs. Die Absicherung der Zuverlässigkeit dieser noch jungen Technologie

über die gesamte Lebensdauer der Anwendung stellt hierbei eine bestehende Herausforderung zu deren Marktdurchdringung dar. Ein wesentlicher Teil des Qualifizierungsprozesses von Leistungshalbleiterbauelementen stellt die Absicherung der Lebensdauer und Zuverlässigkeit der Aufbau- und Verbindungstechnik mittels Lastwechseltests dar, bei denen thermo-mechanische Beanspruchungen der Anwendung beschleunigt in einem Prüfstand nachgebildet werden [16]. Die Anwendung dieses etablierten Testverfahrens auf SiC-MOSFETs bringt diverse Herausforderungen mit sich: So beeinflussen Instabilitäten der Schwellspannung unter anderem die Sperrschichttemperaturerfassung sowie die Identifikation von Degradation und Ausfall während der Testdurchführung [16] [17]. An beide Kriterien besteht jedoch eine Forderung nach hoher Genauigkeit [18]. Ziel dieser Arbeit ist es, Herausforderungen, die bei der Lastwechselprüfung von SiC-MOSFETs bestehen, aufzuzeigen, zu charakterisieren und darauf aufbauend Methoden zum Umgang mit diesen Herausforderungen abzuleiten, um so einen Beitrag zur schnellen Adaption hocheffizienter und zuverlässiger Leistungselektronik zu leisten.

1.2 Aufbau der Arbeit

Dazu erfolgt zunächst im **zweiten Kapitel** eine Beschreibung der notwendigen Grundlagen und des Stands der Technik, wobei gesondert auf SiC-MOSFETs und insbesondere deren Schwellspannungsinstabilität, der Aufbau- und Verbindungstechnik von Leistungshalbleiterbauelementen und Lastwechseltests eingegangen wird. Eine im **dritten Kapitel** folgende Charakterisierung von Schwellspannungsinstabilitäten unter lastwechseltypischer Gate-Belastung identifiziert wesentliche Einflussfaktoren und Abhängigkeiten, was zum besseren Verständnis beiträgt und im Ergebnis ein Konzept zur Unterdrückung einer Langzeit-Schwellspannungsverschiebung während der Lastwechselprüfung ableitet. Hierauf aufbauend widmet sich das **vierte Kapitel** der Sperrschichttemperaturerfassung von SiC-MOSFETs während der Lastwechselprüfung, wobei sowohl die etablierte indirekte Messmethode untersucht als auch eine alternative Temperaturmessmethode eingeführt und anhand beispielhafter Versuchsträger validiert wird. Im **fünften Kapitel** wird ein Konzept zur quantifizierenden Separation überlappender Degradationsmechanismen vorgestellt, Einflussfaktoren auf die Identifikation und Separation von Degradation und Ausfall während der Lastwechselprüfung sowie auf das Lastwechselergebnis untersucht und das Konzept zur Unterdrückung einer Langzeit-Schwellspannungsverschiebung während der Lastwechselprüfung anhand exemplarischer Versuchsträger experimentell validiert. Die Arbeit schließt mit einer Zusammenfassung der wesentlichen Ergebnisse im **sechsten Kapitel**.

2 Grundlagen und Stand der Technik

2.1 SiC-MOSFETs

2.1.1 Allgemeines, Aufbau und Funktionsweise

Metall-Oxid-Halbleiter-Feldeffekttransistoren (MOSFETs) sind spannungsgesteuerte, unipolare Halbleiter. Es lassen sich nach Funktion selbstsperrende — MOSFETs vom Anreicherungstyp — und selbstleitende — MOSFETs vom Verarmungstyp — sowie die für die Stromführung im eingeschalteten Zustand maßgeblichen Majoritätsladungsträger — n-Kanal MOSFETs im Fall von Elektronen bzw. p-Kanal MOSFETs im Fall von Löchern — unterscheiden; **Abbildung 2.1** zeigt die entsprechenden Schaltzeichen:

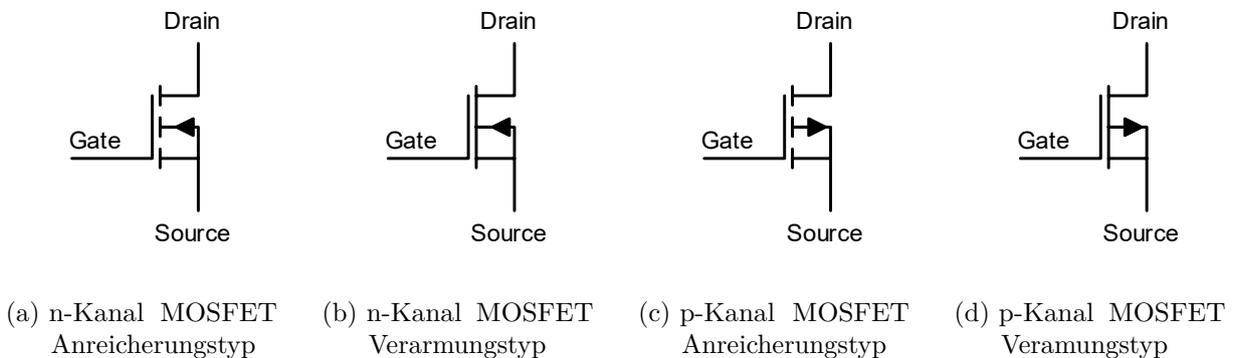


Abbildung 2.1: Schaltsymbole von MOSFETs unterteilt nach Art der Majoritätsladungsträger und Schwellspannungspolarität

n-Kanal-Anreicherungstyp

Bei Anlegen einer positiven Gate-Source Spannung $U_{GS,on}$ bildet sich in einem p-dotierten Gebiet ein leitender Kanal mit Elektronen als Ladungsträger aus. Dafür muss die anliegende Gate-Source Spannung einen Schwellwert — die Gate-Source Schwellspannung $U_{th} > 0V$ — überschreiten. Ist die anliegende Gate-Source Spannung kleiner U_{th} , bildet sich kein leitender Kanal aus — der Transistor sperrt.

n-Kanal-Verarmungstyp

Ist die anliegende Gate-Source Spannung positiver als $U_{th} < 0V$ bildet sich in einem p-dotierten Gebiet ein leitender Kanal mit Elektronen als Ladungsträger aus. Ist die

anliegende Gate-Source Spannung negativer als U_{th} , sperrt der Transistor.

p-Kanal-Anreicherungstyp

Ist die anliegende Gate-Source Spannung negativer als $U_{th} < 0\text{ V}$ bildet sich in einem n-dotierten Gebiet ein leitender Kanal mit Löchern als Ladungsträger aus. Ist die anliegende Gate-Source Spannung positiver als U_{th} , sperrt der Transistor.

p-Kanal-Verarmungstyp

Ist die anliegende Gate-Source Spannung positiver als $U_{th} > 0\text{ V}$, sperrt der Transistor. Liegt hingegen eine Gate-Source Spannung an, die negativer als U_{th} ist, so bildet sich in einem n-dotierten Gebiet ein leitender Kanal mit Löchern als Ladungsträger aus.

Nach Struktur bzw. Stromflussrichtung lassen sich ferner laterale und vertikale MOSFETs unterscheiden: Laterale MOSFETs werden üblicherweise in integrierten Schaltkreisen verwendet und haben eine wichtige Bedeutung in der digitalen Schaltungstechnik beispielsweise als CMOS-Endstufe und in integrierten Stromversorgungslösungen (smart power) für kleine Spannungen und Ströme. Soll mehr Leistung übertragen werden, ist in der Leistungselektronik die Ausführung als vertikale n-Kanal MOSFETs vom Anreicherungstyp — nachfolgend als MOSFET bezeichnet — üblich, da Löcher sowohl in Silizium (Si) als auch in Siliziumkarbid (SiC) eine deutlich geringere Beweglichkeit aufweisen und selbstsperrende Transistoren für den Betrieb am Gleichspannungszwischenkreis vorteilhaft sind [19]. Dabei bilden zahlreiche parallele vertikale MOSFET-Zellen einen Chip, in denen der Laststrom in jeder Zelle, mit der technischen Stromflussrichtung von „unten nach oben“, senkrecht durch den Chip fließt [19] [20]. Üblicherweise ist in der Applikation auf der Unterseite eine Wärmesenke montiert, die entweder potentialgetrennt (i.d.R. bei diskreten Bauelementen) oder potentialbehaftet (bei Leistungsmodulen) die Abführung der Verlustleistung in Form von Wärme gewährleistet [20] — näheres hierzu im **Abschnitt 2.2**.

Ein weiteres Unterscheidungsmerkmal ist die Realisierung des Steuerkopfes bzw. des Gates, welches üblicherweise mit einem Siliziumoxid SiO_2 isoliert ist. **Abbildung 2.2** zeigt zwei übliche Realisierungen einer MOSFET Zelle: Eine planare Struktur, bei der das Gate auf der Zelle aufliegt (auch nach dem Fertigungsverfahren auch DMOS genannt; D = double diffused) und eine Grabenstruktur — nachfolgend Trench Gate genannt —, bei der das Gate in die Driftzone des MOSFETs hineinragt (auch UMOS genannt). Letztere hat den Vorteil, dass sich der leitende Kanal vertikal ausbildet, wodurch der Einschaltwiderstand $R_{DS,on}$ reduziert ist, bei gleichzeitigem Nachteil höherer elektrischer Feldstärken, insbesondere an den unteren Kanten des Gates, was sich negativ auf die Zuverlässigkeit des Steuerkopfes auswirken kann [19] [21] [22]. Dies ist insbesondere bei SiC-MOSFETs herausfordernd: Infolge deutlich höherer Feldstärken und reduziertem Bandabstand zum Dielektrikum, ist die Zuverlässigkeit des SiC/SiO₂ Systems im Vergleich zum Si/SiO₂ System reduziert [19]. Das in **Abbildung 2.2** beispielhaft dargestellte Zellkonzept eines Doppeltrench MOSFETs, ist ein Ansatz, die Feldstärke am Gate zu reduzieren [22]. Weitere Ansätze sind die

Verwendung eines Zellkonzeptes mit asymmetrischem Trench Gate [21] [23] sowie die Einbringung von hervorstehenden p-dotierten Schichten unterhalb des Trench Gates [24].

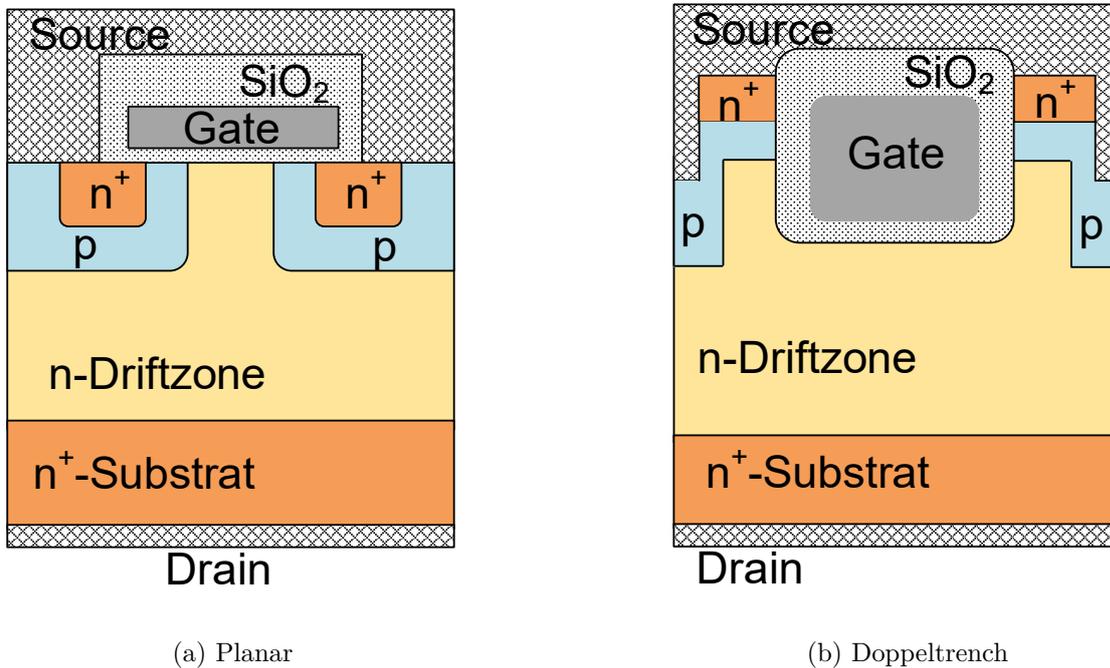


Abbildung 2.2: Schema von vertikalen selbstsperrenden n-Kanal-MOSFET Zell-Strukturen

Die Struktur des MOSFETs erlaubt einen Stromfluss sowohl in Vorwärtsrichtung — von Drain nach Source — als auch in Rückwärtsrichtung — von Source nach Drain; **Abbildung 2.3** zeigt ein qualitatives Ausgangskennlinienfeld eines SiC-MOSFETs. In der Leistungselektronik werden MOSFETs entweder voll durchgesteuert, sodass sie sich bei Stromfluss von Drain nach Source im ohm'schen Bereich befinden, oder gesperrt $U_{GS,off} \leq 0V$ betrieben, sodass ein Stromfluss in Vorwärtsrichtung bis zum Erreichen der Durchbruchspannung gesperrt ist. In Rückwärtsrichtung kann hingegen sowohl ein Stromfluss bei positiver als auch bei negativer Gate-Spannung stattfinden. Bei hinreichend negativer $U_{GS,off}$ leitet dann nur die inverse bipolare Body-Diode, auf die in Abschnitt 2.1.3 näher eingegangen wird. Der Spannungsabfall U_{SD} , bei dem die Body-Diode leitend wird, wird als Flussspannung U_F bezeichnet und beträgt bei Raumtemperatur bei Si-MOSFETs ca. $0,7V$ bzw. bei SiC-MOSFET ca. $2,7V$ [19]. Ist $U_{GS,off}$ positiver, teilt sich der Strom zwischen unipolarer (Stromführung des partiell geöffneten Inversionskanals) und bipolarer Leitung (Stromführung der Body-Diode) auf.

2.1.2 Einschaltwiderstand im ohm'schen Bereich

Geometrie-bedingt bildet sich eine Kapazität über den Kanal aus

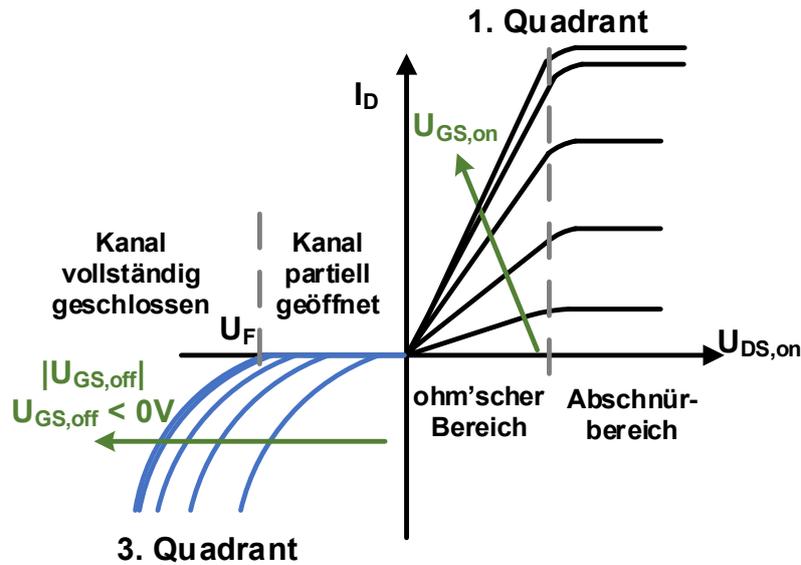


Abbildung 2.3: Qualitatives Ausgangskennlinienfeld eines SiC-MOSFETs im ersten und dritten Quadranten bei Stromfluss in Vorwärtsrichtung und positiver Gate-Spannung (schwarz) bzw. Stromfluss in Rückwärtsrichtung und negativer Gate-Spannung (blau). Bei positiver Gate-Spannung und Stromfluss in Rückwärtsrichtung sind die dargestellten Kennlinien des ersten Quadranten in den dritten gespiegelt (nicht dargestellt), sofern der Spannungsabfall kleiner der Flussspannung U_F ist, bei der die Body-Diode leitend wird (auch als Schleusenspannung bezeichnet).

$$C_{\text{ox}} = \frac{\varepsilon_0 \cdot \varepsilon_r}{d_{\text{ox}}} \quad (2.1)$$

mit der Dicke der SiO_2 -Schicht d_{ox} , der elektrischen Feldkonstanten ε_0 und der relativen Permittivität von SiO_2 $\varepsilon_r = 3,9$. Ist der MOSFET durchgesteuert und befindet sich im ohm'schen Bereich, ist der Spannungsabfall über den Kanal zu vernachlässigen und die zur Stromleitung zur Verfügung stehenden freien Ladungsträger ergeben den Betrag der Ladungsmenge des Inversionskanals [19]:

$$Q_s = C_{\text{ox}} \cdot (U_{\text{GS,on}} - U_{\text{th}}) \quad (2.2)$$

Der Kanalwiderstand im ohm'schen Bereich ergibt sich zu

$$R_{\text{ch}} = \frac{L}{W \cdot \mu_n \cdot Q_s} = \frac{L}{W \cdot \mu_n \cdot C_{\text{ox}} \cdot (U_{\text{GS,on}} - U_{\text{th}})} \quad (2.3)$$

mit der Kanallänge L und Kanalweite W , wobei sich Kanalweiten aller parallelen vertikalen MOSFET-Zellen eines Chips zu einer Gesamtweite addieren, und der Beweglichkeit der Elektronen μ_n .

Zum Einschaltwiderstand tragen weitere resistive Anteile bei, wie **Abbildung 2.4** zeigt.

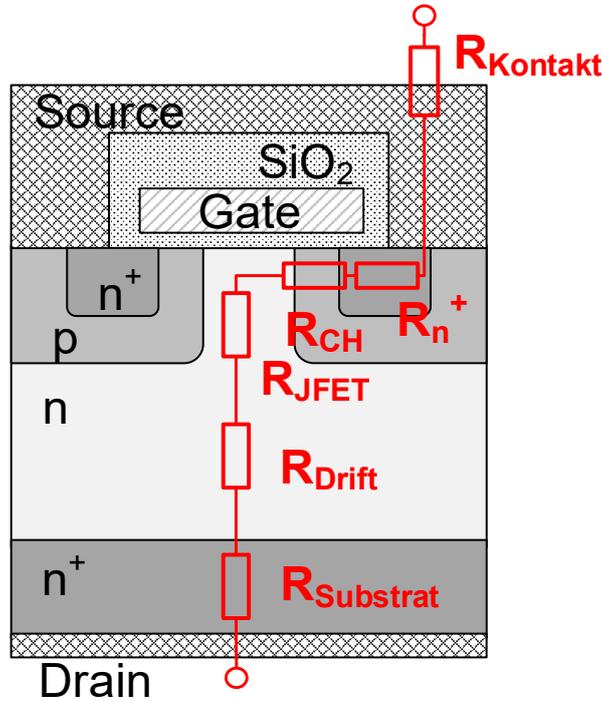


Abbildung 2.4: Schema einer vertikalen n-Kanal MOSFET-Zellstruktur mit planarem Gate und eingezeichneten resistiven Anteilen

Somit ergibt sich der Einschaltwiderstand eines planaren MOSFETs näherungsweise zu

$$R_{DS,on} \approx R_{\text{Kontakt}} + R_n^+ + R_{\text{ch}} + R_{\text{JFET}} + R_{\text{Drift}} + R_{\text{Substrat}} \quad (2.4)$$

Tabelle 2.1 stellt beispielhafte resistive Anteile zweier Si-MOSFETs unterschiedlicher Spannungsklasse gemäß [25] dar: Es ist ersichtlich, dass für große Sperrspannung der Widerstand der Driftzone R_{Drift} (auch häufig nach dem Fertigungsverfahren als Epitaxie-Widerstand R_{epi} bezeichnet) limitiert. Für diesen gilt

$$R_{\text{Drift}} = \frac{w_B}{q \cdot \mu_n \cdot N_D \cdot A} \quad (2.5)$$

mit der Dicke der Driftzone w_B , der Elementarladung q , der dotierten Ladungsträgerdichte der Driftzone N_D , der Elektronenbeweglichkeit μ_n und der aktiven Chipfläche A . Für höhere Sperrspannungen muss die Driftzone dicker ausgelegt und schwächer dotiert sein,

um einen Durchbruch zwischen Drain und Source zu verhindern, was auch zu einem größeren Leitwiderstand führt. Angesichts der Dreieck- oder Trapez-förmigen Feldverteilung im Sperrfall zwischen Source und Drain, steigt der Driftwiderstand für höhere Spannungsklassen nicht linear, sondern exponentiell mit $R_{\text{Drift}} \sim U_{\text{DS,Sperr}}^{2,5}$ [19].

Tabelle 2.1: Resistive Anteile am Einschaltwiderstand von planaren Si-MOSFETs unterschiedlicher Spannungsklasse; Werte aus [25].

		$U_{\text{DS}} = 30 \text{ V}$	$U_{\text{DS}} = 600 \text{ V}$
R_{Kontakt}	Anschlusswiderstände	7%	0,5%
R_{n}^+	Source Widerstand	6%	0,5%
R_{ch}	Kanalwiderstand	28%	1,5%
R_{JFET}	Widerstand der JFET Region / der Akkumulationsschicht	23%	0,5%
R_{Drift}	Widerstand der schwach dotierten Driftzone	29%	96,5%
R_{Substrat}	Widerstand des Substrates	7%	0,5%

Durch Einbringung von p-dotierten Kompensationsstrukturen in die n-dotierte Driftzone kann die Feldverteilung optimiert und die Driftzone mit einer höheren n-Dotierung ausgelegt werden, wodurch sich deren Widerstand drastisch verringert [19]. Dieser Vorteil kommt insbesondere bei Bauelementen höherer Spannungsklassen zur Geltung, da der Driftwiderstand bei optimaler Auslegung nur noch fast linear mit der Sperrspannung ansteigt [19]. Si-MOSFETs mit Kompensationsstrukturen (sogenannte super junction MOSFETs) sind seit 1998 als CoolMOS™ von Infineon kommerziell erhältlich [26].

2.1.3 Inverse Body-Diode

Der MOSFET weist strukturbedingt eine inverse pin-Diode auf, die sich aus dem p-dotierten Gebiet, dem hochdotierten n-Substrat des Source-Anschlusses und der schwächer n-dotierten Driftzone ergibt [19], wie in **Abbildung 2.5** dargestellt. Mit Bezug zu Si-MOSFETs wird diese Struktur häufig als parasitär bezeichnet, da die Stromabkommutierung der Body-Diode — insbesondere von höher-sperrenden Leistungs-MOSFETs, infolge der vergleichsweise hohen Sperrverzugsladung, schlechter ist, als bei vergleichbaren diskreten Dioden, weshalb häufig antiparallele Schottky-Dioden zusätzlich verbaut werden [19]. Die Verwendung von Si-Schottky-Dioden ist hierbei typischerweise auf Anwendungen bis 100 V begrenzt, SiC-Schottky Dioden eignen sich auch für höhere Spannungen [19]. Ein weiterer Ansatz ist die monolithische Integration von Schottky-Dioden in die MOSFET-Zelle, wie in **Abbildung 2.5** für einen 6,5 kV planaren SiC-MOSFET exemplarisch gezeigt ist [27]. Vorteilhaft bei diesem Ansatz ist zum einen der Wegfall der parasitären Induktivität zwischen MOSFET und zusätzlicher externer Schottky-Diode, was das Schaltverhalten verbessert, und zum anderen die deutlich reduzierte aktive Chipfläche (MOSFET + externe

Schottky-Diode im Vergleich zum MOSFET mit integrierter Schottky-Diode), was insbesondere bei Bauelementen hoher Spannungsklassen zum Tragen kommt [27]. Im Vergleich zu Si-MOSFETs sind Body-Dioden von SiC-MOSFETs besser für die harte Kommutierung geeignet, weshalb diese auch zunehmend in der Applikation genutzt werden.

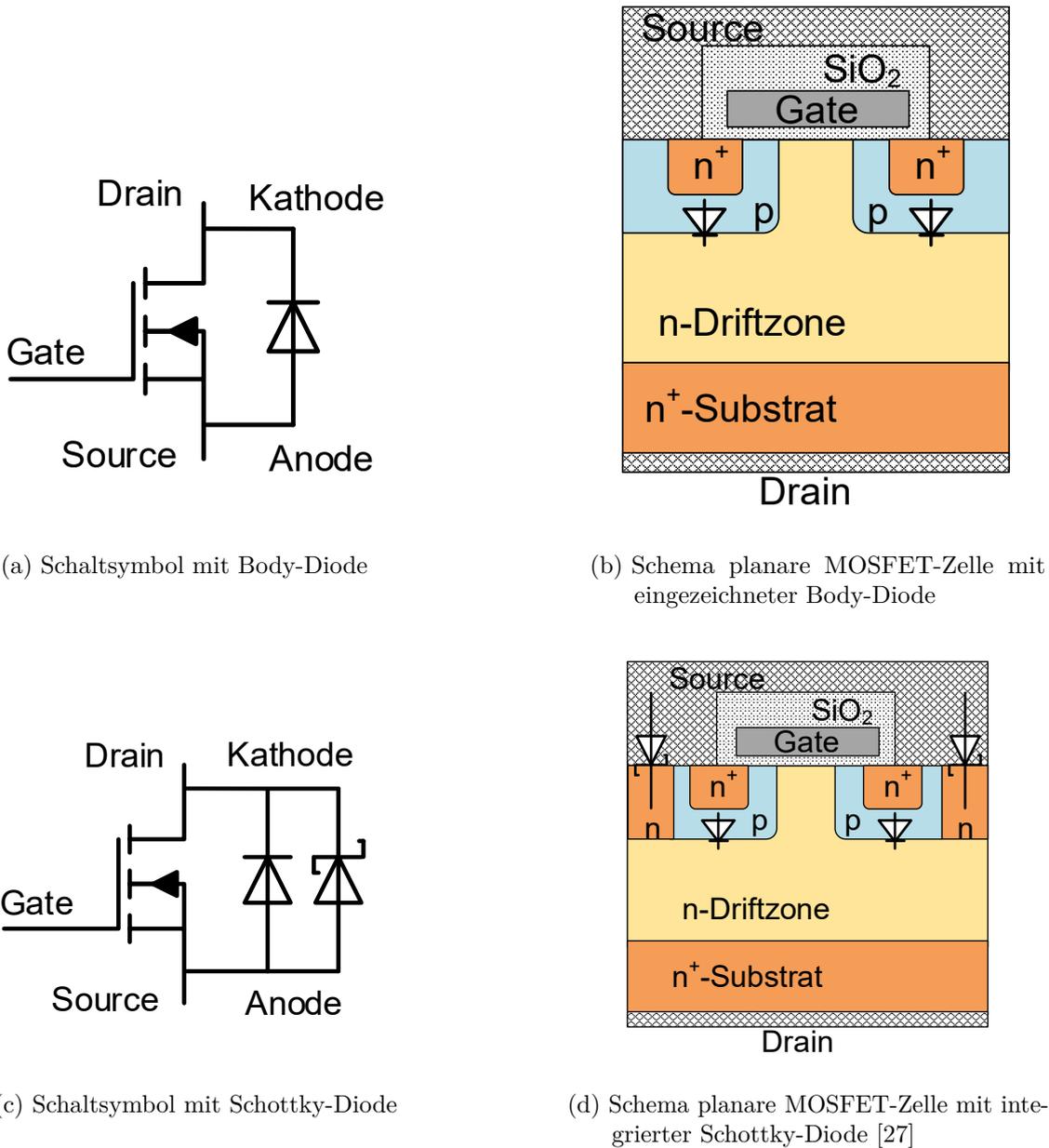


Abbildung 2.5: Schaltsymbole und Schema einer planaren MOSFET-Zelle mit eingezeichneter Body-Diode sowie Schaltsymbol und Schema mit integrierter Schottky-Diode

2.1.4 Materialeigenschaften

Ein Halbleitermaterial mit großer Bandlücke, welches für den Einsatz in der Leistungselektronik in den letzten Jahrzehnten massiv beforscht wurde, ist Siliziumkarbid (SiC). Hierbei standen verschiedene Kristallpolytypen im Fokus: 1986 wurde der erste Prototyp eines lateralen SiC-MOSFETs auf Basis von 3C-SiC veröffentlicht [28], 1997 folgte der erste vertikale SiC-MOSFET auf Basis von 6H-SiC [29]. Heute haben sich weitestgehend 4H-SiC Bauelemente, insbesondere aufgrund der höheren Elektronenbeweglichkeit und Verfügbarkeit von Wafern, durchgesetzt [19] [30]. Daher wird nachfolgend SiC gleichbedeutend mit 4H-SiC verwendet, wobei 4H für eine hexagonale Kristallstruktur, die sich nach jeweils 4 Lagen immer wiederholt, steht. Neben dem Kristallpolytypen, ist auch die Stromflussrichtung durch den SiC-Kristall und die Oberfläche des SiC-Kristalls zu beachten, auf der das Dielektrikum SiO₂ durch Oxidation aufgebracht ist und sich die SiC/SiO₂-Grenzschicht ausbildet, wie in **Abbildung 2.6** illustriert: Verfügbare SiC-Wafer sind vorrangig auf der Si-Oberfläche (Si-face) poliert, weshalb für kommerzielle SiC-MOSFETs die Oxidierung dieser Seite für planare MOSFETs üblich ist [30]. Die Nutzung der polaren C-Oberfläche sowie einer nicht polaren Oberfläche — wie beispielsweise die a-Oberfläche (a-face) — bringt einige Vorteile, wie eine deutlich gesteigerte Oxidationsrate und eine höhere Elektronenbeweglichkeit [30], sodass auch solche Bauelemente bereits heute kommerziell verfügbar sind.

In **Tabelle 2.2** sind einige Materialeigenschaften im Vergleich zu Silizium dargestellt: Die höhere Bandlücke beschreibt, dass mehr Energie notwendig ist, damit ein Ladungsträger die Lücke zwischen Valenz- und Leitungsband überwindet, was sich in einer um fast 20 Größenordnungen kleineren intrinsischen Ladungsträger Konzentration n_i widerspiegelt, was wiederum zu deutlich geringeren Drain-Source Leckströmen führt und somit — da diese exponentiell mit der Betriebstemperatur ansteigen, was den Temperaturbereich von Si in der Leistungselektronik einschränkt — den Betrieb bei deutlich höheren Temperaturen im Vergleich zu Si ermöglicht [31]. Vorteilhaft für Hochtemperaturanwendungen ist zudem die ca. um den Faktor 3 höhere thermische Leitfähigkeit von SiC. Der Betrieb bei Temperaturen weit über 200 °C wäre mit SiC theoretisch möglich — praktisch limitierend ist hierbei die Aufbau- und Verbindungstechnik (AVT) [19]. Herausfordernd für die AVT ist die hohe Steifigkeit von SiC, die in Tabelle 2.2 als Youngs Modulus dargestellt ist: Diese ist im Vergleich zu Si um den Faktor 3-5 erhöht, was, infolge eines erhöhten Anteils an plastischer Verformung bei einem vergleichbarem thermischen Ausdehnungskoeffizienten, zu einer deutlich stärkeren Belastung der chipnahen AVT unter thermisch-mechanischen Wechselbelastungen führt.

Infolge der ca. um den Faktor 2 höheren Sättigungsdriftgeschwindigkeit der Elektronen sind zudem — insbesondere unipolare — SiC-Halbleiter vorteilhaft für Hochfrequenzan-

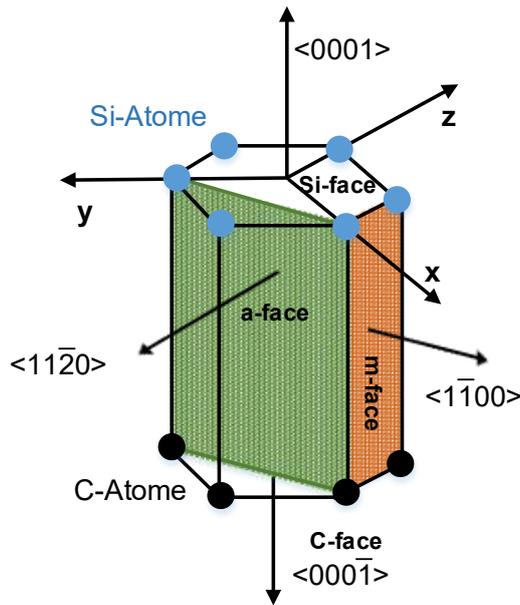


Abbildung 2.6: Illustration der 4H-SiC Oberflächen (faces): Das Si-face ist mit Silizium (Si) Atomen abgeschlossen und das C-face mit Kohlenstoffatomen (C). Nicht polare Oberflächen enden mit einer gleichen Anzahl an Si- und C-Atomen, wie beispielsweise das a-face und m-face [30].

wendungen: Die Sättigungsdriftgeschwindigkeit beschreibt die maximale Geschwindigkeit der Ladungsträger unter hohem elektrischen Feld [19]. Diese ist somit ein Maß für die technologiespezifische Eignung zur Realisierung von schnell schaltenden Leistungshalbleitern.

Der wohl wesentliche Vorteil von SiC gegenüber Si besteht in der ca. um den Faktor 10 größeren kritischen elektrischen Feldstärke E_{krit} , da die Durchbruchspannung proportional zum Produkt aus Dicke der Driftzone und kritischer elektrischer Feldstärke ist [31], kann folglich die Driftzone für die selbe Sperrspannung ca. um den Faktor 10 dünner ausgelegt werden. Unter Annahme eines dreiecksförmigen Feldverlaufes muss gleichzeitig nach der Poisson-Gleichung:

$$q \cdot N_D = \frac{\varepsilon_0 \cdot \varepsilon_r \cdot E_{\text{krit}}}{w_B} \quad (2.6)$$

die Dotierung der Driftzone ca. um den Faktor 100 erhöht werden [31]. Für unipolare SiC-Bauelemente bedeutet dies eine massive Verringerung des spezifischen Widerstandes (mit Bezug zur aktiven Chipfläche) im Vergleich zu Si, wie durch die Baliga figure-of-merit (BFoM) als Maß für die technologiespezifischen Leitverluste beschrieben [32]

$$BFoM = \mu_n \cdot \varepsilon_r \cdot E_{\text{krit}}^3 \quad (2.7)$$

Mit der etwas geringeren Elektronenbeweglichkeit μ_n und etwas kleineren relativen Permittivität ε_r von SiC im Vergleich zu Si ergibt sich eine Verringerung des minimalen materialabhängigen spezifischen Widerstandes um ca. den Faktor 500. Die aktive Chipfläche unipolarer SiC-Halbleiter könnte also theoretisch 500 mal kleiner ausgelegt sein als die vergleichbarer Si Bauelemente — praktisch limitierend ist hierbei zum einen die entsprechend höhere Verlustleistungsdichte und somit die Entwärmung des Halbleiters, die bei der Auslegung berücksichtigt werden muss [31], und zum anderen die reduzierte Elektronenbeweglichkeit im Inversionskanal heutiger SiC-MOSFETs, auf die in Abschnitt 2.1.5 gesondert eingegangen wird.

Zu beachten ist ferner die Anisotropie von SiC, also die abweichenden Materialeigenschaften in Abhängigkeit der Stromflussrichtung durch den 4H-SiC-Kristall: Bei Verwendung von Standard $\langle 0001 \rangle$ Wafern ist es ersichtlich, dass vertikale MOSFET Zellen besonders vorteilhaft sind, insbesondere, wenn diese als Trench MOSFET ausgeführt sind, da dann auch der Inversionskanal parallel zur c-Achse ausgebildet ist [33].

Tabelle 2.3 zeigt beispielhaft typische Dotierungskonzentrationen und Dicken für unipolare n-Kanal Si- und SiC-Leistungshalbleiter verschiedener Spannungsklassen. Mit Formel (2.5) ist ersichtlich, dass der Driftwiderstand in unipolaren SiC-Bauelementen im Vergleich zu Si wesentlich reduziert ist, was insbesondere bei höheren Spannungsklassen zum Tragen kommt; vgl. Tabelle 2.1. Aufwändigere MOSFET-Zellstrukturen, wie der super junction MOSFET, sind hierbei nicht berücksichtigt. Erste super junction SiC-MOSFETs sind auch bereits dokumentiert [38] [39] [40] und versprechen eine weitere Reduktion des spezifischen Einschaltwiderstandes, insbesondere in Spannungsklassen oberhalb von 1200 V sowie in Hochtemperaturanwendungen [39] [40].

2.1.5 Elektronenbeweglichkeit im Inversionskanal von SiC-MOSFETs

Die theoretische materialspezifische Elektronenbeweglichkeit (vgl. Tabelle 2.2) wird im Inversionskanal praktisch aufgrund von Streuungseffekten in heutigen SiC-MOSFETs nicht annähernd erreicht [21] [42] [43], was zusammen mit dem stark reduzierten Driftwiderstand im Vergleich zu Si-MOSFETs gemäß Formel (2.3) und (2.4) folglich zu einem deutlich höheren Anteil des Kanalwiderstandes am Gesamtwiderstand führt; vgl. Tabelle 2.1. Der höhere Anteil von R_{ch} an $R_{\text{DS,on}}$ bedingt auch eine geringere Temperaturabhängigkeit: Für Si-MOSFETs verdoppelt sich $R_{\text{DS,on}}$ typischerweise bei einem Anstieg der Temperatur von 25 °C auf 125 °C. Bei modernen SiC-MOSFETs steigt $R_{\text{DS,on}}$ hingegen lediglich um ca. 25% an [19], was SiC-MOSFETs weiter für Hochtemperaturanwendungen prädestiniert.

Tabelle 2.2: Materialeigenschaften von 4H-SiC im Vergleich zu Si bei Raumtemperatur. Zu beachten ist, dass die angegebenen physikalischen Werte unter anderem dotierungs- und defektabhängig sind [19] [34], was zu leicht abweichenden Angaben zwischen verschiedenen Referenzen führen kann.

Parameter	Silizium	4H-SiC
Bandlücke E_G / eV	1,12 [33]	3,26 [33]
intrinsische Ladungsträger Konzentration n_i / $\frac{1}{\text{cm}^3}$	$1,4 \cdot 10^{10}$ [31]	$8,2 \cdot 10^{-9}$ [31]
kritische elektrische Feldstärke E_{krit} / $\frac{\text{MV}}{\text{cm}}$ (bei $N_D = 3 \cdot 10^{16} \frac{1}{\text{cm}^3}$)		
parallel zur c-Achse z.B. $\langle 0001 \rangle$	0,3 [33]	2,8 [33]
senkrecht zur c-Achse z.B. $\langle 11\bar{2}0 \rangle$	0,3 [33]	2,2 [33]
Sättigungsdriftgeschwindigkeit der Elektronen v_{sat} / $\frac{\text{cm}}{\text{s}}$	10^7 [33]	$2,2 \cdot 10^7$ [33]
Sättigungsdriftgeschwindigkeit der Löcher v_{sat} / $\frac{\text{cm}}{\text{s}}$	$9 \cdot 10^6$ [33]	$1,3 \cdot 10^7$ [33]
Elektronenbeweglichkeit μ_n / $\frac{\text{cm}^2}{\text{Vs}}$ (bei geringer Dotierung)		
parallel zur c-Achse z.B. $\langle 0001 \rangle$	1350 [33]	1200 [33]
senkrecht zur c-Achse z.B. $\langle 11\bar{2}0 \rangle$	1350 [33]	1020 [33]
Löcherbeweglichkeit μ_p / $\frac{\text{cm}^2}{\text{Vs}}$	450 [33]	120 [33]
relative Permittivität ϵ_r	11,9 [33]	9,8 [33]
thermische Leitfähigkeit λ / $\frac{\text{W}}{\text{cmK}}$	1,3 - 1,5 [33]	3,3 - 4,9 [33]
thermischer Ausdehnungskoeffizient CTE / $\text{ppm} \cdot \text{K}^{-1}$	2,6 [35]	2,75 [36]
Youngs Modulus E / GPa	130 - 188 [37]	390 - 690 [34]

Tabelle 2.3: Typische Ladungsträgerkonzentrationen und Dicken der Driftzone für unipolare n-Kanal Si- und SiC-Leistungshalbleiter verschiedener Spannungsklassen unter Annahme, dass die Durchbruchspannung 20% höher als die Spannungs-kategorie ist; Werte aus [41].

Spannungsklasse in V	SiC		Si	
	N_D/cm^{-3}	$w_B/\mu\text{m}$	N_D/cm^{-3}	$w_B/\mu\text{m}$
600	$2,6 \cdot 10^{16}$	4,1	$2,6 \cdot 10^{14}$	55
1200	$1,1 \cdot 10^{16}$	9,0	$1 \cdot 10^{14}$	125
3300	$3 \cdot 10^{15}$	28	$2,8 \cdot 10^{13}$	420
6500	$1,3 \cdot 10^{15}$	60	$1 \cdot 10^{13}$	920

Für SiC-MOSFETs ist entsprechend Formel (2.3) anzupassen

$$R_{\text{ch}} = \frac{L}{W \cdot \mu_{\text{ch}} \cdot Q_{\text{s}}} = \frac{L}{W \cdot \mu_{\text{ch}} \cdot C_{\text{ox}} \cdot (U_{\text{GS,on}} - U_{\text{th}})} \quad (2.8)$$

wobei μ_{ch} die Elektronenbeweglichkeit im Inversionskanal beschreibt, die nach Matthiessens Regel angewandt auf den Inversionskanal eines SiC-MOSFETs wie folgt beschrieben werden kann [43]:

$$\frac{1}{\mu_{\text{ch}}} = \frac{1}{\mu_{\text{bulk}}} + \frac{1}{\mu_{\text{C}}} + \frac{1}{\mu_{\text{sr}}} + \frac{1}{\mu_{\text{sp}}} \quad (2.9)$$

Mit der materialspezifischen Elektronenbeweglichkeit $\mu_{\text{bulk}} = \mu_{\text{n}}$ eines SiC-MOSFETs sowie den Anteilen der Elektronenbeweglichkeitseinschränkung hervorgerufen durch:

- Coulomb-Streuung an Oberflächenzuständen, beschrieben mit dem Term $\frac{1}{\mu_{\text{C}}}$,
- diffuse Streuung infolge der Oberflächenrauigkeit an der SiC/SiO₂-Grenzschicht, beschrieben mit dem Term $\frac{1}{\mu_{\text{sr}}}$
- Streuung infolge von Gitterschwingungen im SiC-Kristall (Oberflächenphononen), beschrieben mit dem Term $\frac{1}{\mu_{\text{sp}}}$.

Ferner hat die Ladungsträgerdichte der p-Dotierung am Ort des Inversionskanals N_{A} einen großen Einfluss auf die Elektronenbeweglichkeit und deren Temperaturabhängigkeit im Kanal: Bei niedriger p-Dotierung ist die Elektronenbeweglichkeit im Inversionskanal höher und weist einen negativen Temperaturkoeffizienten auf. Bei höherer p-Dotierung ist die Elektronenbeweglichkeit reduziert und weist eine positive Temperaturabhängigkeit auf [43] [44].

Für 1200 V SiC-MOSFETs sind beachtliche spezifische Einschaltwiderstände dokumentiert — bspw. $1,4 \frac{\text{m}\Omega}{\text{cm}^2}$ in [22] für einen Prototypen mit Doppeltrench Gate; vgl. Abbildung 2.2 oder $1,84 \frac{\text{m}\Omega}{\text{cm}^2}$ in [45] für einen Prototypen mit eingebrachter feldbegrenzender Schicht am Trench Gate. Dennoch bewegt sich μ_{ch} moderner SiC-MOSFETs meist nur in einem Bereich von $5 \frac{\text{cm}^2}{\text{Vs}}$ bis $50 \frac{\text{cm}^2}{\text{Vs}}$ [21], wobei in [43] für niedrige p-Dotierungen Prototypen mit Elektronenbeweglichkeiten im Inversionskanal von ca. $70 \frac{\text{cm}^2}{\text{Vs}}$ dokumentiert sind, was immer noch weit unter der Elektronenbeweglichkeit von reinem 4H-SiC liegt; vgl. Tabelle 2.3. Das weitere Optimierungspotential ist entsprechend groß und die Steigerung von μ_{ch} ist daher Gegenstand intensiver Forschung [19] [30]. Ein vielversprechender Ansatz ist hierbei die Oxidation auf einer unpolaren Oberflächenseite des 4H-SiC-Kristalls (vgl.

Abbildung 2.6) [44] [46]: So wurde bereits 2002 in [47] ein Prototyp mit einer Elektronenbeweglichkeit im Inversionskanal von über $100 \frac{\text{cm}^2}{\text{Vs}}$ dokumentiert unter Verwendung der a-face als Oxidationsoberfläche.

2.1.6 Schwellspannungsinstabilitäten von SiC-MOSFETs

Definition der Schwellspannung

Die Schwellspannung U_{th} eines n-Kanal MOSFETs kann als positive Gate-Source Spannung U_{GS} aufgefasst werden, die angelegt werden muss, damit die Konzentration der im p-dotierten Gebiet influenzierten Elektronen gleich der Anzahl an dotierten positiven Ladungen (Akzeptoren) ist — ein Inversionskanal bildet sich aus und ein Strom kann von Drain nach Source fließen; der MOSFET wird leitend [19]. Darüber hinaus sind auch abweichende Definitionen publiziert [48] [49] [50] [51]. **Abbildung 2.7** zeigt beispielhaft eine qualitative Darstellung einer Transferkennlinie eines MOSFETs: Für U_{GS} größer U_{th} steigt der Drain Strom I_{D} bei konstanter Drain-Source Spannung U_{DS} parabelförmig mit steigender U_{GS} an. Nach obiger Definition lässt sich U_{th} im Ursprung des Parabelastes ablesen. Abweichend von dieser Definition wird häufig eine linear extrapolierte U_{th} aus der gemessenen Transferkennlinie ermittelt [52], wie in Abbildung 2.7 illustriert; auf eine Auswahl weiterer U_{th} Messmethoden wird in Abschnitt 3.1 kurz eingegangen.

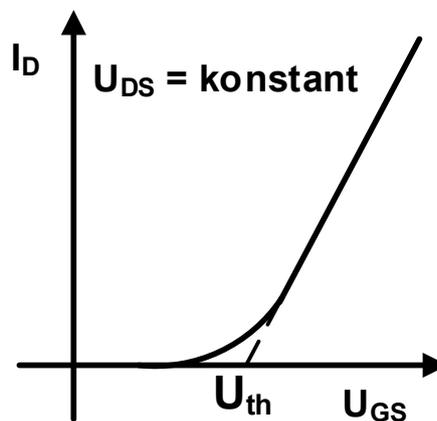


Abbildung 2.7: Qualitative Transferkennlinie eines n-Kanal MOSFETs bei Vernachlässigung des Abschnüreffektes (Pinch-Off)

Dabei ist zu beachten, dass die Oxidschicht bereits eine Ladung gegenüber der Source-Elektrode aufweist, die sich wie eine intrinsisch anliegende Gate-Source Spannung auswirkt [19].

Sind interne Spannungsabfälle infolge eines Stromflusses vernachlässigt, kann die Schwellspannung mit [53] wie folgt näherungsweise berechnet werden:

$$\begin{aligned}
 U_{\text{th}} = & U_{\text{FB}} \\
 & + \frac{2 \cdot k_{\text{B}} \cdot (T + 273 \text{ K})}{q} \ln \left(\frac{N_{\text{A}}}{n_{\text{i}}} \right) \\
 & + \frac{1}{C_{\text{ox}}} \cdot \sqrt{4 \cdot \varepsilon_{\text{SiC}} \cdot N_{\text{A}} \cdot k_{\text{B}} \cdot (T + 273 \text{ K}) \ln \left(\frac{N_{\text{A}}}{n_{\text{i}}} \right)}
 \end{aligned} \tag{2.10}$$

mit der Flachbandspannung U_{FB} , der Boltzmann Konstanten k_{B} und der Temperatur T in °C. Dabei beschreibt U_{FB} die Gate-Spannung, die angelegt werden muss, um die innere Potentialdifferenz zwischen dem Metall der Gate-Elektrode und dem Halbleitermaterial auszugleichen [53]. Neben der Abhängigkeit von der Flachbandbandspannung kann U_{th} über die Oxiddicke und Akzeptorkonzentration beeinflusst werden:

- Bei höherer Dotierung muss eine größere Gate-Spannung angelegt werden, damit die generierte Anzahl an Elektronen gleich der der vorhandenen Akzeptoren ist; folglich steigt U_{th} mit steigender Akzeptorkonzentration N_{A} .
- Je dicker das Oxid, desto kleiner dessen Kapazität; vgl. (2.1) und desto größer die Spannung, die aufgebracht werden muss, um die selbe Ladungsmenge zu influenzieren; folglich steigt U_{th} mit zunehmender Dicke bzw. abnehmender Kapazität C_{ox} des Oxids.

Werden Störstellen vernachlässigt, kann die Flachbandspannung aus der Differenz zwischen Elektronenaustrittsarbeit des Metalls der Gate-Elektrode $q \cdot \phi_{\text{M}}$ und der Elektronenaustrittsarbeit des Halbleiters $q \cdot \phi_{\text{HL}}$ berechnet werden [53]:

$$U_{\text{FB}} = \phi_{\text{M}} - \phi_{\text{HL}} = \phi_{\text{M,HL}} \tag{2.11}$$

Die Elektronenaustrittsarbeit kann in erster Näherung als die minimale thermodynamische Arbeit bzw. Energie verstanden werden, die nötig ist, um ein Elektron aus einem Festkörper zu lösen und in ein Vakuum außerhalb des Festkörpers zu befördern [54]. Die Berechnung ist komplex und hängt in realen Werkstoffen von zahlreichen Parametern, wie der Oberflächenrauigkeit, der Molekülausrichtung und Verunreinigungen ab, weshalb eine messtechnische Bestimmung üblich ist [54] [55]. [56] kann alternativ eine analytische Näherung für 4H-SiC entnommen werden. Die Elektronenaustrittsarbeiten unterschiedlicher Metalle sind in Tabellensammlungen dokumentiert; beispielsweise in [57].

Im realen MOSFET ist das Oxid bedingt durch Störstellen nicht potentialfrei. Dabei wird zwischen extrinsischen und intrinsischen Störstellen unterschieden: Extrinsische Störstellen

entstehen durch das Eindringen von Fremdatomen in das Oxid, vorrangig während des Fertigungsprozesses [58]. Deren Ausprägung ist in SiC-MOSFETs vergleichbar mit Si-MOSFETs [58]. Unter intrinsischen Störstellen wird das SiC/SiO₂ spezifische Ausbilden von Gitterfehlern direkt in der SiC/SiO₂-Grenzschicht (Interface Traps) und in der Nähe der SiC/SiO₂-Grenzschicht im SiO₂-Kristall (Border Traps) verstanden [59]. Unter Annahme einer örtlichen Gleichverteilung der extrinsischen Störstellen im Oxid und Vernachlässigung von mobilen Ladungen im Oxid ergibt sich die Flachbandspannung zu [60]:

$$U_{\text{FB}} = \phi_{\text{M,HL}} - \frac{Q_{\text{it}}}{C_{\text{ox}}} - \frac{Q_{\text{f}}}{C_{\text{ox}}} \quad (2.12)$$

mit der veränderlichen Ladung an der SiC/SiO₂-Grenzschicht je Flächeneinheit Q_{it} , der festen Ladung im Oxid je Flächeneinheit Q_{f} sowie der Kapazität des Oxids je Flächeneinheit C_{ox} . Die Ausprägung von Störstellen im Oxid hängt wesentlich von den Prozessbedingungen, Passivierungstechniken und der gewählten Oxidationsseite im SiC-Kristall ab [61]; vgl. Abbildung 2.6: Beispielsweise bilden sich bei auf der Si-Oberfläche oxidierten SiC-MOSFETs mehr Störstellen mit kurzer Zeitkonstante direkt an der SiC/SiO₂ Schnittstelle aus, als bei auf der a-Oberfläche oxidierten [62]. Es wird vermutet, dass dies der Hauptgrund für die reduzierte Elektronenbeweglichkeit im Inversionskanal für auf der Si-Seite oxidierte SiC-MOSFETs ist [62].

Die Schwellspannung eines SiC-MOSFETs ist kein konstanter Parameter. Dabei führt ein Anstieg von U_{th} gemäß Formel (2.8) zu einem Anstieg von $R_{\text{DS,on}}$ und damit zu höheren Verlusten, was insbesondere bei einem dauerhaften Anstieg nachteilig ist. Ein Abfall von U_{th} hingegen bedingt eine Reduktion von $R_{\text{DS,on}}$ und somit eine Reduktion der Verluste, was vorteilhaft sein kann, aber auch zu parasitärem Einschalten und erhöhten Leckströmen in der Anwendung führen kann, weshalb typischerweise eine hinreichend negative $U_{\text{GS,off}}$ in der Applikation zu wählen ist.

Physikalische Beschreibung von Schwellspannungsinstabilitäten

Temperaturabhängigkeit

2.10 weist sowohl Terme mit positiver als auch mit negativer Temperaturabhängigkeit auf. In Summe sinkt U_{th} mit steigender Temperatur, da bei höheren Temperaturen weniger Energie nötig ist, um Elektronen vom Valenzband in das Leitungsband zu heben, was sich in einer Reduktion der Bandlücke äußert [63] und weshalb die intrinsische Ladungsträgerdichte n_i mit zunehmender Temperatur exponentiell steigt [31].

Stromabhängigkeit

Bei Stromfluss entsteht eine interne Potentialverschiebung zwischen Driftzone und Source, wodurch sich U_{th} verändert, da sich die Potentialverschiebung wie eine anliegende Gate-Source-Spannung auswirkt (Body-Effekt). Wird dies berücksichtigt, ist Formel 2.10 um folgenden Summanden zu erweitern [64] [65]:

$$\Delta U_{\text{th,body}} = \gamma \cdot \left(\sqrt{\frac{2 \cdot k_{\text{B}} \cdot (T + 273 \text{ K})}{q} \cdot \ln\left(\frac{N_{\text{A}}}{n_{\text{i}}}\right)} + U_{\text{B}} - \sqrt{\frac{2 \cdot k_{\text{B}} \cdot (T + 273 \text{ K})}{q} \cdot \ln\left(\frac{N_{\text{A}}}{n_{\text{i}}}\right)} \right) \quad (2.13)$$

mit dem Body-Faktor γ :

$$\gamma = \frac{\sqrt{2 \cdot \varepsilon_{\text{SiC}} \cdot q \cdot N_{\text{A}}}}{C_{\text{ox}}} \quad (2.14)$$

und der stromabhängigen Vorpolarisierung der Driftzone gegenüber dem Source-Potential U_{B} [53] [65].

In Vorwärtsrichtung steigt U_{th} mit steigendem Drain Strom I_{D} , da mit steigendem Strom das Potential der Driftzone gegenüber dem Source-Potential erhöht ist; gemäß 2.13 ist $\Delta U_{\text{th,body}} > 0 \text{ V}$, was die effektiv anliegende Gate-Spannung ($U_{\text{GS,on}} - U_{\text{th}}$) reduziert und zum Abschnüren des Inversionskanals führen kann [19]. In Rückwärtsrichtung ist das Potential an der Driftzone gegenüber dem Source-Potential reduziert, was einer Reduktion von U_{th} gleichkommt [64]. Der Inversionskanal eines MOSFETs ist rückwärtsleitfähig, was bei der Synchrongleichrichtung ($U_{\text{GS,on}} > U_{\text{th}}$) ausgenutzt wird: Aufgrund des ohm'schen Leitverhaltens des Inversionskanals können so zum einen die Leitverluste in Rückwärtsrichtung — insbesondere bei kleinem I_{D} — deutlich reduziert und zum anderen das Ausschaltverhalten des MOSFETs verbessert werden [19]; infolge der umgedrehten Stromrichtung ist gemäß 2.13 $\Delta U_{\text{th,body}} < 0 \text{ V}$ und die effektiv anliegende Gate-Spannung steigt mit steigendem Strom, was gemäß (2.8) R_{ch} weiter reduziert. Leitet hingegen nur die inverse Body-Diode ($U_{\text{GS,off}} \ll U_{\text{th}}$) ist entsprechend $\Delta U_{\text{th,body}} < 0 \text{ V}$, was zum partiellem Öffnen des Inversionskanals führen kann (vgl. Abbildung 2.3). Ist der Inversionskanal nicht vollständig geschlossen und der MOSFET wird in Rückwärtsrichtung betrieben, reduziert sich die Potentialverschiebung ebenfalls, wobei die Reduktion jedoch kleiner ausfällt, da sich der Strom zwischen Kanal und Diode aufteilt [65]. Da sowohl die Flussspannung als auch der Anteil des Kanalwiderstandes am Gesamtleitwiderstand bei SiC-MOSFETs typischerweise deutlich höher ist als bei Si-MOSFETs, ist auch der Body-Effekt typischerweise deutlich stärker ausgeprägt [19].

Unter Berücksichtigung der internen Potentialverschiebung infolge eines Stromflusses ergibt sich U_{th} zu:

$$\begin{aligned}
 U_{\text{th}} &= U_{\text{FB}} \\
 &+ \frac{2 \cdot k_{\text{B}} \cdot (T + 273 \text{ K})}{q} \ln \left(\frac{N_{\text{A}}}{n_{\text{i}}} \right) \\
 &+ \gamma \cdot \sqrt{\frac{2 \cdot k_{\text{B}} \cdot (T + 273)}{q} \cdot \ln \left(\frac{N_{\text{A}}}{n_{\text{i}}} \right)} + U_{\text{B}}
 \end{aligned} \tag{2.15}$$

bzw. unter Definition des Fermi-Potentials ϕ_{F} [53]:

$$\phi_{\text{F}} = \frac{k_{\text{B}} \cdot (T + 273 \text{ K})}{q} \ln \left(\frac{N_{\text{A}}}{n_{\text{i}}} \right) \tag{2.16}$$

zu [53]:

$$U_{\text{th}} = U_{\text{FB}} + 2\phi_{\text{F}} + \gamma \cdot \sqrt{2\phi_{\text{F}} + U_{\text{B}}} \tag{2.17}$$

Gate-Spannungs-induzierte Instabilitäten

Zusätzliche Schwellspannungsinstabilitäten von SiC-MOSFETs sind bedingt durch eine — im Vergleich zu Si — hohe Störstellendichte, sowohl an der Schnittstelle zwischen SiC und SiO₂ (Interface-Traps) als auch im Oxid, vorrangig in der Nähe der Grenzschicht zum Halbleiter (Border-Traps). Diese intrinsischen Störstellen fangen und emittieren Ladungen, wodurch eine Potentialverschiebung der Gate-Elektrode gegenüber des Source-Potentials entsteht. Angenommen wird, dass Interface-Traps sehr dynamisch umgeladen werden und Border-Traps über quantenmechanische Tunnelmechanismen Ladungsträger mit dem SiC-Halbleiter austauschen, woraus eine eher permanente Potentialverschiebung resultieren kann. Begünstigt wird dies durch den geringeren Bandabstand der Leitungsbänder zwischen SiC und SiO₂ [59] [66], wie in **Abbildung 2.8** dargestellt.

Eine in der Fachwelt derzeit vertretene Modellvorstellung ist nachfolgend — für die beiden stationären Betriebspunkte $U_{\text{GS}} < 0 \text{ V}$ (sperrend) und $U_{\text{GS}} > U_{\text{th}}$ (leitend) — beschrieben und in **Abbildung 2.9** illustriert [66] [68]:

- $U_{\text{GS}} < 0 \text{ V}$: Löcher akkumulieren an der SiC/SiO₂-Grenzschicht, wobei einige von negativ geladenen Störstellen in der Grenzschicht eingefangen werden; liegt die Spannung länger an, gelangen Löcher über stochastische Tunnelmechanismen in tiefere Schichten des Oxids und werden dort von vorhandenen negativ geladenen Störstellen gefangen. Die vorher negativen Ladungen im Oxid werden neutralisiert,

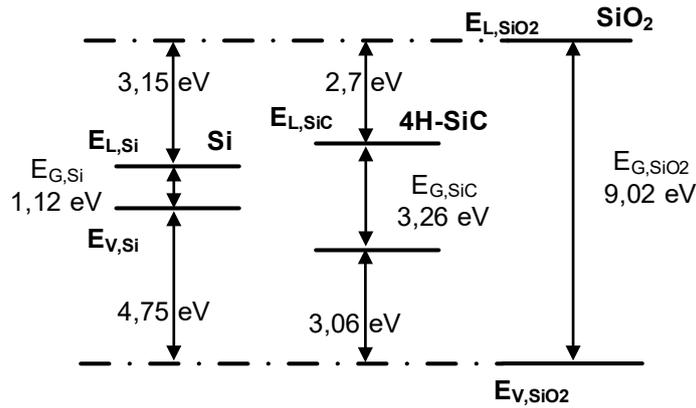


Abbildung 2.8: Quantitatives Banddiagramm von 4H-SiC $\langle 0001 \rangle$ und Si sowie der Bandabstand zum Dielektrikum SiO₂ bei Raumtemperatur gemäß [67]: Der effektive Abstand der Leitungsbänder von SiC und SiO₂ beträgt ca. 2,7 eV bei Raumtemperatur und reduziert sich um ca. $0,7 \frac{\text{meV}}{\text{K}}$; der effektive Bandabstand hängt zudem von der Oxidationsseite im SiC-Kristall und der Oxiddicke ab [61].

wodurch die Vorladung des Oxids gegenüber der Source-Elektrode steigt und folglich U_{th} sinkt. Da die Tunnelwahrscheinlichkeit mit zunehmender Oxidtiefe exponentiell sinkt, zeigt sich ein linearer Abfall von U_{th} über der logarithmischen Zeit [68]. Der Effekt wird durch negativere Gate-Spannungen und höheren Temperaturen beschleunigt und als negative-bias-temperature-instability bezeichnet (NBTI).

- $U_{\text{GS}} > U_{\text{th}}$: Löcher werden von der SiC/SiO₂-Grenzschicht in die SiC-Masse verdrängt und ein Inversionskanal bildet sich aus, in dem Elektronen fließen. Einige Elektronen werden von positiv geladenen Störstellen an der Schnittstelle zwischen SiC und SiO₂ eingefangen; liegt die Spannung über längere Zeit an, gelangen Elektronen über stochastische Tunnelmechanismen in tiefere Schichten des Oxids und werden dort von vorhandenen positiv geladenen Störstellen gefangen. Die vorher positiven Ladungen im Oxid werden neutralisiert, wodurch die Vorladung des Oxids gegenüber der Source Elektrode sinkt und folglich U_{th} steigt. Da die Tunnelwahrscheinlichkeit mit zunehmender Oxidtiefe exponentiell sinkt, zeigt sich ein linearer Anstieg von U_{th} über der logarithmischen Zeit [68]. Der Effekt wird durch positivere Gate-Spannungen und höhere Temperaturen beschleunigt und als positive-bias-temperature-instability bezeichnet (PBTI). Aufgrund der größeren Bandlücke von SiC im Vergleich zu Si und dem damit geringeren Abstand zwischen den Leitungsbändern von SiC und SiO₂ sowie der deutlich größeren Defektdichte im Oxid ist dieser Effekt in SiC-MOSFETs typischerweise deutlich stärker ausgeprägt als in Si-MOSFETs [69]. Mit steigender Temperatur reduziert sich der Abstand zwischen den Leitungsbändern von SiC und

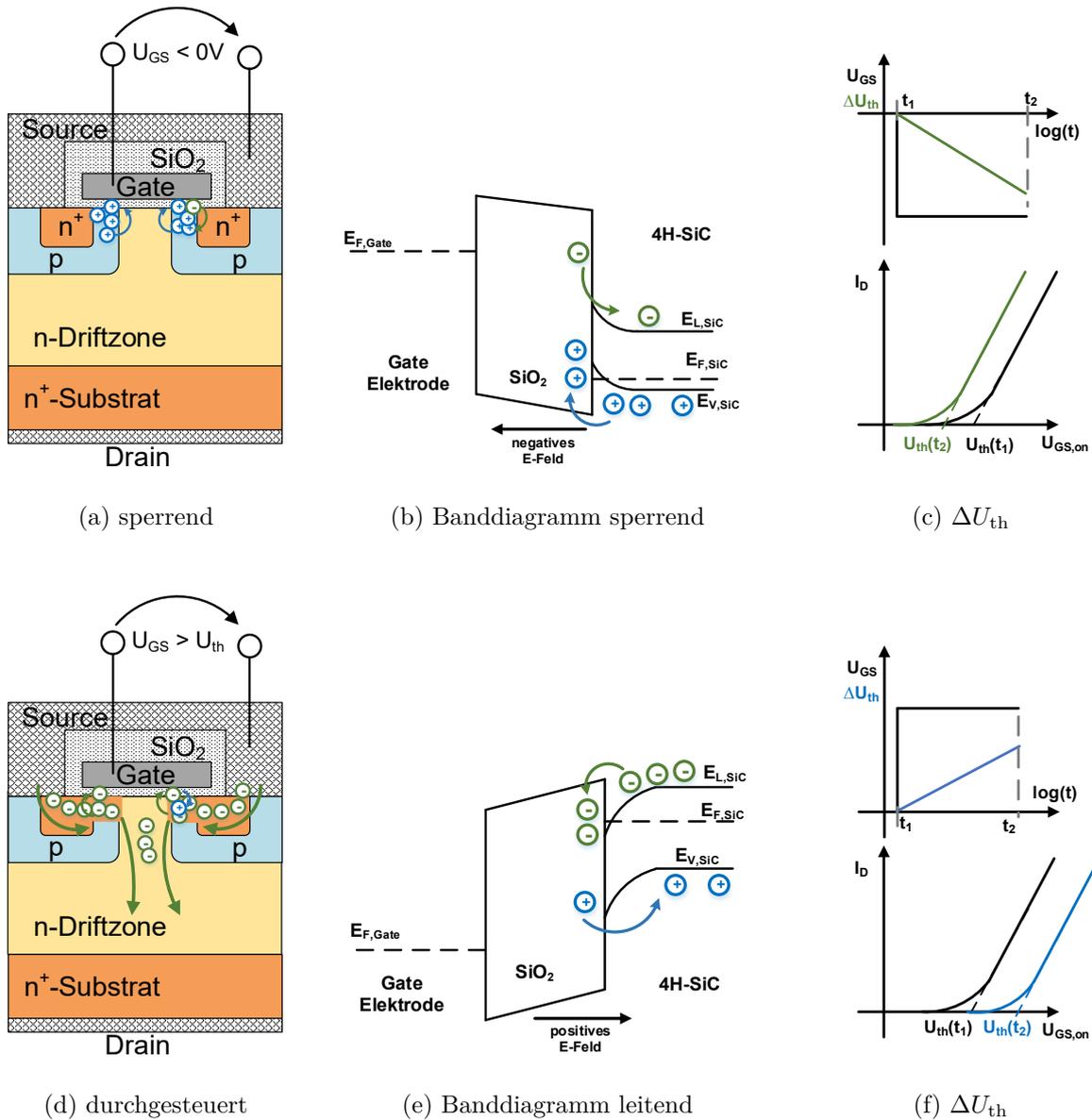


Abbildung 2.9: Prinzipdarstellung des Langzeitdriftes nach konstanter Gate-Spannung anhand des Schemas einer planaren SiC-MOSFET Zelle:

- (a) $U_{GS} < 0V$: Löcher akkumulieren an der SiC/SiO₂-Grenzschicht; Elektronen tunneln zurück und einige Löcher tunneln in Störstellen des Oxids.
- (b) Fermi-Energie des Halbleiters liegt unterhalb der Fermi-Energie der Gate-Elektrode; das elektrische Feld zeigt Richtung Oxid; vorher eingefangene Elektronen tunneln zurück in das Leitungsband und einige Löcher tunneln aus dem Valenzband in negativ geladene Störstellen des Oxids.
- (c) Das Potential des Oxids wird gegenüber dem Source Potential zeitabhängig erhöht, was wie eine anliegende positive U_{GS} wirkt; U_{th} sinkt
- (d) $U_{GS} > U_{th}$: Ein Inversionskanal bildet sich aus; Löcher tunneln zurück und einige Elektronen tunneln in Störstellen des Oxids.
- (e) Fermi-Energie des Halbleiters liegt oberhalb der Fermi-Energie der Gate-Elektrode; das elektrische Feld zeigt Richtung Halbleiter; vorher eingefangene Löcher tunneln zurück in das Valenzband und einige Elektronen tunneln aus dem Leitungsband in positiv geladene Störstellen des Oxids.
- (f) Das Potential des Oxids wird gegenüber dem Source Potential zeitabhängig verringert, was wie eine anliegende negative U_{GS} wirkt; U_{th} steigt

SiO₂ weiter [67], sodass ΔU_{th} bei höheren Temperaturen stärker ausgeprägt ist. Ein U_{th} -Anstieg bedingt gemäß (2.8) eine Erhöhung von R_{ch} und folglich nach (2.4) einen $R_{\text{DS,on}}$ -Anstieg. Da der Anteil von R_{ch} an $R_{\text{DS,on}}$ — infolge des deutlich geringeren Driftwiderstandes (vgl. Abschnitt 2.1.4) und der geringeren Elektronenbeweglichkeit im Inversionskanal (vgl. Abschnitt 2.1.5) — bei SiC-MOSFETs deutlich höher ist als bei vergleichbaren Si-MOSFETs, ist auch der $R_{\text{DS,on}}$ -Anstieg deutlich ausgeprägter.

- Nach Entfernen der Gate-Spannung emittieren die vorher — in Abhängigkeit der Polarität der Spannung, die vorher anlag — in Störstellen gefangenen Löcher oder Elektronen wieder zurück in den SiC-Kristall. Die U_{th} -Verschiebung ist grundsätzlich reversibel [68] [70]. Die Erholung wird beschleunigt, wenn eine Gate-Spannung mit entgegengesetzter Polarität angelegt wird [70]. Wurden Ladungsträger in tieferen Störstellen gefangen, ist die Tunnelwahrscheinlichkeit zurück in den SiC-Kristall allerdings sehr klein, weshalb auch eine teilweise eher irreversible U_{th} -Verschiebung entstehen kann.
- Die für die Schwellspannungsinstabilitäten ursächlichen direkten Tunnelmechanismen beschreiben den Ladungsaustausch zwischen Halbleiter und Störstellen im Oxid, die nur wenige Nanometer vom SiC-Kristall entfernt sind, sodass hierdurch kein Gate-Source-Leckstrom entsteht, da das Oxid typischerweise deutlich dicker ist [68] [71].
- Zusätzlich kann, nach dem Überschreiten einer spezifischen Aktivierungsenergie, die U_{th} -Verschiebung beschleunigt werden. Vermutet wird die Aktivierung weiterer Störstellen unter dem Einfluss höherer Temperaturen, welche zu einer weiteren Zunahme des U_{th} -Anstieges führt [66] [68] [72].
- Bei einer getakteten Gate-Spannung mit $U_{\text{GS,on}} > U_{\text{th}}$ und $U_{\text{GS,off}} < 0 \text{ V}$ entsteht außerdem eine U_{th} -Verschiebung, die vorrangig positiv und zumindest überwiegend mehr-permanent bzw. irreversibel ist [73] [74]. Diese Verschiebung beschleunigt sich typischerweise bei höheren Temperaturen, positiveren $U_{\text{GS,on}}$ und negativeren $U_{\text{GS,off}}$ und ist proportional zur Anzahl an Schaltzyklen [75]. Dabei tragen insbesondere negativere $U_{\text{GS,off}}$ und Über- sowie Unterschwinger der Gate-Spannung zu einem verstärktem Anstieg von U_{th} bei [71] [76]. Eine Abhängigkeit vom Drain-Strom I_{D} oder der Sperrspannung U_{DS} liegt laut [75] nicht vor. Eine Abhängigkeit von der Schaltgeschwindigkeit ist zudem in [77] beschrieben und wird nachfolgend weiter ausgeführt:

Eine mögliche ebenfalls auf einen direkten Tunnelmechanismus basierende physikalische Modellvorstellung ist in [77] postuliert: Bei bipolarem Schalten mit hoher Schaltfrequenz käme es zu einer lokalen Verstärkung des elektrischen Feldes — und somit der Tunnelwahrscheinlichkeit —, da die kurze Ausschaltzeit nicht ausreicht, um die vorher eingefangenen Elektronen aus den Störstellen zu emittieren, was dazu

führe, dass sich die Anzahl an eingefangenen Elektronen im Oxid über der Anzahl der Schaltzyklen aufsummiert, wodurch die Proportionalität des U_{th} -Anstiegs mit der Anzahl an Schaltzyklen erklärt sei. Diese lokale Feldverstärkung wird ferner durch hohe Schaltgeschwindigkeiten beschleunigt. Dabei zeigte sich bei Trench SiC-MOSFETs, die auf der a-Seite des SiC-Kristalls oxidiert sind, nur eine Beschleunigung des U_{th} -Anstiegs, wenn die Einschaltzeit verkürzt wird, wohingegen planare SiC-MOSFETs, die auf der Si-Seite oxidiert sind, sowohl eine Beschleunigung des U_{th} -Anstiegs bei schnellerem Einschalten als auch bei schnellerem Ausschalten zeigen, was mit der unterschiedlichen Störstellendichte in der Nähe des Leitungsbandes begründet wird.

In [71] wird ferner postuliert, dass ausschlaggebend für einen signifikanten U_{th} -Anstieg ein alternierendes elektrisches Feld, hervorgerufen durch eine bipolare Gate-Taktung, sei, bei der $U_{\text{GS,off}}$ eine kritische negative Spannung unterschreiten müsse, die gleich der Flachbandspannung sei (vgl. Formel 2.12), da dann die Source-Elektrode gegenüber der Gate-Elektrode ein negatives Potential aufweist. Aufgrund der unterschiedlichen Störstellendichte in und an der SiC/SiO₂-Grenzschicht im Zusammenhang mit der Oxidationsseite von Trench und planaren SiC-MOSFETs, liegt diese kritische $U_{\text{GS,off}}$ bei Trench MOSFETs bei Spannungen zwischen -4 V und -6 V bzw. bei planaren MOSFETs um die -2 V [71]. Ferner zeige sich eine Abhängigkeit von der Symmetrie der Gate-Spannung: Bei Definition eines Symmetriefaktors β_{Uth} [71]:

$$\beta_{\text{Uth}} = \frac{|U_{\text{GS,on}}| - |U_{\text{GS,off}}|}{\Delta U_{\text{GS}}} \quad \text{mit} \quad \Delta U_{\text{GS}} = U_{\text{GS,on}} - U_{\text{GS,off}} = \text{konstant} \quad (2.18)$$

zeigt sich in [71] der maximale U_{th} -Anstieg bei $\beta_{\text{Uth}} \approx 0,2$ für $\Delta U_{\text{GS}} = 25\text{ V}$.

Phänomenologische Beschreibung von Schwellspannungsinstabilitäten

In der beschriebenen Modellvorstellung sind Störstellen entweder neutral oder geladen (Zwei-Zustandsmodell). Hierbei sei erwähnt, dass mit diesem Modell nicht alle publizierten Messungen erklärbar sind [59], weshalb darüber hinaus auch komplexere Multi-Zustandsmodelle diskutiert werden [78]. Die theoretische Beschreibung der physikalischen Ursachen, der von der anliegenden Gate-Spannung abhängigen Schwellspannungsinstabilitäten, ist noch Gegenstand der Grundlagenforschung. Um in dieser Arbeit dennoch Aussagen über Lastwechsellmethoden von SiC-MOSFETs treffen zu können, wird daher auf eine phänomenologische Beschreibung zurückgegriffen, die vollständig reversible Kurzzeiteffekte und eher-reversible sowie zumindest mehr-permanente Langzeiteffekte unterscheidet:

Vollständig reversible Kurzeffekte

Die gemessene Schwellspannung zeigt eine große Abhängigkeit von der vor der Messung angelegten Gate-Source Spannung: Typischerweise — und im Einklang mit den zuvor beschriebenen Erklärungsansätzen — ist U_{th} höher, wenn vor der Messung eine positive $U_{GS,on}$ anlag mit abnehmender Amplitude während der Messung und kleiner, wenn vor der U_{th} -Messung eine negative $U_{GS,off}$ anlag mit steigender Amplitude während der Messung. Dabei hängt die Höhe der Hysterese stark von der Messverzögerung ab und kann mehrere Volt betragen [59] [79]. Da die Amplitude der Hysterese auch stark zwischen verschiedenen SiC-MOSFETs variiert, ist dieser Effekt herausfordernd für die Charakterisierung von SiC-MOSFETs [80] [81]; auf Unterschiede in der U_{th} -Messung mittels Kennliniensreiber von SiC-MOSFETs im Vergleich zu Si-MOSFETs wird in Abschnitt 3.1.1 eingegangen. In der Applikation kann dieser Effekt auch positiv wirken, da eine kleinere Schwellspannung während des Einschaltvorganges und eine höhere während des Ausschaltvorganges die Schaltvorgänge beschleunigt und somit aktiv Schaltverluste reduziert [69]. Zudem kann dieser Effekt, bei hinreichend negativer $U_{GS,off}$, zu Beginn der Leitphase $R_{DS,on}$ verringern und somit aktiv die Leitverluste reduzieren [69]. Die U_{th} -Hysterese ist zudem vollständig reversibel [59] [69] und somit per se kein Nachteil, sondern eine Eigenschaft heutiger SiC-MOSFETs, die auch vorteilhaft sein kann [70] [82]. Als reversible Kurzeffekte werden nachfolgend Instabilitäten zwischen zwei U_{th} -Messungen kleiner 60 s verstanden, die zu keiner dauerhaften Parameterverschiebung führen. Im Einzelnen wird je nach Randbedingung zwischen U_{th} -Hysterese und reversibler Kurzzeit- U_{th} -Verschiebung unterschieden:

- U_{th} -Hysterese beschreibt in dieser Arbeit die Differenz zweier gemessener Schwellspannungen, bei denen sich die Polarität der vor der Messung anliegenden Gate-Spannung geändert hat. Wird nicht nur ein Datenpunkt aufgenommen, sondern ein Zeitverlauf der Schwellspannung, so zeigt sich eine stetige Änderung der gemessenen Schwellspannung während der Messung. Neben Polarität und Amplitude der vor der Messung anliegenden Gate-Spannung, wird die Höhe der U_{th} -Hysterese somit auch wesentlich vom Messzeitpunkt beeinflusst. Der Effekt ist vollständig reversibel.
- Unter Kurzzeit- U_{th} -Verschiebung wird in dieser Arbeit die Differenz zweier gemessener Schwellspannungen verstanden, die nach Anlegen einer Gate-Spannung gleicher Polarität innerhalb einer Zeit ≤ 60 s auftritt und vollständig reversibel ist.

In **Abbildung 2.10** sind zur Veranschaulichung zwei beispielhafte Messungen eines kommerziellen planaren SiC-MOSFETs gezeigt. Eine detaillierte Beschreibung des Messaufbaus folgt in Abschnitt 3.1.

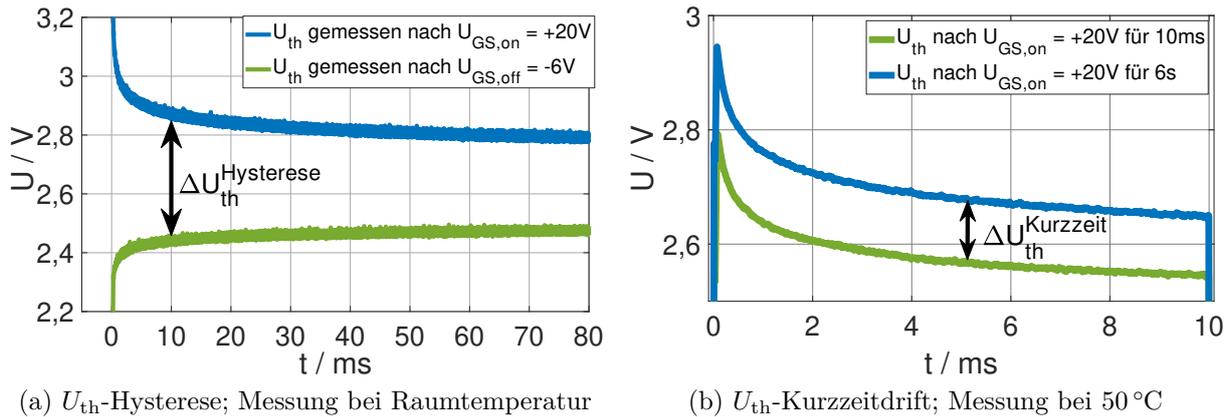


Abbildung 2.10: Beispielhafte Messungen der Schwellspannung eines planaren SiC-MOSFETs: Neben der Temperatur haben auch Polarität und Amplitude der vor der Messung anliegenden Gate-Spannung sowie der Messzeitpunkt einen Einfluss auf das Messergebnis. Beide Messungen erfolgten bei konstantem Messstrom von 5 mA.

Langzeitschwelspannungsverschiebung

Als Langzeitschwelspannungsverschiebung wird in dieser Arbeit eine messbare Änderung der Schwellspannung verstanden, die in Folge eines über einem Zeitraum länger 60s anliegenden Gate-Spannungsprofils auftritt. Unterschieden wird zwischen einer Verschiebung in Folge einer gepulsten und einer konstanten Gate-Spannung: Die U_{th} -Verschiebung infolge einer lang anliegenden konstanten Gate-Spannung wird in der Literatur als teilweise reversibel beschrieben [59], wobei bei modernen kommerziellen SiC-MOSFETs der Effekt als eher vollständig reversibel beschrieben ist [83]. Nach einer bipolar gepulsten Gate-Spannung ist hingegen eine eher permanente U_{th} -Verschiebung zu erwarten [73] [74], wie bereits erläutert.

2.2 Aufbau- und Verbindungstechnik von Leistungshalbleiterbauelementen

Trotz hoher Effizienz heutiger leistungselektronischer Wandler ist die anfallende und in Form von Wärme abzuführende Verlustleistungsdichte — infolge der kleinen aktiven Chipfläche moderner Leistungshalbleiter — mit über $1 \frac{\text{MW}}{\text{m}^2}$ enorm, weshalb die Aufbau- und Verbindungstechnik (AVT) einen wesentlichen und mitunter Performance-bestimmenden Bestandteil moderner Leistungshalbleiterbauelemente darstellt [19]. Dabei muss die AVT mehrere Anforderungen zugleich erfüllen [19]:

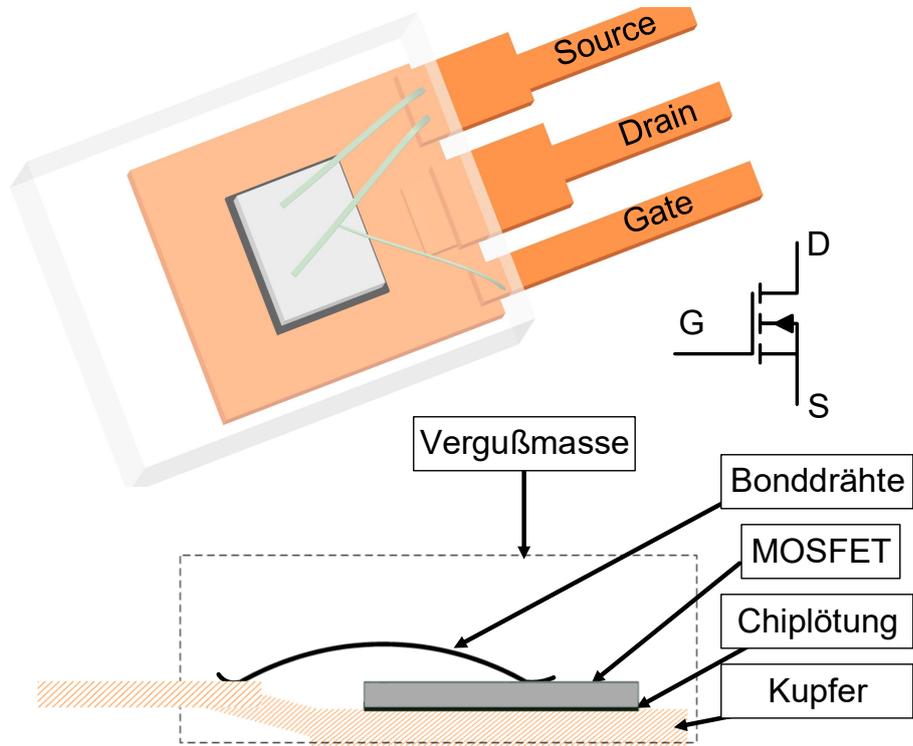
- Hohe Zuverlässigkeit: u.a. Gewährleistung der Langzeitzuverlässigkeit unter thermo-mechanischer Wechselbelastung, die im Qualifizierungsprozess durch Lastwechseltests abzusichern ist; vgl. Abschnitt 2.3.
- Gute elektrische Kontaktierung: Gewährleistung geringer Anschlusswiderstände und geringer parasitärer Elemente (Induktivitäten und Kapazitäten), die das Schaltverhalten negativ beeinflussen können.
- Gute thermische Kontaktierung: Gewährleistung einer hinreichenden thermischen Leitfähigkeit zwischen Wärmequelle (Leistungshalbleiter) und Wärmesenke (Kühlkörper), um die anfallende Verlustleistung abzuführen.
- Elektrische Isolation (bei Leistungsmodulen): Gewährleistung einer sicheren Isolierung zwischen Leistungshalbleiter und Wärmesenke sowie anderen Schaltungsteilen.

Dabei ergeben sich zum Teil ergänzende, aber auch zuwiderlaufende Auslegungskriterien: Beispielsweise kann eine bessere thermische Anbindung für eine Schaltungsdimensionierung mit geringerem Temperaturhub genutzt werden, was zugleich die Langzeitzuverlässigkeit verbessert. Hingegen bedingt ein größerer Abstand paralleler Leistungshalbleiter in einem Modul eine geringere thermische Mitkopplung, erhöht aber zugleich die parasitären Induktivitäten zwischen den Leistungshalbleitern, was zu schlechteren Schaltbedingungen führt. Eine optimale Auslegung der AVT stellt somit eine herausfordernde Entwicklungsaufgabe dar und muss praktisch sowohl unter applikationsspezifischen als auch Kostengesichtspunkten betrachtet werden [84].

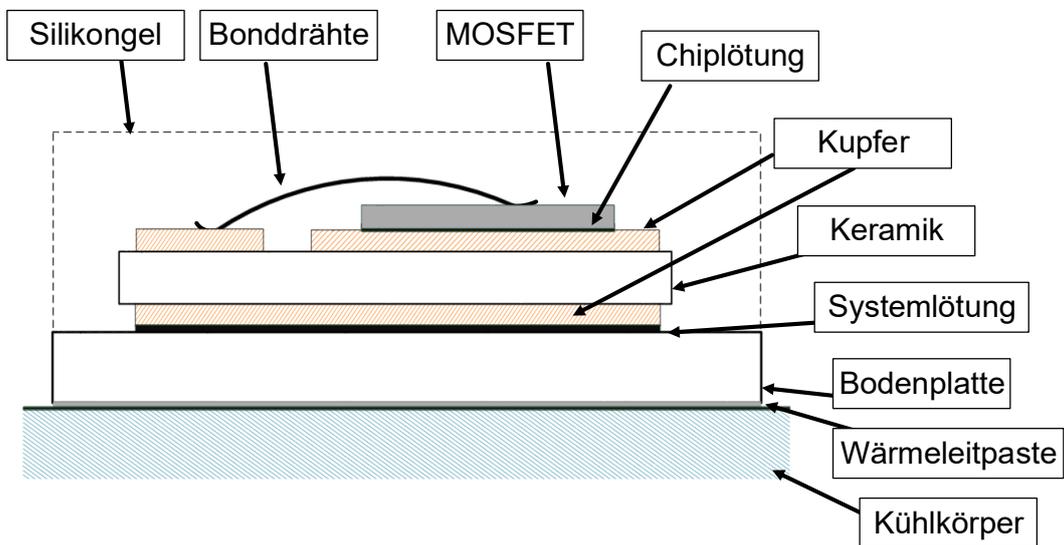
Leistungshalbleiterbauelemente sind schichtweise aufgebaut [19]: **Abbildung 2.11** zeigt beispielhaft je ein Schichtaufbau eines diskreten Leistungshalbleiterbauelementes (Abbildung 2.11a) — die alternative diskrete Bauform der Scheibenzelle für Dioden, Thyristoren und verwandte Bauelemente, die ihre Bedeutung insbesondere in Anwendungen hoher Leistung hat, wird hier nicht weiter betrachtet — und eines Leistungsmoduls (Abbildung 2.11b).

Im standardisierten TO-Gehäuse ist ein Halbleiter auf einer Kupferelektrode kontaktiert, über welche die Entwärmung realisiert ist. Chipoberseitig verbinden typischerweise Bonddrähte das Source-Potential — sofern ein MOSFET verbaut ist — sowie das Gate-Potential mit Kupferstiften, die aus dem Gehäuse herausgeführt sind. In Abhängigkeit der Strombelastung sind mehrere parallele Source-Bonddrähte verbaut. Der innere Aufbau ist durch Umpreßmasse elektrisch isoliert und gegenüber weiteren Umwelteinflüssen geschützt.

Leistungsmodule sind u.a. durch eine Isolierung des Halbleiters vom Kühlkörper gekennzeichnet, die typischerweise mit einer Keramik realisiert ist, die wiederum auf Unter- und Oberseite i.d.R. mit Kupfer metallisiert ist — DBC (direct copper bond) genannt. Die



(a) Diskreter MOSFET im TO-247-3-Gehäuse



(b) Schichtaufbau eines auf einem Kühlkörper montierten Standardmoduls

Abbildung 2.11: Beispielhafte Illustration des Schichtaufbaus von diskreten Leistungshalbleiterbauelementen am Beispiel des TO-247-3-Gehäuses und eines Standardmoduls mit Bodenplatte; als Leistungshalbleiter ist beispielhaft ein MOSFET angegeben.

Halbleiter sind auf der Oberseite der DBC kontaktiert. Auf der Unterseite der DBC ist entweder eine Bodenplatte befestigt, die über ein Wärmeleitmaterial (TIM — thermal interface material) auf einen Kühlkörper montiert ist, oder, im Fall von Modulen ohne Bodenplatte, erfolgt die Kühlung direkt an der DBC. Das Wärmeleitmaterial wird auch bei diskreten Aufbauten, infolge des nicht idealen thermischen Metall-Metall Überganges, benötigt, um Lufteinschlüsse zu überbrücken. Dabei ist dieses, verglichen mit Metallen wie Kupfer oder Aluminium, ein schlechter Wärmeleiter und sollte entsprechend nur so dick wie nötig und möglichst replizierbar aufgetragen sein [19]. Chipoberseitig sind das Source-Potential — im Fall eines MOSFETs — und das Gate-Potential über Bonddrähte auf Kupferelektroden (Oberseite der DBC) geführt, die klassischerweise entweder über Kupferstifte oder Schraubblaschen herausgeführt sind. Im Gegensatz zu diskreten Aufbauten lassen sich in Leistungsmodulen mehrere Potentiale integrieren, die beispielsweise intern als Brückenweig verschaltet sind und klassischerweise mit einem Weichverguss (z.B. Silikongel) elektrisch isoliert und gegenüber weiteren Umwelteinflüssen geschützt sind; u.a. in vibrationslastigen Anwendungen — wie im Automobil — kann ergänzend Hartverguss zum Einsatz kommen [85].

In industriellen Standardmodulen sind die Bonddrähte typischerweise aus Aluminium, die Halbleiter und DBC gelötet und die Keramik aus Aluminiumoxid [19]. Diese Aufbautechnik bietet eine Reihe von Optimierungspotentialen, insbesondere hinsichtlich Langzeitzuverlässigkeit und Kühlung: Beispiele sind die Verwendung von Silber-Sinter-Verbindungen anstelle von Lötungen [86], Kupferbonddrähten anstelle von Aluminium [87] oder Aluminiumnitrid-Keramiken anstelle von Aluminiumoxid [88] sowie direkt gekühlte [89] oder doppelseitig gekühlte [90] und bondfreie Module [91] [92].

Ein höherer Integrationsgrad wird beispielsweise in alternativen, hochintegrierten AVT-Ansätzen, wie in Leiterplatten eingebettete Aufbauten [93] [94] [95], erreicht: Durch eine optimierte Miniaturisierung des Aufbaus sind parasitäre Elemente im Kommutierungspfad reduziert, was folglich zu einem optimierten Schaltverhalten führt. Ein weiterer Ansatz ist Integration von Systemkomponenten wie Gate-Treiber, Zwischenkreiskondensatoren oder Sensoren — beispielsweise zur Strom- und Temperaturüberwachung — in das Leistungsmodul [96] [97]. Wesentliche Innovationstreiber bei der Weiterentwicklung der AVT und Gehäusetechnologie sind die zunehmende Elektrifizierung des Antriebsstranges von Fahrzeugen — eine Zusammenfassung des aktueller Trends innovativer AVT-Lösungen unterschiedlicher Hersteller für automobiler Anwendungen kann [98] entnommen werden — sowie die zunehmende Nutzung schnellschaltender Leistungshalbleiter wie SiC-MOSFETs [99].

2.3 Lastwechseltests

2.3.1 Hintergrund

Zuverlässigkeit ist die Fähigkeit eines Systems oder einer Komponente, seine spezifizierte Funktionalität unter definierten Bedingungen für eine bestimmte Zeitspanne zu erfüllen [100]. Die Einsatzdauern leistungselektronischer Systeme und Komponenten sowie deren Belastungsprofile sind applikationsspezifisch, liegen aber selten unter 10 Jahren und können bis zu 30 Jahre betragen [19]. Zur Absicherung der Zuverlässigkeit der AVT leistungselektronischer Bauelemente unter applikationsnahen thermo-mechanischen Wechselbelastungen werden im Rahmen des Produktentwicklungs- und Qualifizierungsprozesses u.a. Lastwechseltests durchgeführt [101] [102]. Dazu werden die zu prüfenden Bauelemente, auch Prüflinge oder DUTs (devices under test) genannt, auf eine Wärmesenke montiert und durch einen konstanten gepulsten Gleichstrom periodisch aktiv erhitzt und abgekühlt [102]. Die entstehenden Leitverluste erhitzen das Bauelement und führen zu einer inhomogenen Temperaturverteilung im dreidimensionalen Schichtaufbau (vgl. Abbildung 2.11), wodurch sich die verbauten Materialien, in Abhängigkeit der lokalen Temperaturänderung und des spezifischen thermischen Ausdehnungskoeffizienten, unterschiedlich stark verformen. Neben der unterschiedlichen Verformung innerhalb einer Materialschicht infolge von Temperaturgradienten, ist also die relative Verformung der Materialien zueinander entscheidend, weshalb die Verwendung von Materialien, die sich temperaturkorrigiert möglichst exakt gleich ausdehnen (CTE-Matching), ein Ansatz zur Zuverlässigkeitssteigerung ist [19] [98] [103].

Aufgrund der inhomogenen Temperaturverteilung im Bauteil, der unterschiedlichen Temperaturabhängigkeiten der thermischen Ausdehnungskoeffizienten unterschiedlicher Materialien, fertigungstechnischer Herausforderungen und teilweise konkurrierender Auslegungskriterien, ist dieser Idealzustand praktisch nicht erreichbar. Demzufolge entstehen unter thermischen Wechselbelastungen mechanische Verformungen im Bauelement, die teilweise elastisch und teilweise plastisch sind, wobei sich die plastischen Verformungen — und damit die Bauteilalterung — über die Anzahl der Lastwechsel akkumulieren und beispielsweise zu Rissbildungen im Lot führen können. Letztere bedingen wiederum eine schlechtere Wärmeleitung am Ort der Entstehung, wodurch entstandene Alterungen i.d.R. den Degradationsfortschritt beschleunigen. Kritisch sind hier insbesondere SiC-Halbleiter: Infolge der hohen Steifigkeit (vgl. Tabelle 2.2), ist der Anteil der plastischen Verformung der chipnahen AVT gegenüber Si-Halbleitern erhöht, wodurch diese stärker belastet wird und früher ausfällt [104]. Durch den Einsatz neuartiger Aufbautechniken, kann die Lastwechselfestigkeit von Leistungshalbleiterbauelementen mit SiC-Halbleitern deutlich gesteigert werden [85] [103] [105].

Aufgrund der physikalischen Komplexität und Koabhängigkeiten der zugrundeliegenden Schädigungsmechanismen werden zur Lebensdauermodellierung von leistungselektronischen Bauelementen unter thermischen Wechselbelastungen in der Regel keine physikalischen Modelle, sondern empirische, aus einer Reihe von Lastwechseltests abgeleitete Lebensdauermodelle verwendet: Dabei kann der Einfluss der plastischen Verformung auf die erreichbare Anzahl an thermischen Zyklen bis zum Ausfall N_f mit einem Coffin-Manson-Modell in der thermischen Ebene beschrieben werden:

$$N_f \sim C_1 \cdot \Delta T^{-n} \quad (2.19)$$

mit dem Coffin-Manson-Faktor C_1 und dem Coffin-Manson-Exponenten n .

Zusätzlich entstehen im Bauteil bei erhöhter Temperatur mechanische Spannungen, die sich durch einen Arrhenius-Term beschreiben lassen:

$$N_f \sim e^{\frac{E_A}{k_B \cdot (T_m + 273 \text{ K})}} \quad (2.20)$$

mit der Aktivierungsenergie E_A in eV, der Boltzmann-Konstanten k_B in $\frac{\text{eV}}{\text{K}}$ und der mittleren Temperatur T_m in °C.

Darüber hinaus haben (bei gleicher AVT) die Chipdicke, die Aufheizzeit, die Stromstärke je Bonddraht [106] und das Seitenverhältnis der Bonddrähte zur aktiven Chipfläche einen Einfluss auf die Lastwechselfestigkeit [86].

2.3.2 Durchführung und Messdatenerfassung

Ein qualitativer Signalverlauf von Zyklen eines Lastwechseltests ist in **Abbildung 2.12** dargestellt: Der Laststrom I_{Last} durchfließt während der Einschaltzeit t_{on} die Prüflinge, folglich fällt eine Spannung ab und der Halbleiter wird durch die entstehenden Leitverluste mit der Verlustleistung P_V aktiv aufgeheizt — die Temperatur des Halbleiters steigt. Während der Ausschaltzeit t_{off} wird der Laststrom ausgeschaltet und die Temperatur des Halbleiters sinkt. Da diese nicht direkt messbar ist, wird typischerweise der Prüfling selbst als Sensor genutzt [107]: Über die Erfassung eines temperatursensitiven elektrischen Parameters (TSEP) während der Testdurchführung kann die virtuelle Sperrschichttemperatur T_{vj} über eine vorher aufgenommene Kalibrierfunktion ermittelt werden. Bewährt hat sich hierbei die Temperaturabhängigkeit der Schleusenspannung — also des Spannungsabfalls über einen pn-Übergang — gemessen bei kleinem Messstrom I_{Mess} . Die so erfasste Halbleitertemperatur entspricht näherungsweise der flächenbezogenen Mittelwertstemperatur der aktiven Chipfläche [105] [107]. Der Parameter, der mit Abstand den größten Einfluss auf

die Lebensdauer hat, ist der Temperaturhub der virtuellen Sperrschichttemperatur ΔT_{vj} , wie publizierte Lebensdauermodelle zeigen [86] [108] [109] [106] [110], weshalb sowohl die maximale $T_{vj,max}$, als auch die minimale Sperrschichttemperatur $T_{vj,min}$ in jedem Zyklus mit der Zykluszeit

$$t_{Zyklus} = t_{on} + t_{off} \quad (2.21)$$

möglichst exakt zu erfassen sind [102]. Aus diesen kann der Temperaturhub

$$\Delta T_{vj} = T_{vj,max} - T_{vj,min} \quad (2.22)$$

und die mittlere virtuelle Sperrschichttemperatur

$$T_{vj,m} = \frac{T_{vj,max} + T_{vj,min}}{2} \quad (2.23)$$

bestimmt werden. Zusätzlich wird zur Erfassung von Degradationen im thermischen Pfad — also zwischen Wärmequelle und Wärmesenke — eine Referenztemperatur mittels Thermoelement erfasst. Als Referenztemperatur dient entweder die Bodenplattentemperatur T_c oder die Kühlkörpertemperatur T_h [102]. Alternativ kann bei direkt gekühlten Modulen auch die Temperatur des strömenden Mediums, nachfolgend als Kühlwassertemperatur T_W bezeichnet, genutzt werden, indem der Mittelwert aus einströmender und ausströmender Kühlmedientemperatur erfasst wird [102]. Mit der Verlustleistung, der maximalen Sperrschichttemperatur und der Referenztemperatur wird der thermische Widerstand berechnet

$$R_{thvj,ref} = \frac{P_V}{T_{vj,max} - T_{ref}} \quad (2.24)$$

Die Lokalisierung der Referenztemperaturerfassung bestimmt hierbei den erfassten thermischen Pfad: Beispielsweise werden im Fall der Erfassung der Kühlkörpertemperatur, auch Degradationen am Wärmeleitmaterial erfasst; vgl. Abbildung 2.11. Wird hingegen die Bodenplattentemperatur als Referenz genutzt, fehlt diese Information.

Herausfordernd ist insbesondere die exakte Erfassung von $T_{vj,max}$: Nach dem Wegschalten von I_{Last} entsteht eine zeitliche Verzögerung, da Ladungsträger aus der Raumladungszone zunächst rekombinieren müssen, bevor eine gültige Messung bei kleinem Messstrom erfolgen kann [107]. Infolge der rapiden Abkühlung nach dem Wegschalten des Laststromes entsteht ein Messfehler, der zu kompensieren ist. Hierzu wird üblicherweise die \sqrt{t} -Methode angewandt, die auf die in [111] aufgestellte theoretische Herleitung zurückgeht, nach der

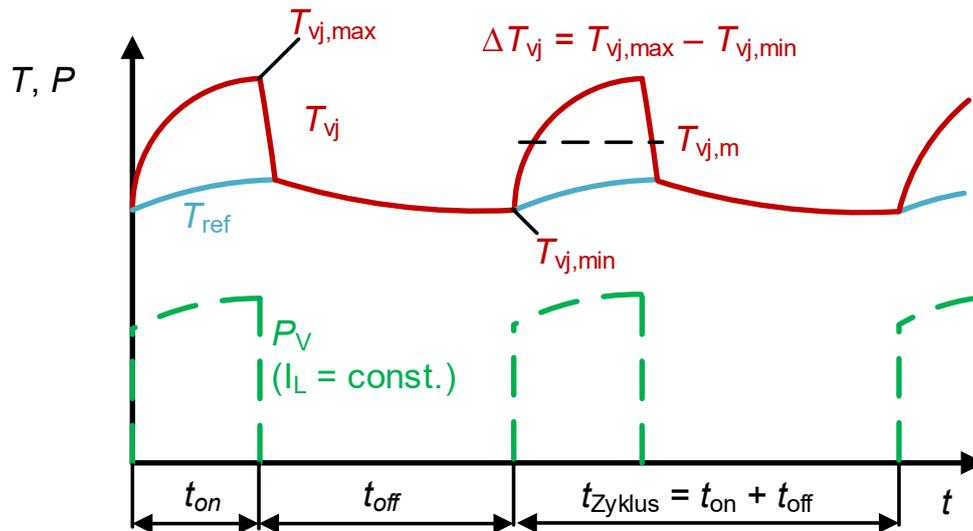


Abbildung 2.12: Signalverlauf einen Lastwechseltests

die Abkühlkurve (Temperaturverlauf nach dem Wegschalten des Laststromes) einer flachen und auf der Oberfläche eines halb-unendlich dicken Zylinders platzierten Wärmequelle, unter Annahme eines ein-dimensionalen Wärmeflusses durch diesen Zylinder, proportional zu \sqrt{t} ist. Somit lässt sich $T_{vj,max}$ aus der aufgenommenen Abkühlkurve zurückrechnen, indem eine kurze Zeitspanne nach dem Wegschalten des Laststromes (z.B. $300 \mu s$) ignoriert wird, der sich anschließende Temperaturverlauf für eine kurze Zeit (z.B. $2,56 ms$) über \sqrt{t} dargestellt und mithilfe einer linearen Extrapolation zum Zeitpunkt $t_{Tvj,max} = 0 s$ (Ausschaltzeitpunkt) die Temperatur berechnet wird; das prinzipielle Vorgehen zur Bestimmung von $T_{vj,max}$ während der Lastwechselprüfung zeigt **Abbildung 2.13**.

Es ist ersichtlich, dass der entstehende Schätzfehler zum einen von der Abweichung des zugrundeliegenden Modells vom realen Halbleiter als auch von den gewählten Parametern der \sqrt{t} -Methode abhängt: Beispielsweise sind bei bipolaren Bauelementen hoher Spannungsklasse größere Abweichungen zu erwarten, da ein Teil der Verlustleistung im unteren Chipbereich erzeugt wird und die Wärmespreizung im Halbleiter mit steigender Chipdicke zunimmt. Tendenziell neigt die \sqrt{t} -Methode zu einer leichten Überschätzung von $T_{vj,max}$ [18], die kleiner ist als die in der Europäischen Anwendungsrichtlinie zur Qualifizierung von Leistungsmodulen für automobiler Anwendungen AQG324 tolerierte Messunsicherheit von $\pm 5 K$ [102].

Der prinzipielle Aufbau eines Lastwechselversuchsstandes für IGBTs ist in **Abbildung 2.12** illustriert: Eine Stromquelle speist den Prüfling in Vorwärtsrichtung mit einem konstanten Laststrom, der periodisch über Schalter S_1 zu- und weggeschaltet wird. Der Prüfling ist

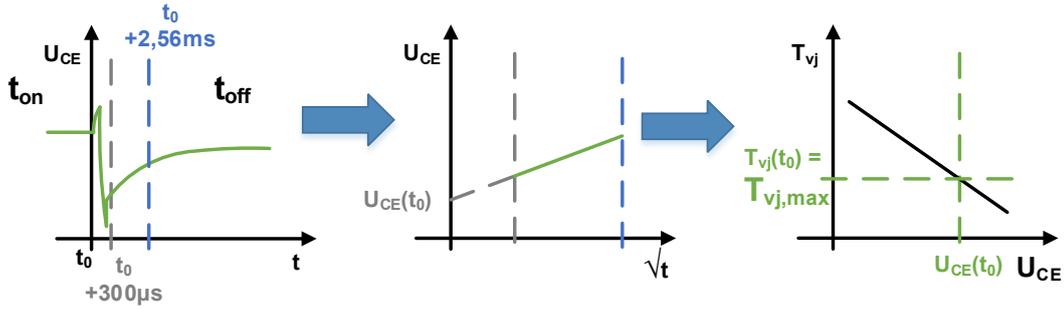


Abbildung 2.13: Qualitativer Ablauf zur Ermittlung von $T_{vj,max}$ während der Lastwechselprüfung: Mittels der \sqrt{t} -Methode wird U_{CE} zum Zeitpunkt des Ausschaltens (t_0) geschätzt; über eine vorher aufgenommene Kalibrierfunktion $T_{vj} = f(U_{CE})$ wird $T_{vj,max}$ ermittelt.

während der gesamten Prüfung eingeschaltet, wobei sowohl U_{GE} , I_{Last} , t_{on} und t_{off} zu Beginn des Lastwechseltests eingestellt werden und während der gesamten Durchführung konstant bleiben. Somit führen eintretende Degradationen zu einem Anstieg der Verluste und folglich auch von ΔT_{vj} — fortschreitende Degradationen führen zu schärferen Testbedingungen und beschleunigen so den Ausfall, was den Feldbedingungen entspricht [112]. Abweichende Testbedingungen beeinflussen maßgeblich das Ergebnis [112] [113] und sind somit zur anwendungsnahen Lebensdauerabschätzung nicht zulässig [102]. Zusätzlich ist eine Prüfstromquelle parallel zum Prüfling geschaltet. Diese speist einen kleinen Messstrom in Vorwärtsrichtung durch den Prüfling, der üblicherweise deutlich kleiner ist als I_{Last} , weshalb I_{Mess} dauerhaft fließen kann, ohne T_{vj} zu beeinflussen. Im Fall von IGBTs dient der Spannungsabfall in Vorwärtsrichtung U_{CE} während t_{off} (S_1 geöffnet) als TSEP, weshalb die Temperaturerfassung auch als $U_{CE}(T)$ -Methode bezeichnet wird. Während t_{on} (S_1 geschlossen) dient die Erfassung von $U_{CE,on}$ zur Identifikation von Degradationen im elektrischen Pfad und zur Berechnung der Verlustleistung

$$P_V = I_{Last} \cdot U_{CE,on} \quad (2.25)$$

Üblicherweise erfolgt die gleichzeitige Lastwechselprüfung mehrerer in Reihe geschalteter Prüflinge, wobei für jeden Prüfling nur ein Spannungsmesskanal benötigt wird. Die einzelnen Messgrößen verschiedener Prüflinge sind hierbei simultan zu erfassen. Während t_{off} wird dann I_{Last} entweder auf einen parallelen Strang mit weiteren Prüflingen oder auf einen Freilaufpfad mit einer Dummy-Last geschaltet, wobei ersterer Ansatz den Vorteil eines höheren Prüfdurchsatzes mit sich bringt und letzterer den eines frei einstellbaren t_{on}/t_{off} -Verhältnisses (in Abbildung 2.14 nicht dargestellt).

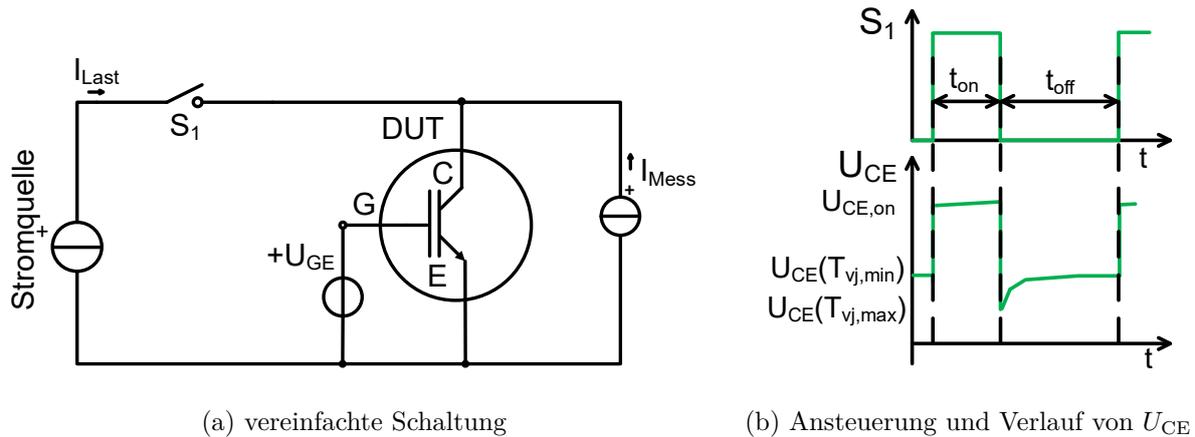


Abbildung 2.14: Vereinfachte Schaltung und Ansteuerung zum Lastwechseln von Si-IGBTs unter Anwendung der $U_{CE}(T)$ -Methode zur Ermittlung der Sperrschichttemperatur

2.3.3 Fehleridentifikation und in-situ Separation von Degradationen

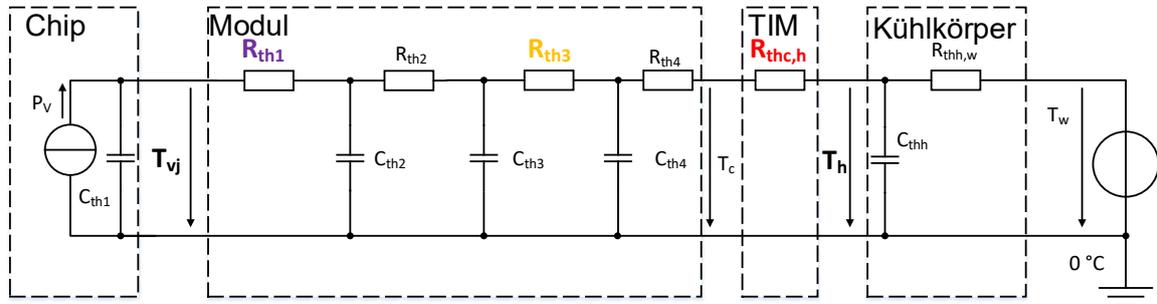
Neben der Teststrategie haben auch die Messdatenerfassung und definierten Fehlerschwellen einen Einfluss auf das Prüfergebnis [113]. Zur Fehlerindikation dient zum einen die gemessene Vorwärtsspannung bei Laststromfluss zur Erfassung von Degradationen im elektrischen Pfad, wobei typischerweise ein Anstieg von $+5\%U_{CE,on}$ (auch als Kollektor-Emitter-Sättigungsspannung $U_{CE,sat}$ bezeichnet) bzw. $+5\%U_{DS,on}$ einen Ausfall kennzeichnet [102], und zum anderen der gemessene thermische Widerstand $R_{thvj,ref}$ zur Erfassung von Degradationen im thermischen Pfad, wobei typischerweise ein Anstieg von $+20\%R_{thvj,ref}$ einen Ausfall darstellt [102].

Bondabgänge (plötzliches Ablösen eines Bonddrahtes) sind typische Fehler im elektrischen Pfad bei Standardaufbauten, dessen charakteristischer Verlauf aus den Lastwechseldaten durch einen sprunghaften Anstieg von $U_{CE,on}$ gekennzeichnet ist, ohne dass $R_{th,ref}$ gleichzeitig signifikant ansteigt. Dieser Fehlerfall tritt bevorzugt bei Standardmodulen, die mit hohem ΔT_{vj} gelastwechselt werden, auf. Eine Degradation der Chip-lötung tritt hingegen bei kleinerem ΔT_{vj} und hoher $T_{vj,m}$ sowie langen Zyklen als dominierender Fehlerfall stärker in den Vordergrund [114]. Aus diesem Zusammenhang kann eine Kritik an der Lebensdauerabschätzung in der Anwendung auf Basis von Lastwechseltests abgeleitet werden [115] [116], da in der Applikation typischerweise deutlich geringere Temperaturhübe vorherrschen, die mittleren Temperaturen aber durchaus hoch sein können. In der Lastwechselprüfung wird hingegen eine hohe Testbeschleunigung durch — im Vergleich zur Applikation — relativ hohe Temperaturhübe eingestellt, was den dominierenden Fehlerfall von der Lötung hin zum Bondabgang verschieben kann. Eine Lastwechselprüfung unter

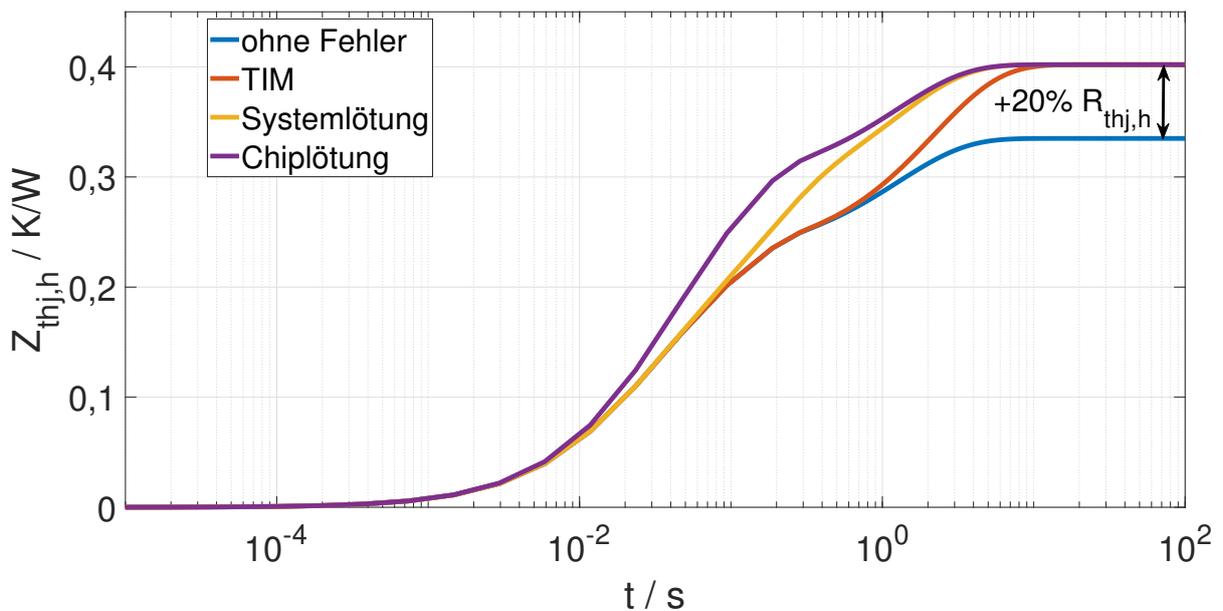
Feldbedingungen ist aufgrund der hohen Einsatzdauer nicht praktikabel, weshalb ein erweitertes Lastwechselkonzept mit zusätzlicher Einbringung von Schaltverlusten von einer Arbeitsgruppe der TU Chemnitz entwickelt und vorgestellt wurde [117], wodurch auch End-of-Life (EoL) Lastwechseltests mit kleinen Temperaturhüben in praktikabler Zeit möglich sind. Ein Abgleich der zugrundeliegenden und dominierenden Fehlermechanismen zwischen Feld- und beschleunigten Prüfstandsbedingungen ist somit möglich [118], was eine grundlegende Herausforderung beschleunigter Zuverlässigkeitstests im Bereich Lastwechsel löst. Erste veröffentlichte Lebensdaueruntersuchungen mit sehr kurzen Pulsen und kleinen Temperaturhüben zeigen die Notwendigkeit für diesen Abgleich [115].

Eine zerstörende Fehleranalytik nach erfolgter Lastwechselprüfung hilft, die zugrundeliegenden Fehlermechanismen zu verbildlichen, besser zu verstehen und Systemschwachstellen zu identifizieren. Übliche Verfahren sind Schliffbilder, Ultraschalluntersuchungen und Röntgen. Darüber hinaus sind in-situ Analyseverfahren (Analyse während des Prüfablaufes) besonders elegant, da zusätzlich Degradationsentstehung, -fortschritt und Überlappungen verschiedener Fehlermechanismen analysiert werden können, ohne den Testaufbau zu ändern. Das hieraus ableitbare Verständnis komplexer Fehlermechanismen kann ferner für eine numerische Nachbildung genutzt werden und stellt so die Basis zukünftiger Physics-of-Failure Modelle dar. Bei optisch zugänglichen Testaufbauten bieten sich kamerabasierte Ansätze, wie die optische Dehnungsmessung [119] und lock-in Thermografie [120], an, um chipoberseitige Degradationen zu analysieren [121]. Für den thermischen Pfad ist die thermische Impedanzspektroskopie etabliert [122] [123]. Die Grundlage hierfür bildet die Erfassung der Sprungantwort des thermischen Systems (thermische Impedanz der Aufheizkurve), die aus der gemessenen Abkühlkurve bestimmt wird. Aus einer zeitlichen Änderung kann, unter Kenntnis des Schichtaufbaus des Prüflings, infolge unterschiedlicher thermischer Kapazitäten und thermischer Widerstände der einzelnen Schichten (vgl. Abbildung 2.11), auf die degradierende Schicht geschlossen werden.

Abbildung 2.15 zeigt zur Verdeutlichung ein einfaches Simulationsbeispiel eines Standardmoduls: Degradationen im thermischen Pfad führen zu einem Anstieg des thermischen Widerstandes, wobei Degradationen an unterschiedlichen Schichten (ein-dimensional als Cauer-Modell nachgebildet) zu dem selben Anstieg des thermischen Widerstandes führen können. Allein die Erfassung von $R_{thvj,ref}$ lässt folglich keine Aussage über die degradierende Schicht im Aufbau zu. Wird zusätzlich die thermische Impedanz aufgenommen, kann aus dem zeitlichen Verlauf auf die betreffende Schicht geschlossen werden: Je früher der zeitliche Verlauf des thermischen Widerstandes beginnt anzusteigen, desto näher an der Wärmequelle (Halbleiter) sind die Degradationen lokalisiert.



(a) Cauer-Modell eines Leistungsmoduls mit Bodenplatte



(b) Simulierte thermische Impedanz für verschiedene Degradationen im Schichtaufbau

Abbildung 2.15: Beispielhafte simulierte thermische Impedanz eines Leistungsmoduls mit Bodenplatte bei unterschiedlichen Fehlern im thermischen Pfad: fehlerfrei (blau), Degradationen in der thermischen Anbindung zwischen Bodenplatte und Kühlkörper (rot), Degradationen in der Systemlötung (gelb) und Degradationen in der unterseitigen Chipkontaktierung (lila)

2.3.4 Statistische Auswertung — Weibull-Analyse

Die Weibull-Analyse wurde erstmals 1951 in [124] veröffentlicht. Der wesentliche Vorteil der Weibull-Analyse ist, dass sie auch auf Basis sehr geringer Stichprobenumfänge eine hohe Aussagekraft über Ausfallraten und Ausfallprognosen bietet, wodurch sie zeit- und kosteneffiziente Komponententests ermöglicht [125]. Daher ist sie die statistische Analysemethode der Wahl zur Auswertung von Lastwechseltests [19] und findet auch in anderen technischen Gebieten Anwendung, um quantitative Aussagen über Ausfallwahrscheinlichkeiten von technischen Systemen zu treffen [125]. Die zweiparametrische Weibull-Verteilung wird durch die Wahrscheinlichkeitsdichtefunktion $f(N, \alpha, \beta)$ und die Ausfallhäufigkeitssummenfunktion $F(N, \alpha, \beta)$ mit der Notation in [19] wie folgt beschrieben:

$$F(N, \alpha, \beta) = 1 - e^{-\left(\frac{N}{\beta}\right)^\alpha} \quad (2.26)$$

mit der Anzahl an Lastwechselzyklen N , dem Skalierungsparameter β und dem Formparameter α . Die Ausfallhäufigkeitssumme beschreibt, bei welcher Zyklenzahl ein bestimmter Anteil der Prüflinge bereits ausgefallen ist; beispielsweise bei:

- $F = 0,01$ sind 1 % der Prüflinge ausgefallen
- $F = \beta$ sind 63,2 % der Prüflinge ausgefallen, wobei β die charakteristische Lebensdauer $\beta = 1 - (1/e) \approx 0,632$ beschreibt
- $F = 1$ sind alle Prüflinge ausgefallen

Der Formparameter α charakterisiert die Streuung der Wahrscheinlichkeitsverteilung — je größer α desto geringer die Streuung — und den Fehlertyp:

- $\alpha < 1$ beschreibt vorzeitige Ausfälle — beispielsweise infolge von Produktionsfehlern
- $\alpha = 1$ beschreibt zufällige Ausfälle — beispielsweise Ausfälle infolge des Einflusses kosmischer Strahlung
- $\alpha > 1$ beschreibt EoL-Ausfälle — wie beispielsweise infolge von thermisch-mechanischer Beanspruchung

Letzteres wird entsprechend bei Anwendung auf EoL-Lastwechseltests erwartet.

Die Ableitung von (2.26) nach N ergibt die Wahrscheinlichkeitsdichtefunktion:

$$f(N, \alpha, \beta) = \frac{\alpha}{\beta^\alpha} N^{(\alpha-1)} e^{-\left(\frac{N}{\beta}\right)^\alpha} \quad (2.27)$$

Wird zusätzlich die Belastungshistorie der Prüflinge einbezogen, kann die zweiparametrische Weibull-Verteilung um einen dritten Parameter erweitert werden, der entsprechend diese berücksichtigt [125]. Da Lastwechseltests i.d.R. mit unbelasteten Prüflingen durchgeführt werden, spielt dies zur Auswertung von EoL-Lastwechseltests typischerweise keine Rolle.

2.3.5 Anwendung von Lastwechseltests

Abschätzung der Lebensdauer in Abhängigkeit der Anwendung

Aus Anwendungssicht stellt sich insbesondere die Frage, wie ein leistungselektronisches System zu dimensionieren ist, um eine hinreichende Zuverlässigkeit über die geforderte Lebensdauer des Systems zu gewährleisten und gleichzeitig unnötige Überdimensionierungen zu vermeiden. Diese Abschätzung kann mithilfe von standardisierten Lastwechseltests und gültigen Lebensdauermodellen sowie in Kenntnis des applikationsspezifischen Lastprofils erfolgen [126], wie in **Abbildung 2.16** illustriert: Die aktiven Belastungen der Leistungshalbleiterbauelemente hängen dabei direkt von den elektrischen Eigenschaften der Leistungshalbleiter sowie den thermischen Eigenschaften des Aufbaus, den vorherrschenden Kühlbedingungen, den Lastcharakteristika, Systemparametern wie der verwendeten Topologie und Taktfrequenz der Leistungshalbleiter und vom Lastprofil ab, die als Eingangsgrößen in eine Systemsimulation gespeist werden. Auf dieser Basis erfolgt die Berechnung des Verlustprofils — also der Leit- und Schaltverluste — aus dem über ein thermisches Modell ein kontinuierliches Temperaturprofil generiert wird. Um diesen Temperaturverlauf in äquivalente Lastwechselzyklen umzurechnen, ist eine Datenreduktion nötig: Hierzu werden vollständige thermische Zyklen typischerweise mittels Rainflow-Algorithmus gezählt (klassifiziert), da dieser nicht durch Reihenfolgeeffekte verfälscht wird [127].

Aus dem klassifizierten Temperaturprofil können über ein Lebensdauermodell — z.B. CIPS08-Modell [106]— unter Annahme einer linearen Schadensakkumulation äquivalente Lastwechselzyklen errechnet werden, auf deren Grundlage eine anwendungsnahe Lebensdauerprognose möglich ist [126]:

$$N_{\text{test}} = \sum_{i=1}^{i=n} \frac{\Delta T_{\text{vj,test}}^{-4,416} \cdot e^{\frac{1285}{T_{\text{vj,min,test}} + 273 \text{ K}}} \cdot t_{\text{on,test}}^{-0,463} \cdot I_{\text{test}}^{-0,716}}{\Delta T_{\text{vj,Anwendung,i}}^{-4,416} \cdot e^{\frac{1285}{T_{\text{vj,min,Anwendung,i}} + 273 \text{ K}}} \cdot t_{\text{on,Anwendung,i}}^{-0,463} \cdot I_{\text{Anwendung,i}}^{-0,716}} \cdot N_{\text{Anwendung,i}} \quad (2.28)$$

mit dem vorgegebenen Lastwechselarbeitspunkt, der als Referenz dient, definiert durch die Belastungsparameter $\Delta T_{\text{vj,test}}$, $T_{\text{vj,min,test}}$, $t_{\text{on,test}}$ und I_{test} . Das CIPS08-Modell [106] liefert beispielhaft eine äquivalente Anzahl an Lastwechselzyklen N_{test} , denen das Leistungshalbleiterbauelement mindestens widerstehen muss, um den klassifizierten thermischen

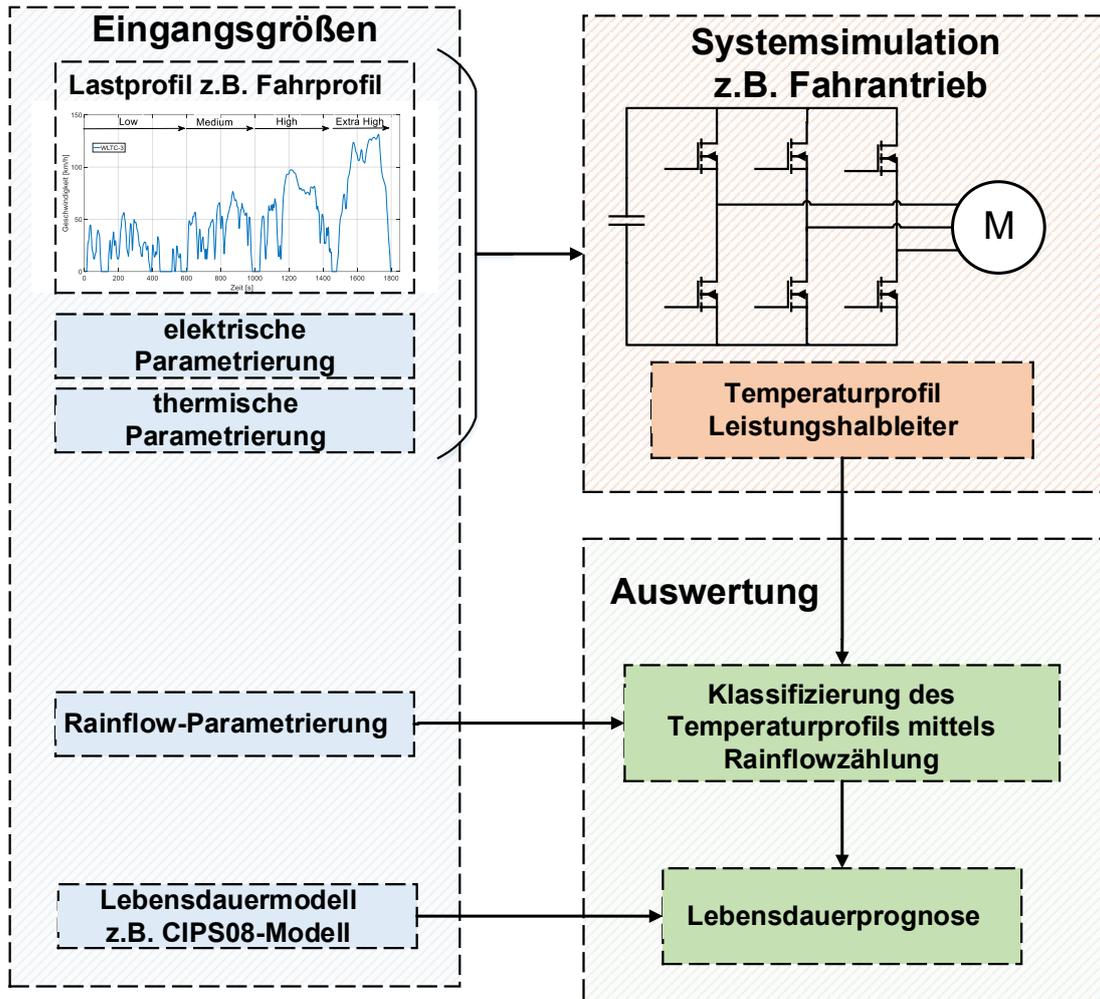


Abbildung 2.16: Prinzipielles Vorgehen zur Abschätzung der Lebensdauer für eine Anwendung

Belastungsprofil zu genügen, das definiert ist durch eine Summe von $N_{\text{Anwendung},i}$, vollständigen Temperaturzyklen mit jeweils $\Delta T_{vj,\text{Anwendung},i}$, $T_{vj,\text{min},\text{Anwendung},i}$, $t_{\text{on},\text{Anwendung},i}$ und $I_{\text{Anwendung},i}$. Dabei spiegelt die obere Summationsgrenze n die Gesamtanzahl an thermischen Vollzyklen wider, die innerhalb eines Lastprofils auftreten; vgl. Abbildung 2.16. Da das Lastprofil typischerweise nur einen Teil der gesamten Betriebsdauer von beispielsweise 20 Jahren abdeckt, sind auch unvollständige thermische Zyklen zu berücksichtigen, weshalb in [127] vorgeschlagen wird, das Residuum der Rainflowzählung — in dem unvollständige thermische Zyklen erfasst werden — in (2.28) mit dem Faktor 0,5 zu berücksichtigen.

Fallstudie — Beschleunigte Qualifizierung hochzuverlässiger, chipnaher Aufbau- und Verbindungstechnik

Hintergrund — beschleunigte Produktentwicklung: Die zunehmende Etablierung hochzuverlässiger AVT, wie Diffusionslötungen, Ag-Sinterverbindungen und Cu-Bonddrähte [86] [87] [98] [128] [129], in neuartige Leistungshalbleiterbauelemente bringt zahlreiche Vorteile in der Anwendung mit sich, wie die Möglichkeit zum Einsatz unter höheren Betriebstemperaturen oder kompaktere Designs, stellt aber gleichzeitig eine Herausforderung für die Qualifizierung und Produktweiterentwicklung dar: Einstellbare Beschleunigungsfaktoren nehmen — durch den Einsatz dieser Technologien unter wesentlich härteren Betriebsbedingungen — zwischen Feld- und Prüfbedingungen stark ab. Gleichzeitig erzielen diese Aufbauten enorme Zuverlässigkeitssteigerungen [109]. Ferner sind EoL Tests elementarer Bestandteil eines jeden Produktentwicklungsprozesses [101], was für die Erforschung einer Testmethode motiviert, die eine starke Raffung von EoL Lastwechseltests von hochzuverlässiger AVT ermöglicht, ohne den zugrundeliegenden, dominierenden Fehlermechanismus zu verändern.

Abbildung 2.17 zeigt exemplarisch, wie hochbeschleunigte EoL Tests während eines Produktentwicklungsprozesses eingesetzt werden können: Zunächst ist wie üblich das bestehende Produkt mit gewöhnlicher Testbeschleunigung zu testen (1) und der zugrundeliegende Fehlermechanismus zu untersuchen und zu dokumentieren. Zur Absicherung weiterer Produktoptimierungen (2', 3', 4', 5') können hochbeschleunigte EoL Tests eingesetzt werden, mit deren Hilfe die einzelnen Entwicklungszyklen und die Gesamtentwicklungszeit des hinreichend optimierten Produktes (6) deutlich verkürzt werden können, wodurch Zeit und Geld gespart wird. Dabei muss allerdings sichergestellt sein, dass sich der zugrundeliegende Fehlermechanismus bei hochbeschleunigter Testung nicht ändert, damit die Qualifizierung applikationsnah bleibt [102]. Daher muss die Möglichkeit der Ausreizung der Stressparameter — wie beispielsweise des Temperaturhubes über den gegebenen thermischen Limits des zu testenden Leistungshalbleiterbauelementes — sorgfältig untersucht und abgesichert werden.

Exemplarische Versuchsmuster: Zur Validierung wurden spezielle Versuchsmuster in einem Standardgehäuse mit Kupferbodenplatte angefertigt, wie in **Abbildung 2.18** dargestellt: Der verbaute Si-IGBT ist für 650 V/200 A sowie eine maximale Sperrschichttemperatur von 175 °C spezifiziert und chipunterseitig auf eine DBC gesintert. Chipoberseitig ist eine dünne Kupferfolie aufgesintert (Bondbuffer; vgl. [87]), auf der zur Emitter-Kontaktierung acht dicke Kuperbonddrähte gebondet sind. Zusätzlich dienen vergleichbare kommerzielle IGBT-Module mit Standard-AVT — gelötete Chips und dicke Al-Bonddrähte (vgl. Abbildung 2.11b) — für Referenzuntersuchungen.

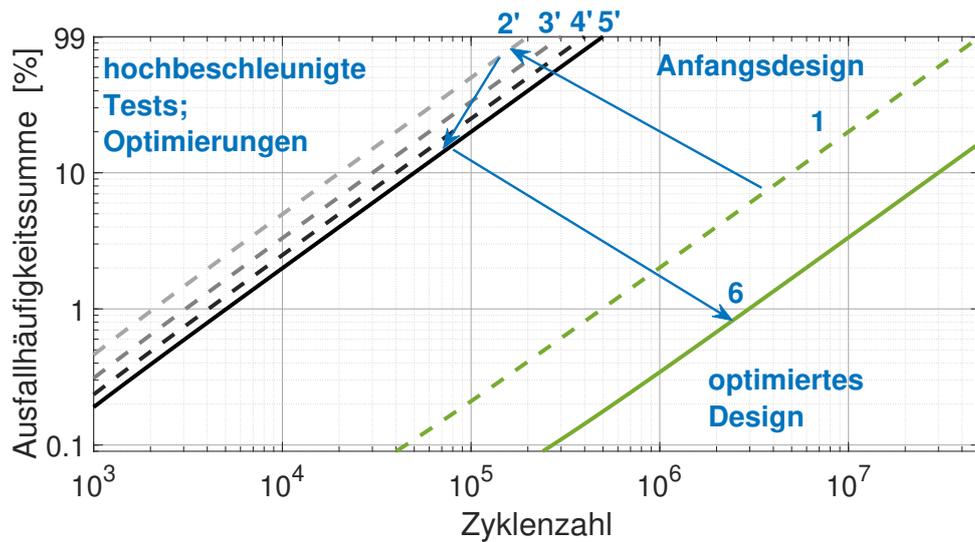
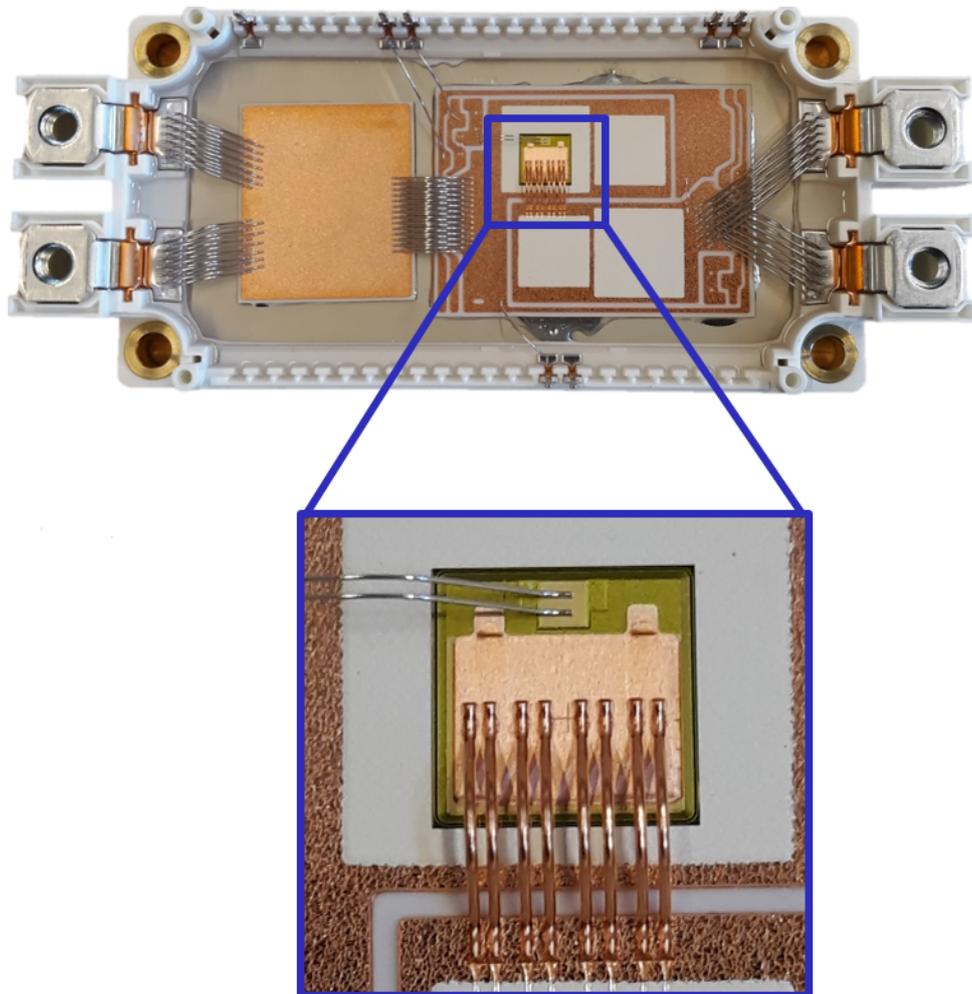


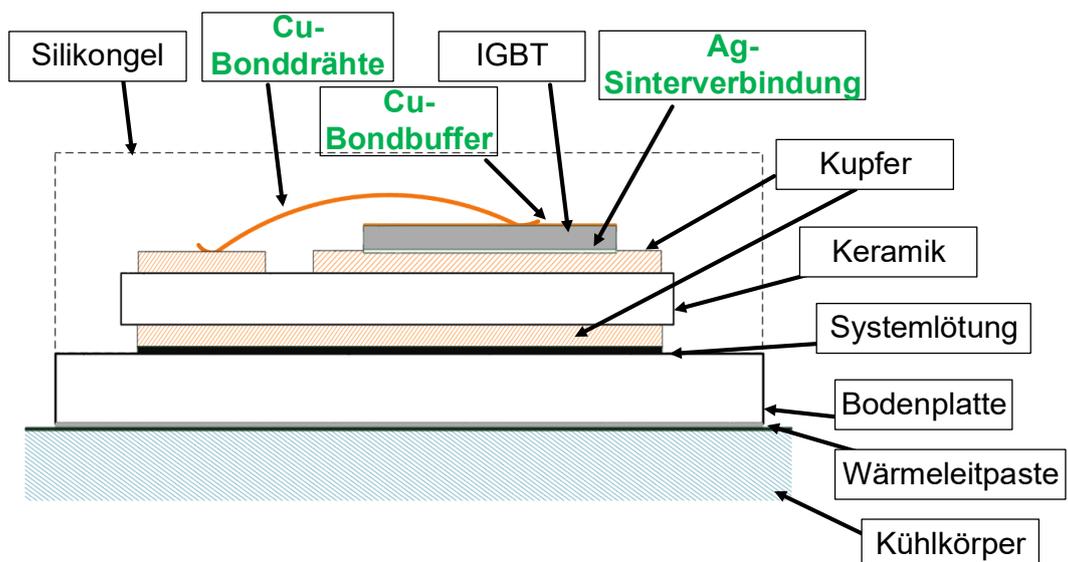
Abbildung 2.17: Beschleunigter Qualifizierungsprozess

Ansatz für hochbeschleunigte End-of-Life Lastwechseltests: Das dominierende Fehlerbild der Versuchsmuster (Abbildung 2.18) in Lastwechseltests mit gewöhnlicher Testbeschleunigung ist eine Rekonstruktion der oberseitigen Al-Metallisierung (zwischen IGBT und Bondbuffer), sodass dieses Fehlerbild auch bei hochbeschleunigten Lastwechseltests gezielt getriggert werden sollte. Auch wenn zahlreiche Parameter einen Einfluss auf die Lebensdauer von Leistungshalbleiterbauelementen unter thermisch-mechanischer Beanspruchung haben [106], stellt der Temperaturhub ΔT_{vj} mit Abstand den größten Einflussfaktor dar. Folglich stellt das Ausreizen des Temperaturhubs — auch oberhalb des spezifizierten thermischen Limits des jeweiligen Prüflings — den vielversprechendsten Ansatz zur Verkürzung der Testzeit dar. Gegenstand dieser Fallstudie ist die beschleunigte Qualifizierung hochzuverlässiger chipnaher AVT: Werden kurze Laststrompulse appliziert, wird als Arbeitshypothese ferner angenommen, dass die thermischen Zeitkonstanten des Schichtaufbaus (vgl. Abbildung 2.11b) die Belastung chipferner Strukturen deutlich dämpfen — wie beispielsweise der Systemlötlung, sodass hauptsächlich die chipnahen Strukturen durch die hohen Temperaturhübe belastet werden und folglich das gewünschte Fehlerbild — Rekonstruktion der chipoberseitigen Al-Metallisierung — gezielt getriggert wird.

Exemplarische Lastwechselergebnisse: Um die Arbeitshypothese zu validieren, ist zu zeigen, dass sich der dominierende Ausfallmechanismus durch die höhere Testbeschleunigung nicht verändert. Hierzu wurden Lastwechsel mit unterschiedlichen Temperaturhüben jeweils bis zum Ausfall (EoL) durchgeführt, wobei alle Prüflinge durch einen Anstieg des Vorwärtsspannungsabfalls bei Laststromfluss $U_{CE,sat}$ um 5% ausfielen; die Tests wurden anschließend fortgesetzt, bis auch $T_{vj,max}$ um 20% angestiegen war. Analytische Nachuntersuchungen, wie die nachfolgend gezeigten mikroskopischen Schlibfbilder, erfolgten im Anschluss am Institut für Mikrosystemtechnik (IMTEK) der Universität Freiburg und bei Industriepartnern.



(a) Foto des Versuchsmusters



(b) Schichtaufbau des Versuchsmusters auf einem Kühlkörper

Abbildung 2.18: Versuchsmuster: 650 V/200 A IGBT Leistungsmodul in einem Standardgehäuse mit Cu-Bodenplatte; die hochzuverlässige chipnahe AVT ist im Schichtaufbau hervorgehoben

Der Verlauf der Lastwechseldaten — insbesondere von $U_{\text{CE,sat}}$ als Indikator für Degradationen im elektrischen Pfad und des thermischen Widerstandes $R_{\text{thj,c}}$ als Indikator für Degradationen im thermischen Pfad — gibt einen Anhaltspunkt für auftretende Degradationsmechanismen und deren Entwicklung während der Testdurchführung. Der Vergleich der aufgenommenen Lastwechseldaten während eines typischen Lastwechseltests mit hoher Testbeschleunigung ($\Delta T_{\text{vj}} = 170 \text{ K}$) und eines mit gewöhnlicher Testbeschleunigung ($\Delta T_{\text{vj}} = 90 \text{ K}$) ist hierzu von besonderem Interesse und folglich normiert in **Abbildung 2.19** dargestellt. Dabei zeigt Abbildung 2.19a Ergebnisse der Versuchsmuster mit hochzuverlässiger chipnaher AVT (vgl. Abbildung 2.18) und Abbildung 2.19b Ergebnisse der Referenzmodule. Die Normierung ermöglicht hierbei die vergleichende Betrachtung trotz stark abweichender Zyklenzahl bis zum Ausfall N_f , woraus wie folgt auf die zugrundeliegenden Degradationsmechanismen geschlossen werden kann:

- **Versuchsmuster:** Beide Module fallen durch einen kontinuierlichen Anstieg von $U_{\text{CE,sat}}$ um 5% aus, was auf einen dominierenden Fehlermechanismus im elektrischen Pfad hindeutet; der kontinuierliche Anstieg impliziert ferner eine kontinuierlich zunehmende Rissbildung in der chipoberseitigen Al-Metallisierung, wie angestrebt. Auch die Verläufe des thermischen Widerstandes $R_{\text{thj,c}}$ zeigen trotz der unterschiedlichen Testbeschleunigung und Zyklen bis zum Ausfall ein sehr ähnliches Bild: $R_{\text{thj,c}}$ bleibt näherungsweise konstant bis das Ausfallkriterium $+5\%U_{\text{CE,sat}}$ gerissen wurde und steigt nach erkanntem Ausfall an, was auf einen zusätzlichen Degradationsmechanismus im thermischen Pfad hindeutet, der nicht lebensdauerbegrenzend und bei höheren ΔT_{vj} etwas stärker ausgeprägt ist.
- **Referenzmodule:** Bei Modulen mit Standard-AVT zeigt sich hingegen ein abweichendes Verhalten: Bei gewöhnlicher Testbeschleunigung treten überlappende Degradationen im thermischen und elektrischen Pfad auf, was sich anhand der Lastwechseldaten in einem Anstieg von sowohl $R_{\text{thj,c}}$ und $U_{\text{CE,sat}}$ als auch $T_{\text{vj,max}}$ zeigt. Die Fehlerschwelle von $+5\%U_{\text{CE,sat}}$ wird durch einen sprunghaften Anstieg gerissen, was auf einen Bondabgang hindeutet. Bei höheren Testbeschleunigung hingegen, scheinen die Degradationen komplett in den elektrischen Pfad verschoben zu sein, da $R_{\text{thj,c}}$ konstant bleibt und $U_{\text{CE,sat}}$ von Beginn an kontinuierlich ansteigt. Ähnliche Ergebnisse sind in [130] dokumentiert: Lastwechseltests mit sehr hohen Temperaturhuben von Standardmodulen führen zu einer Rekonstruktion der chipoberseitigen Al-Metallisierung, die typischerweise nicht unterhalb der Bondfüße auftritt, sodass dieser Degradationsmechanismus nicht unmittelbar zu Bondabgängen, aber zu einem kontinuierlichen Anstieg des elektrischen Widerstandes während des Lastwechseltests führt [130].

$R_{\text{thj,c}}$ wurde während der Testdurchführung in jedem Zyklus gemessen und entspricht

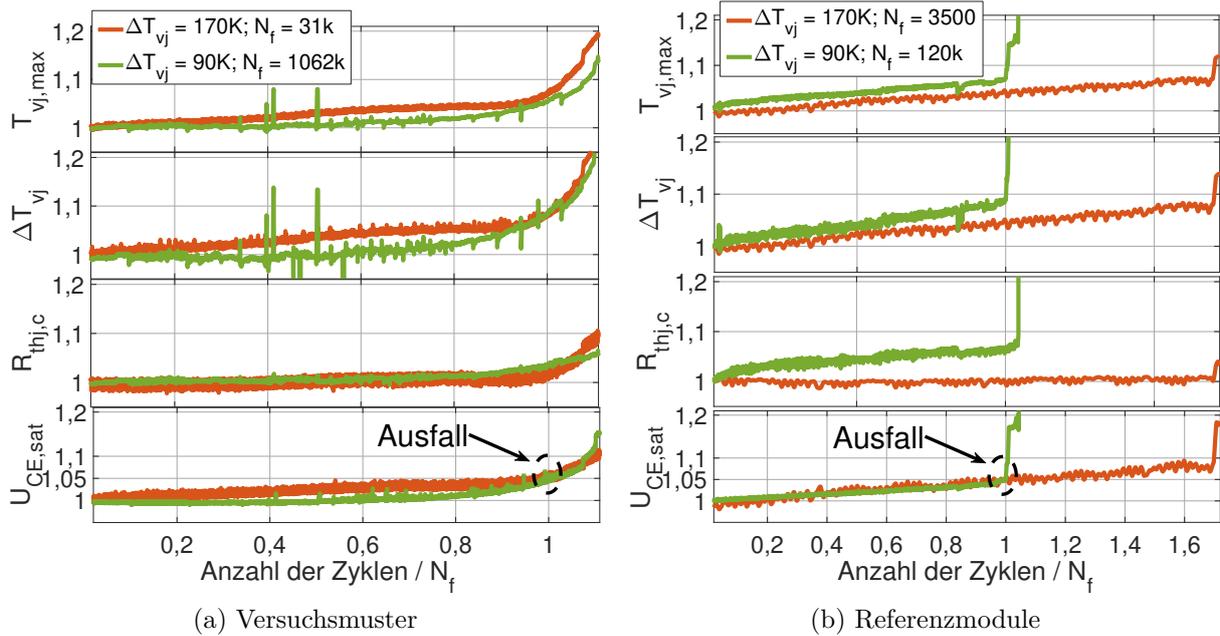


Abbildung 2.19: Vergleich der während der Lastwechseltests mit dem Versuchsmustern und Referenzmodulen unter hoher Testbeschleunigung bei $\Delta T_{vj} = 170$ K bzw. gewöhnlicher Testbeschleunigung bei $\Delta T_{vj} = 90$ K erfassten und normalisierten Messdaten; $T_{vj,m} = 120$ °C; $t_{on} = 0,5$ s; $t_{off} = 1,5$ s; $I_{Last} \approx 200$ A

aufgrund der kurzen Einschaltzeit daher einer transienten thermischen Impedanz bei ca. $t = 0,5$ s, weshalb Degradationen in chipfernen Schichten im thermischen Pfad nicht sicher ausgeschlossen werden können; vgl. Abbildung 2.15. Daher zeigt **Abbildung 2.20** die gemessene thermische Impedanz des Versuchsmusters, welches in Abbildung 2.19a mit $\Delta T_{vj} = 170$ K dargestellt ist, mit Bezug zur Kühlwassertemperatur vor und nach erfolgtem EoL Lastwechseltest (nach $+20\%T_{vj,max}$): Der Vergleich beider Z_{th} -Messungen impliziert eine chipnahe Degradation im thermischen Pfad, da beide Kurven bereits für kleine Zeiten auseinanderlaufen. Auch der stationäre $R_{thj,W}$ -Anstieg entspricht mit $+11\%$ näherungsweise dem gemessenen $R_{thj,c}$ -Anstieg von $+10\%$ (vgl. Abbildung 2.19a), was ebenfalls auf chipnahe Degradationen hindeutet und einen signifikanten Einfluss der Wärmeleitpaste sicher ausschließt. Für Arbeitspunkte mit geringerem ΔT_{vj} wurden — in Übereinstimmung mit $\Delta R_{thj,c}$ — vergleichbare, leicht geringere $R_{thj,W}$ -Anstiege (7%...10%) gemessen.

Fehleranalyse: Da die Messdatenverläufe der Versuchsmuster (vgl. Abbildung 2.19a) für unterschiedliche Testbeschleunigungen qualitativ identisch verlaufen, ist das selbe zugrundeliegende Fehlerbild zu erwarten, was der Vergleich mikroskopischer Schliffbilder von Versuchsmustern nach EoL mit gewöhnlicher und hoher Testbeschleunigung bestätigt; vgl. **Abbildungen 2.21a** und **2.21b**: Beide Schliffbilder zeigen eindeutig das gleiche Schadensbild einer delaminierten chipoberseitigen Al-Metallisierung und eine unbeschadete

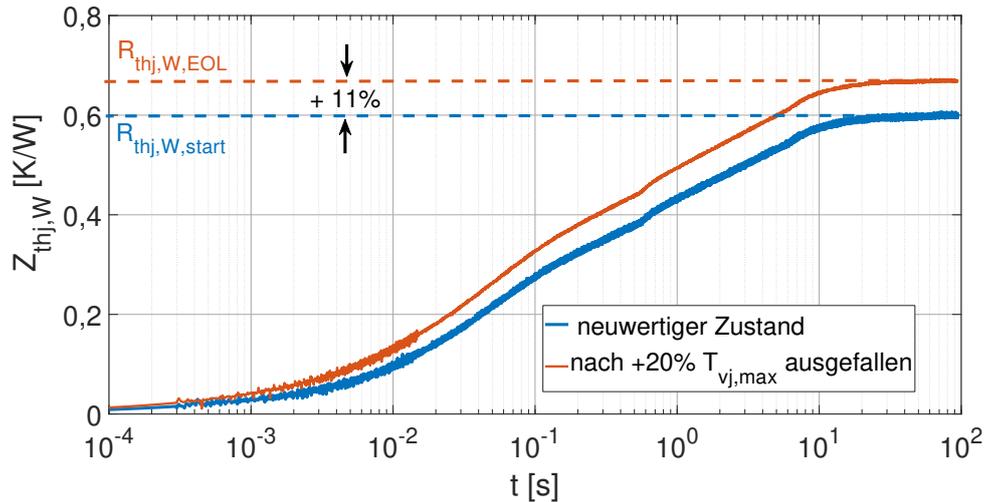
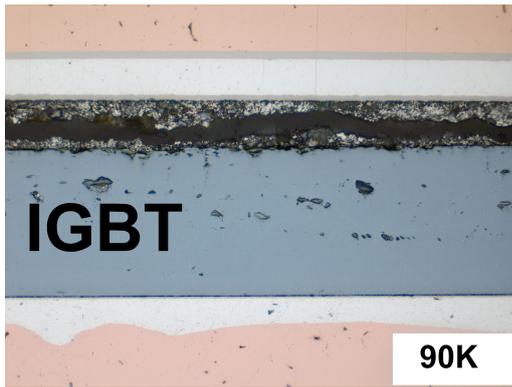


Abbildung 2.20: Vergleich der gemessenen thermischen Impedanz eines Versuchsmusters vor und nach Lastwechseltest bei $\Delta T_{vj} = 170 \text{ K}$

Ag-Sinterschicht chipunterseitig am Chiprand. Offensichtlich ist der verfolgte Ansatz — kurzer Lastzyklen mit hohem ΔT_{vj} — geeignet, für die hier beispielhaft betrachteten Versuchsmuster die Testzeit drastisch zu reduzieren, ohne den zugrundeliegenden dominierenden Degradationsmechanismus zu verändern. Der Vergleich des Schadensbildes am Chiprand und im Bereich der Chipmitte nach erfolgtem EoL Lastwechseltest mit hoher Testbeschleunigung, wie in Abbildungen 2.21c und 2.21d gegenübergestellt, zeigt ferner eine Zerrüttung der chipunterseitigen Ag-Sinterschicht im Bereich der Chipmitte, was den R_{th} -Anstieg nach Erreichen der $+5\%U_{CE,sat}$ -Schwelle erklärt (vgl. Abbildungen 2.19a und 2.20). Da dieser Degradationsmechanismus erst nach erkanntem Ausfall einsetzt (vgl. Abbildung 2.19a), ist dieser nicht lebensdauerbegrenzend, impliziert jedoch, dass das Ausreizen des Temperaturhubes zur Testbeschleunigung für die betrachteten Versuchsmuster (vgl. Abbildung 2.18) limitiert ist und bei noch höheren ΔT_{vj} die Sinterschicht zunehmend betroffen sein könnte.

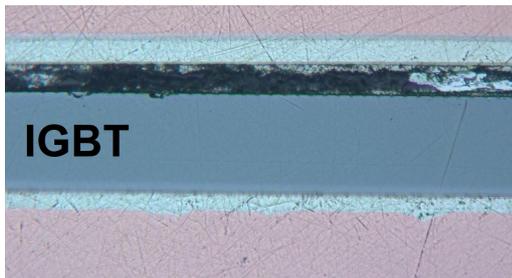
Lebensdauermodellierung: Als wesentlicher Belastungsparameter stellte sich — in Übereinstimmung mit publizierten Lebensdauermodellen — der Temperaturhub heraus, dessen Beziehung zur Lebensdauer gemäß (2.19) beschrieben und empirisch parametrisiert werden kann. Dieser vereinfachte Ansatz zur Lebensdauermodellierung stellte sich als hinreichend zur Lebensdauerbewertung der betrachteten Versuchsmuster innerhalb einer Produktentwicklung bzw. -Optimierung gemäß Abbildung 2.17 heraus, da der Einfluss weiterer Belastungsparameter wie $T_{vj,m}$ oder t_{on} bei Verwendung einer Ag-Sinterschicht zur Chipanbindung im Vergleich zu einer Lötung reduziert ist: So trifft beispielsweise die industrieübliche Daumenregel, dass ein mittlerer Temperaturanstieg um 10 K die Lebensdauer eines elektronischen Systems halbiert, näherungsweise auf IGBT-Module der 90er Jahre zu, wie vom LESIT-Modell [108] beschrieben, der Einfluss der mittleren Temperatur ist aber bei moderneren IGBT-Leistungsmodulen der 2000er und jünger, wie



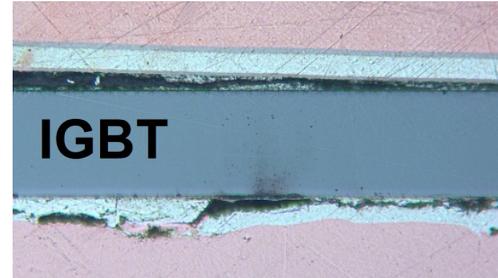
(a) Chiprand; $\Delta T_{vj} = 90 \text{ K}$; $N_f \approx 1.100.000$



(b) Chiprand; $\Delta T_{vj} = 180 \text{ K}$; $N_f \approx 30.000$



(c) Chipmitte; $\Delta T_{vj} = 170 \text{ K}$



(d) Chiprand; $\Delta T_{vj} = 170 \text{ K}$

Abbildung 2.21: Mikroskopische Schliffbilder der Versuchsmuster nach erfolgtem EoL Lastwechseltest ($+20\%T_{vj,max}$); $T_{vj,m} = 120 \text{ }^\circ\text{C}$

(a)-(b): Vergleich des Fehlerbildes am Chiprand nach Lastwechseltest mit gewöhnlicher und hoher Testbeschleunigung

(c)-(d): Vergleich des Fehlerbildes am Chiprand und im Bereich der Chipmitte bei hoher Testbeschleunigung

vom CIPS08-Modell [106] beschrieben, bereits reduziert und für Leistungsmodule mit Ag-gesinterten Chips nochmals deutlich geringer, wie beispielsweise vom SKiM63-Modell [86] beschrieben. Eine Erklärung zur geringen Temperaturabhängigkeit von Ag-gesinterten Verbindungsschichten liefert [131]: Die Steifigkeit von Ag-Sinterverbindungsschichten weist eine negative Temperaturabhängigkeit auf, sodass folglich der Anteil an plastischer Verformung mit steigender mittlerer Temperatur sinkt. Da dieses Verhalten stark von den gewählten Sinter- und Prozessparametern abhängt [131], stellt die Optimierung dieser Parameter ein mögliches Anwendungsbeispiel des vorgeschlagenen Verfahrens zur beschleunigten Produktoptimierung dar; vgl. Abbildung 2.17.

Einen Vergleich der ermittelten Coffin-Manson-Modelle einer Testreihe, bestehend aus 12 gelastwechselten Testmustern und 8 Referenzmodulen, zeigt **Abbildung 2.22**: Die Versuchsmuster zeigen eine ca. um den Faktor 10 höhere Lebensdauer als die Referenzmodule, was die hohe Zuverlässigkeit der verwendeten Aufbau- und Verbindungstechnik bestätigt und für die Entwicklung beschleunigter Qualifikationsverfahren, wie Gegenstand dieser Fallstudie, motiviert. Der hohe Coffin-Manson-Faktor spiegelt ferner die hohe

Testbeschleunigung des verfolgten Ansatzes wider, was sich physikalisch mit dem zugrundeliegenden Fehlermechanismus dieser Module — Rekonstruktion der chipoberseitigen Al-Metallisierung — erklären lässt: In Leistungsmodulen mit Standard-AVT (vgl. Abbildung 2.11b) dominieren bei kleinen Temperaturhüben Ausfälle infolge der Chiplötung [116], bei mittleren bis hohen Temperaturhüben, wie sie typischerweise bei Lastwechselfestsuchen eingestellt werden, Bondabgänge [116] und bei sehr hohen Temperaturhüben tritt zunehmend eine Rekonstruktion der chipoberseitigen Al-Metallisierung in den Vordergrund [130] — wie auch bereits im Zusammenhang mit Abbildung 2.19b erläutert. Durch Verwendung von beidseitig gesinterten Chips — wie im Fall der betrachteten Versuchsmuster; vgl. Abbildung 2.18b — bleibt als dominierender Fehlermechanismus nur die Rekonstruktion der chipoberseitigen Al-Metallisierung übrig, was folglich bei kleineren und mittleren ΔT_{vj} zu einer sehr hohen Lebensdauer führt. Da insbesondere kleine ΔT_{vj} in den meisten Anwendungen dominieren, resultiert für derartige Leistungsmodule zum einen eine deutliche Zuverlässigkeitssteigerung im Feld und zum anderen eine erhebliche Testzeitraffung durch den gewählten Ansatz, wie der Vergleich der ermittelten Coffin-Manson-Modelle in Abbildung 2.22 andeutet.

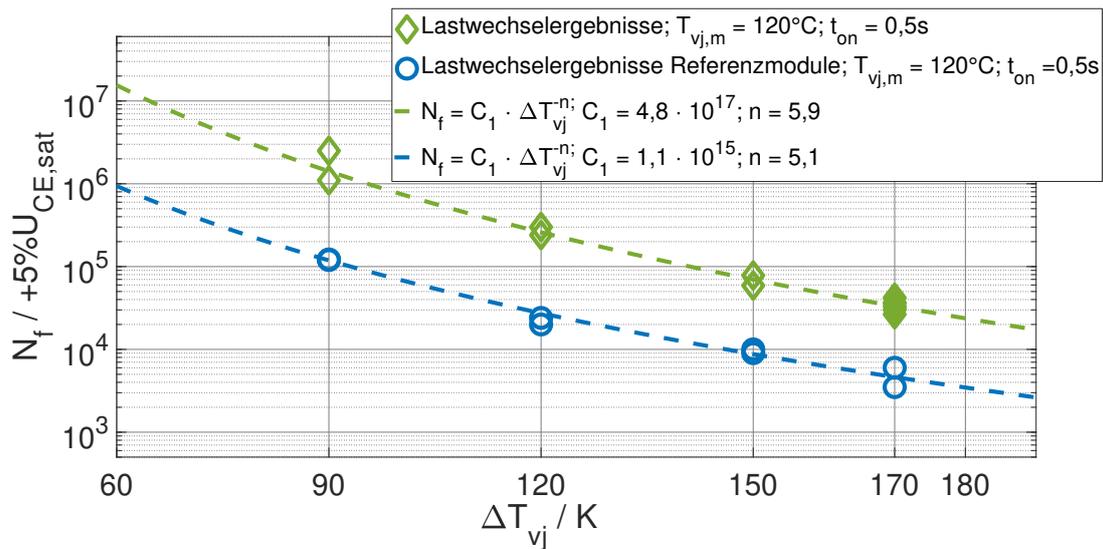


Abbildung 2.22: Abgeleitete Coffin-Manson-Modelle der Versuchsmuster im Vergleich zu den Referenzmodulen

Zusammenfassung: Ein Verfahren zur stark beschleunigten, experimentellen Prüfung der Lastwechselfestigkeit von Leistungsmodulen — basierend auf dem Ausreizen des Temperaturhubes, auch oberhalb der spezifizierten maximalen Sperrschichttemperatur, in Kombination mit kurzen Lastpulsen — wurde erfolgreich validiert: Im Ergebnis konnten Lebensdauererprobungen, die sonst mehrere Monate Testzeit beansprucht hätten, innerhalb eines Tages abgeschlossen werden, ohne den zugrundeliegenden Fehlermechanismus zu verändern. Ferner zeigte sich die vereinfachte Lebensdauermodellierung nach Coffin-Manson als hinreichend für einen Lebensdauervergleich während einer Produktentwicklung bzw.

-Optimierung, was die Anzahl an durchzuführenden Lebensdauertests weiter reduziert. Lastwechseltests von Leistungsmodulen mit Standard-AVT zeigen jedoch, dass die Anwendbarkeit dieses Ansatzes auf hochzuverlässige AVT begrenzt ist. Folglich muss die Anwendbarkeit auf Leistungsmodule mit abweichender AVT, als die in dieser Fallstudie betrachtete, experimentell überprüft werden. Den Gesamtprozess zur beschleunigten Qualifizierung hochzuverlässiger Leistungselektronik sowie zur beschleunigten Produktoptimierung/-entwicklung fasst **Abbildung 2.23** zusammen.

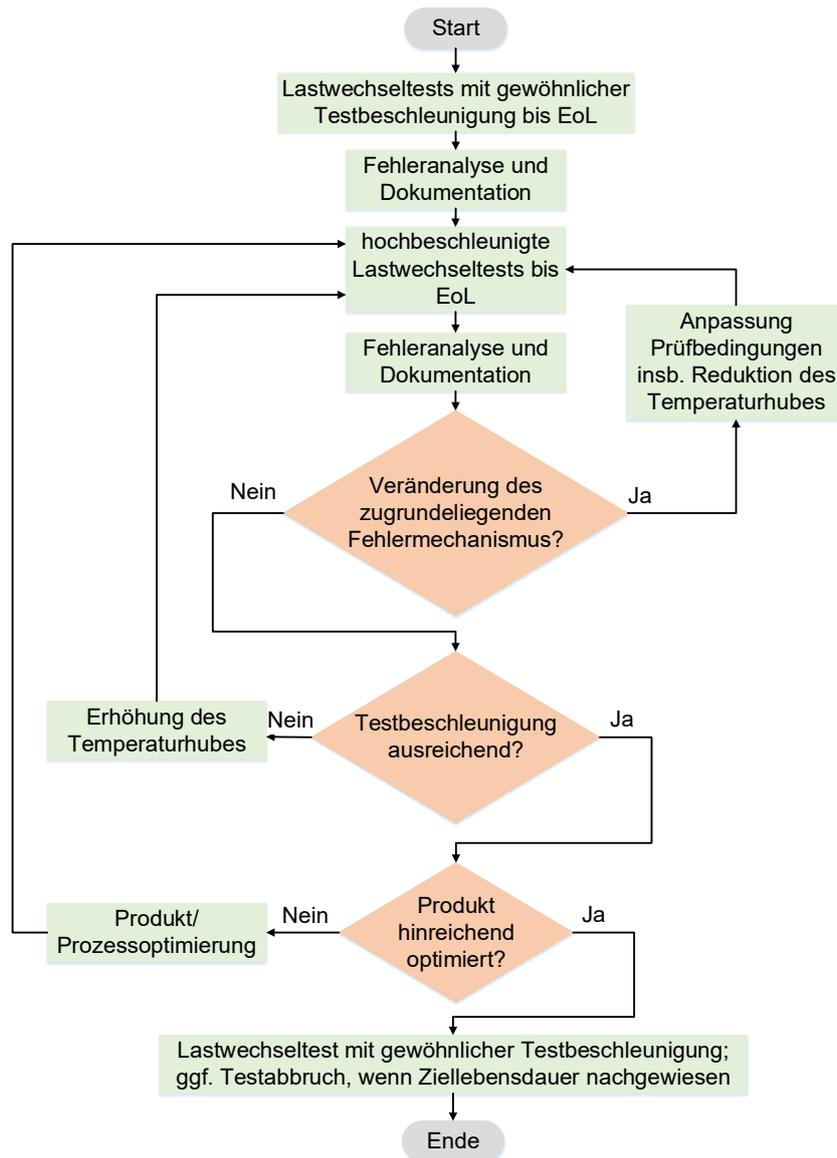


Abbildung 2.23: Flussdiagramm des Prozesses zur beschleunigten Produktoptimierung/-entwicklung

2.3.6 Methodische Besonderheiten bei SiC-MOSFETs

Die Gate-Source Schwellspannung U_{th} von SiC-MOSFETs ist kein konstanter Parameter (vgl. Abschnitt 2.1.6), was in der Durchführung von Lastwechseltests zu berücksichtigen ist: Die U_{th} -Instabilitäten beeinflussen zahlreiche elektrische Parameter, weshalb sich die Vorwärtsspannung U_{DS} bzw. der Leitwiderstand R_{DS} und U_{th} offensichtlich nicht als TSEP eignen. Da die MOSFET-Zelle eine intrinsische, bipolare Diode aufweist (vgl. Abschnitt 2.1.3), kann alternativ der Spannungsabfall über den pn-Übergang der Body-Diode, gemessen bei kleinem I_{Mess} , als TSEP genutzt werden — $U_{SD}(T)$ -Methode genannt [132]. Die so erfasste virtuelle Sperrschichttemperatur entspricht näherungsweise der flächenbezogenen Mittelwerttemperatur der aktiven Chipfläche im thermisch eingeschwungenen Zustand [105] und ist somit mit der für Si-IGBTs etablierten $U_{CE}(T)$ -Methode vergleichbar. Bei der Anwendung der $U_{SD}(T)$ -Methode ist zu gewährleisten, dass der Messstrom nur über die Body-Diode fließt und sich nicht zwischen dieser und einem teilweise geöffneten Inversionskanal aufteilt (vgl. Abschnitt 2.1.6), was das Messergebnis verfälschen würde. Hierzu ist für die Temperaturerfassung eine hinreichend negative Gate-Source Spannung $U_{GS,off}$ anzulegen, die den Kanal vollständig schließt [132]. Zusätzlich ist zu berücksichtigen, dass MOSFETs i.d.R. in der Applikation in Vorwärtsrichtung betrieben werden und deshalb auch der Laststrom während der Lastwechselprüfung — mit dem Ziel einer anwendungsnahen Qualifizierung — in Vorwärtsrichtung fließen sollte [132].

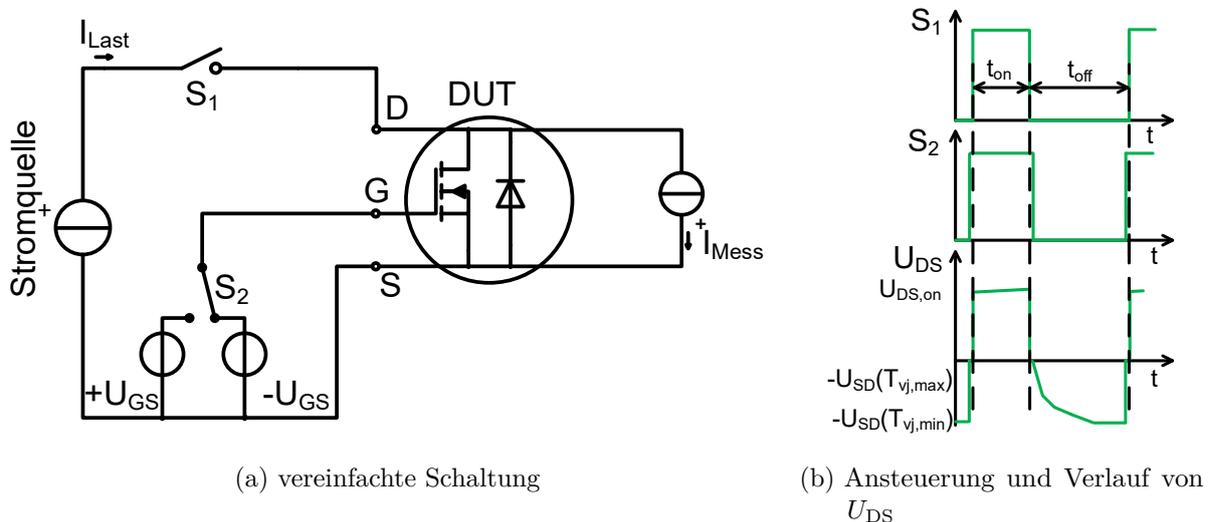


Abbildung 2.24: Vereinfachte Schaltung und Ansteuerung zum Lastwechseln von SiC-MOSFETs unter Anwendung der $U_{SD}(T)$ -Methode zur Ermittlung der Sperrschichttemperatur

Daher ist es nötig, den Prüfling während der Lastwechselprüfung zu schalten, was folglich den Aufwand für die Testdurchführung erhöht. **Abbildung 2.24** zeigt den prinzipiellen Aufbau eines Lastwechselversuchsstandes für SiC-MOSFETs: Eine Stromquelle speist I_{Last}

in Vorwärtsrichtung in den Prüfling und wird periodisch mit S_1 ein- und ausgeschaltet, wie bei einem Aufbau für Si-IGBTs (vgl. Abbildung 2.14). Die Prüfstromquelle ist ebenfalls parallel zum Prüfling angeordnet, speist I_{Mess} jedoch in Rückwärtsrichtung in den Prüfling, um den temperaturabhängigen Spannungsabfall über der inversen Body-Diode zu erfassen. Da I_{Mess} deutlich kleiner als I_{Last} ist, kann der Messstrom dauerhaft fließen. Zusätzlich ist ein Gate-Treiber nötig, der während t_{on} , sowie kurz bevor der Laststrom durch S_1 zugeschaltet wird bzw. kurz nachdem der Laststrom weggeschaltet wurde, eine positive $U_{\text{GS,on}}$ und in der sonstigen Zeit eine hinreichend negative $U_{\text{GS,off}}$ appliziert. Bei der Erfassung von $T_{\text{vj,max}}$ tritt somit, zusätzlich zu der Rekombinationszeit der Ladungsträger, eine prinzipbedingte Verzögerung auf, weshalb zur Kompensation auch die \sqrt{t} -Methode zum Einsatz kommt; vgl. Abbildung 2.13. Desweiteren ist zu beachten, dass die Wahl von $U_{\text{GS,on}}$ den Anteil des Kanalwiderstandes am Gesamtwiderstand beeinflusst, wodurch die Temperaturabhängigkeit von $R_{\text{DS,on}}$ stark beeinflusst wird [133] [134], was wiederum den Degradationsfortschritt während der Lastwechselprüfung beeinflusst. $U_{\text{GS,on}}$ während der Lastwechselprüfung sollte somit $U_{\text{GS,on}}$ in der Applikation entsprechen.

3 Charakterisierung von Schwellspannungsinstabilitäten unter lastwechseltypischen Gate-Bedingungen

Zur Charakterisierung von Schwellspannungsinstabilitäten dienen beispielhaft käufliche diskrete SiC-MOSFETs im TO247 Gehäuse (vgl. Abbildung 2.11a) unterschiedlicher Hersteller und Spannungsklasse; deren im folgenden verwendete Bezeichnung fasst **Tabelle 3.1** zusammen.

Tabelle 3.1: Untersuchte Prüflinge

Hersteller	Spannungsklasse	Technologie	Bezeichnung
A	1200 V	Trench	device A 1200 V
A	650 V	Trench	device A 650 V
B	1200 V	Planar	device B 1200 V
B	650 V	Planar	device B 650 V
C	1200 V	Planar	device C 1200 V
C	650 V	Planar	device C 650 V

3.1 Schwellspannungsmessung

Die Instabilitäten der Schwellspannung von SiC-MOSFETs während der Lastwechselprüfung stellen eine Herausforderung hinsichtlich einer zuverlässigen Temperaturerfassung [132], einer klaren Fehlerindikation [135] und reproduzierbaren Lebensdauerprüfung der AVT dar [136] [137] [138]. Insbesondere stellt eine stetige U_{th} -Verschiebung während der Testdurchführung einen Unsicherheitsfaktor dar, da eine Abgrenzung auftretender Degradationen der AVT — die prinzipbedingt bei der Lastwechselprüfung grundsätzlich gewollt sind — von einer halbleiterbedingten Verschiebung des Arbeitspunktes — die bei Lebensdauertests der AVT grundsätzlich unerwünscht ist — kaum möglich ist. Entsprechend ist auch der Einfluss dieser parasitären Einflüsse auf Degradation und Ausfall von SiC-MOSFETs unbekannt.

3.1.1 ΔU_{th} -Ermittlung mittels Kennlinienschreiber

Zur Untersuchung dieser Einflüsse werden regelmäßig Kennlinienschreibermessungen vor und nach Lastwechselprüfung durchgeführt. Die attestierten Schlussfolgerungen reichen von einer völligen Vernachlässigbarkeit, über einen signifikanten Einfluss auf die Lebensdauer [137] bis zur Schlussfolgerung, dass die Lastwechselmethodik für SiC-MOSFETs, zumindest bei hohen Temperaturen, ganz überdacht werden müsse [136]. **Abbildung 3.1** zeigt häufig angewandte U_{th} -Messmethoden mittels Kennlinienschreiber, die auf der U_{th} -Extraktion aus der gemessenen Transferkennlinie ($U_{DS} = \text{konstant}$) beruhen [52].

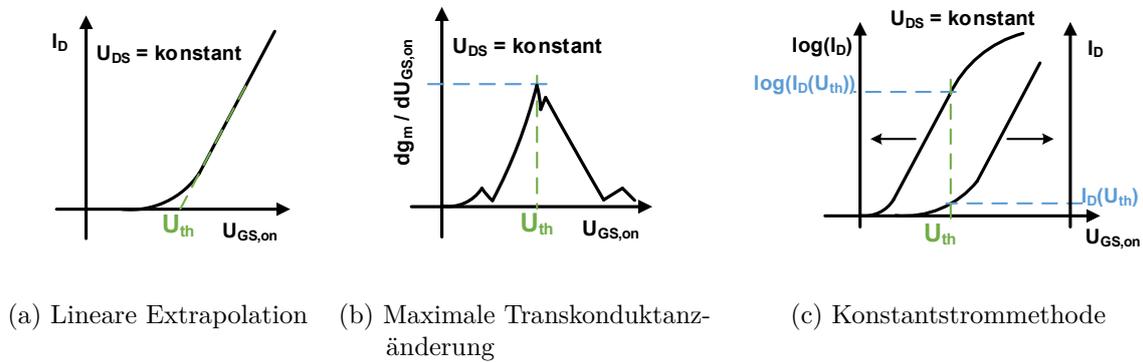


Abbildung 3.1: Qualitative Darstellung häufig angewandter U_{th} -Extraktionsmethoden aus der mittels Kennlinienschreiber ermittelten Transferkennlinie [52]

- Bei der linearen Extrapolation wird ausgehend von der aufgenommenen und linear dargestellten Transferkennlinie am Punkt des maximalen Anstieges eine Tangente angelegt, dessen Schnittstelle mit der $U_{GS,on}$ -Achse U_{th} ergibt. Praktisch Herausfordernd kann das richtige Anlegen der Tangente und der Einfluss von parasitären Widerständen bei gepulster Messung mit höheren Strömen sein, woraus eine Messunsicherheit resultiert [52].
- Die U_{th} -Extraktion mittels Methode der maximalen Transkonduktanzänderung wurde entwickelt, um den Einfluss parasitärer Effekte auf das Messergebnis zu reduzieren [52] und wurde erstmal in [139] beschrieben. Die Transkonduktanz g_m entspricht der Steilheit der aufgenommenen Transferkennlinie und somit der ersten Ableitung des Drain-Stromes nach der Gate-Spannung:

$$g_m = \frac{dI_D}{dU_{GS,on}} \quad (3.1)$$

Die Transkonduktanzänderung entspricht der Krümmung der Transferkennlinie und somit der zweiten Ableitung des Drain-Stromes nach der Gate-Spannung:

$$\frac{dg_m}{dU_{GS,on}} = \frac{d^2I_D}{d^2U_{GS,on}} \quad (3.2)$$

Idealisiert betrachtet, ist die Transkonduktanzänderung für $U_{GS,on} \neq U_{th} = 0$ und bei $U_{GS,on} = U_{th}$ unendlich groß. Auch wenn real Anstieg und Amplitude begrenzt sind, kann U_{th} am Punkt der maximalen Transkonduktanzänderung abgelesen werden. Nachteilig ist die hohe Rauschempfindlichkeit dieser Methode [52], was in Abbildung 3.1 angedeutet ist und praktisch die Implementierung von digitalen Filter- und Signalaufbereitungsfunktionen erfordert [52].

- Bei der U_{th} -Extraktion mittels Konstantstrommethode ist die extrahierte Schwellspannung abhängig vom gewählten Messstrom, weshalb dieser zunächst zu definieren ist. Ausgehend von der linear oder semilogarithmischen Darstellung der ermittelten Transferkennlinie, ergibt die abgelesene $U_{GS,on}$ am Punkt des definierten Messstromes U_{th} . Dem Nachteil der Messstromabhängigkeit, steht die Einfachheit dieser Messmethode gegenüber [52]. Zudem kann bei hinreichend kleinem Messstrom der Einfluss von parasitären Widerständen vernachlässigt werden.

Die Anwendbarkeit der U_{th} -Extraktion aus der Transferkennlinie zur Ermittlung einer Langzeit-Schwellspannungsverschiebung ΔU_{th} wird nachfolgend untersucht: Unter Nutzung des B1505A Power Device Analyzer von Keysight erfolgten beispielhaft U_{GS} -Sweepmessungen von zwei SiC-MOSFETs sowie von einem Si-MOSFET als Referenz. Zur Ermittlung der Schwellspannung wurden Transferkennlinien bei einer konstanten Drain-Source Spannung $U_{DS} = 10\text{ V}$ aufgenommen; die Schwellspannung wurde beispielhaft mittels Konstantstrommethode bei $I_D = 5\text{ mA}$ definiert; das verwendete Messprinzip fasst **Abbildung 3.2** zusammen: Bei $U_{DS} = \text{konstant}$ wird U_{GS} schrittweise vom Anfangswert $U_{GS} = U_{start}$ jeweils um U_{step} verändert bis $U_{GS} = U_{end}$ erreicht ist. Anschließend erfolgt automatisiert eine Rückmessung, bei der U_{GS} ausgehend von $U_{GS} = U_{end}$ schrittweise jeweils um U_{step} verändert wird bis $U_{GS} = U_{start}$ wieder erreicht ist. In jeder Spannungsstufe erfolgt nach einer konstanten Messverzögerungszeit t_V eine Messung des sich im Arbeitspunkt einstellenden Drain-Stromes I_D , dessen Abhängigkeit von U_{GS} ergibt die Transferkennlinie, aus der U_{th} für den beispielhaft definierten Arbeitspunkt $I_D = 5\text{ mA}$ und $U_{DS} = 10\text{ V}$ abgelesen werden kann. Im Fall von SiC-MOSFETs, ergeben sich, infolge der Schwellspannungshysterese, unterschiedliche Werte in Abhängigkeit der Sweep-Richtung, wie in Abbildung 3.2 illustriert, wobei der dargestellte maximale Drain-Strom $I_{D,max}$ durch die Messtechnik limitiert ist. Dieser wurde zur Vermeidung von thermischen Einflüssen auf 10 mA begrenzt. Alle Messungen erfolgten bei Raumtemperatur mit einer I_D -Auflösung von 10 fA ; die Auflösung von U_{GS} ist durch U_{step} vorgegeben und wurde standardmäßig auf 10 mV gesetzt.

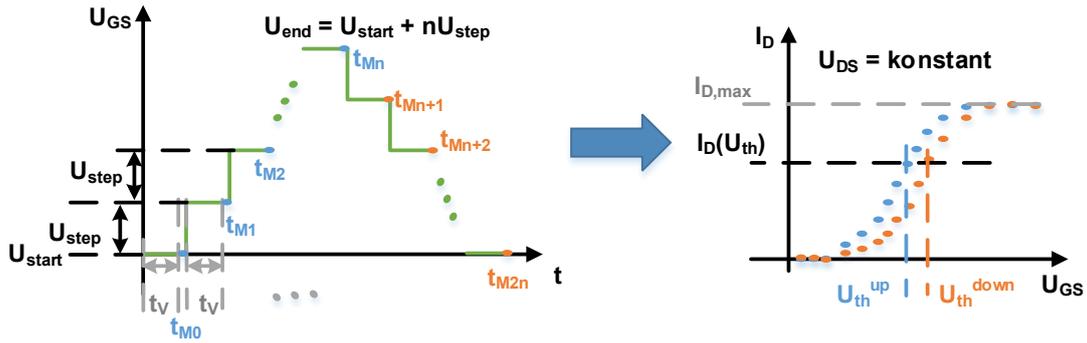


Abbildung 3.2: Konzept der Schwellspannungsmessung mittels Kennlinienschreiber und U_{GS} -Sweep bei $U_{DS} = \text{konstant}$

Abbildung 3.3 zeigt mittels Kennlinienschreiber exemplarisch gemessene Schwellspannungshysteresen zweier SiC-MOSFETs und eines Si-MOSFETs als Referenz. Trotz Messung mit näherungsweise kontinuierlich und langsam ansteigender bzw. abfallender Gate-Spannung ($1 \frac{V}{s}$), zeigen im Fall eines bipolaren Sweeps beide SiC-MOSFETs einen deutlichen Unterschied des sich einstellenden Drainstromes in Abhängigkeit der Sweep-Richtung. Diese wird insbesondere bei semilogarithmischer Darstellung bei kleinen Drainströmen sichtbar (häufig als subthreshold hysteresis bezeichnet) und ist bei device A stärker ausgeprägt als bei device C, obwohl der Unterschied zwischen U_{th}^{up} und U_{th}^{down} im definierten Arbeitspunkt bei device C größer ist. Auch ein unipolarer Sweep führt bei SiC-MOSFETs zu einer Schwellspannungshysterese, wie **Abbildung 3.3** zeigt. Diese ist aber deutlich kleiner ausgeprägt. Hingegen führen die unterschiedlichen Gate-Spannungen, die vor der U_{th} -Messung bei dem vermessenen Si-MOSFET anlag, zu keiner Abweichung im Ergebnis — eine Schwellspannungshysterese ist nicht zu erkennen.

Den Einfluss der Verzögerungszeit und der Sweep-Richtung auf U_{th}^{up} und U_{th}^{down} im definierten Arbeitspunkt zeigt **Abbildung 3.4**. Eine kürzere Verzögerungszeit und somit ein schnellerer Spannungsanstieg bzw. -abfall führen bei den SiC-MOSFETs und bipolarem Sweep zu einer geringeren ermittelten Schwellspannung. Dies gilt sowohl für U_{th}^{up} als auch für U_{th}^{down} , wobei U_{th}^{down} weniger schwankungsanfällig zu sein scheint. Bei einem unipolarem Sweep zeigt sich im Fall von device A das gleiche Verhalten, wobei im Fall von device C eine kürzere Verzögerungszeit zu einer höheren ermittelten U_{th}^{down} führt und U_{th}^{up} schwankungsärmer zu sein scheint. Die Referenzmessungen am Si-MOSFET lassen hingegen keine Abhängigkeit der Schwellspannung von der Verzögerungszeit und Sweep-Richtung erkennen.

Den Einfluss der Variation der Spannungsschrittweite U_{step} zwischen den Messungen auf U_{th}^{up} und U_{th}^{down} im definierten Arbeitspunkt zeigt **Abbildung 3.5**. Eine größere

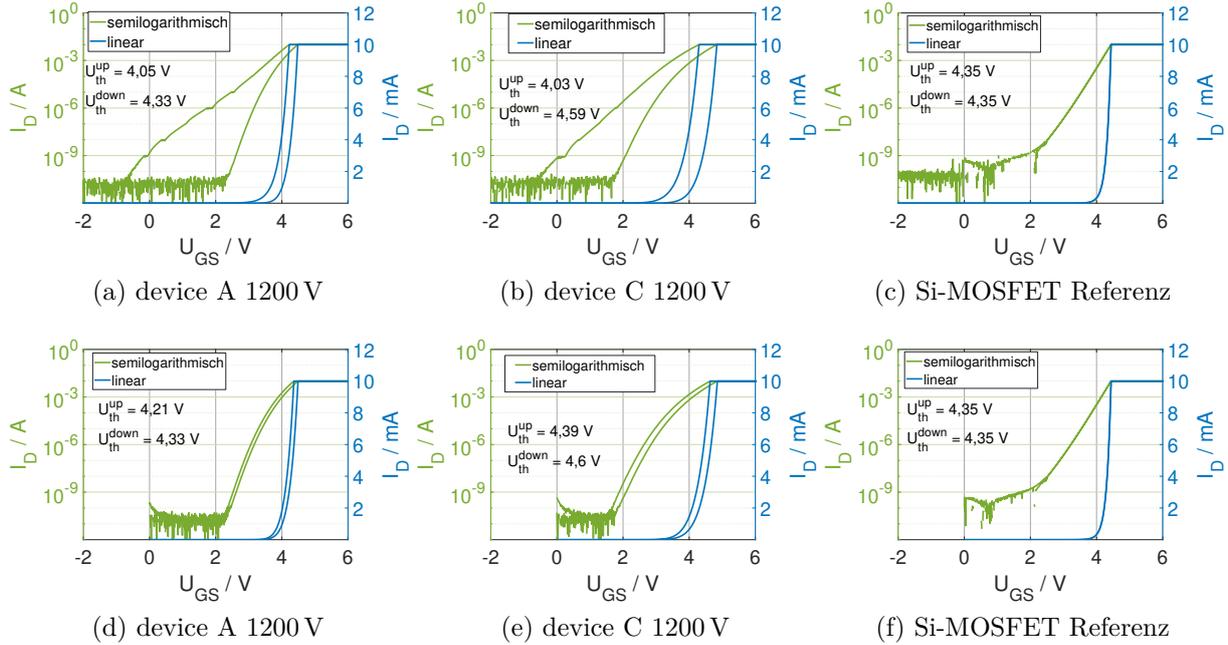


Abbildung 3.3: Beispielhaft gemessene Schwellspannungshysterese bei bipolaren und unipolaren Sweep und abgelesene Schwellspannungen bei $I_D = 5 \text{ mA}$; $U_{DS} = 10 \text{ V}$; $t_V = 10 \text{ ms}$; $U_{step} = 10 \text{ mV}$
 (a)-(c): bipolarer Sweep: -10 V bis 20 V bis -10 V
 (d)-(f): unipolarer Sweep: 0 V bis 20 V bis 0 V

Spannungsschrittweite führt bei einem bipolarem Sweep zu einer kleineren ermittelten Schwellspannung, wobei der Einfluss auf U_{th}^{down} geringer ausfällt. Im Fall von device C und unipolarem Sweep, zeigt sich hingegen eine größere Schwankungsbreite bei U_{th}^{down} als bei U_{th}^{up} , was zu den in Abbildung 3.4 gezeigten Ergebnissen passt — eine Erhöhung von U_{step} bei konstanter t_V führt auch zu einem schnelleren Spannungsanstieg bzw. Abfall. Im Fall von device A und unipolarem Sweep scheint sowohl U_{th}^{up} als auch U_{th}^{down} kaum von einer Variation von U_{step} abhängig zu sein. Eine Abhängigkeit der ermittelten Schwellspannung des Si-MOSFETs von U_{step} besteht nicht.

Einen weiteren wesentlichen Einfluss auf die ermittelte Schwellspannung stellt die Historie der Gate-Spannung dar, die vor der Messung appliziert wurde, wie **Abbildung 3.6** zeigt, wobei sich insbesondere ein Polaritätswechsel der Gate-Spannung auf die ermittelte Schwellspannung der darauf folgenden Messungen auswirkt, und sich mit der in Abbildung 2.9 illustrierten Modellvorstellung für eine Schwellspannungsverschiebung infolge einer lang anliegenden Gatespannung beschreiben lässt (trotz nur kurzzeitig anliegender negativer Gate-Spannung):

- Die gezeigten Messungen wurden hintereinander in der dargestellten Reihenfolge für jeden Prüfling durchgeführt, also zunächst (a), (d), (g) für device A und anschließend entsprechend für die weiteren Prüflinge.

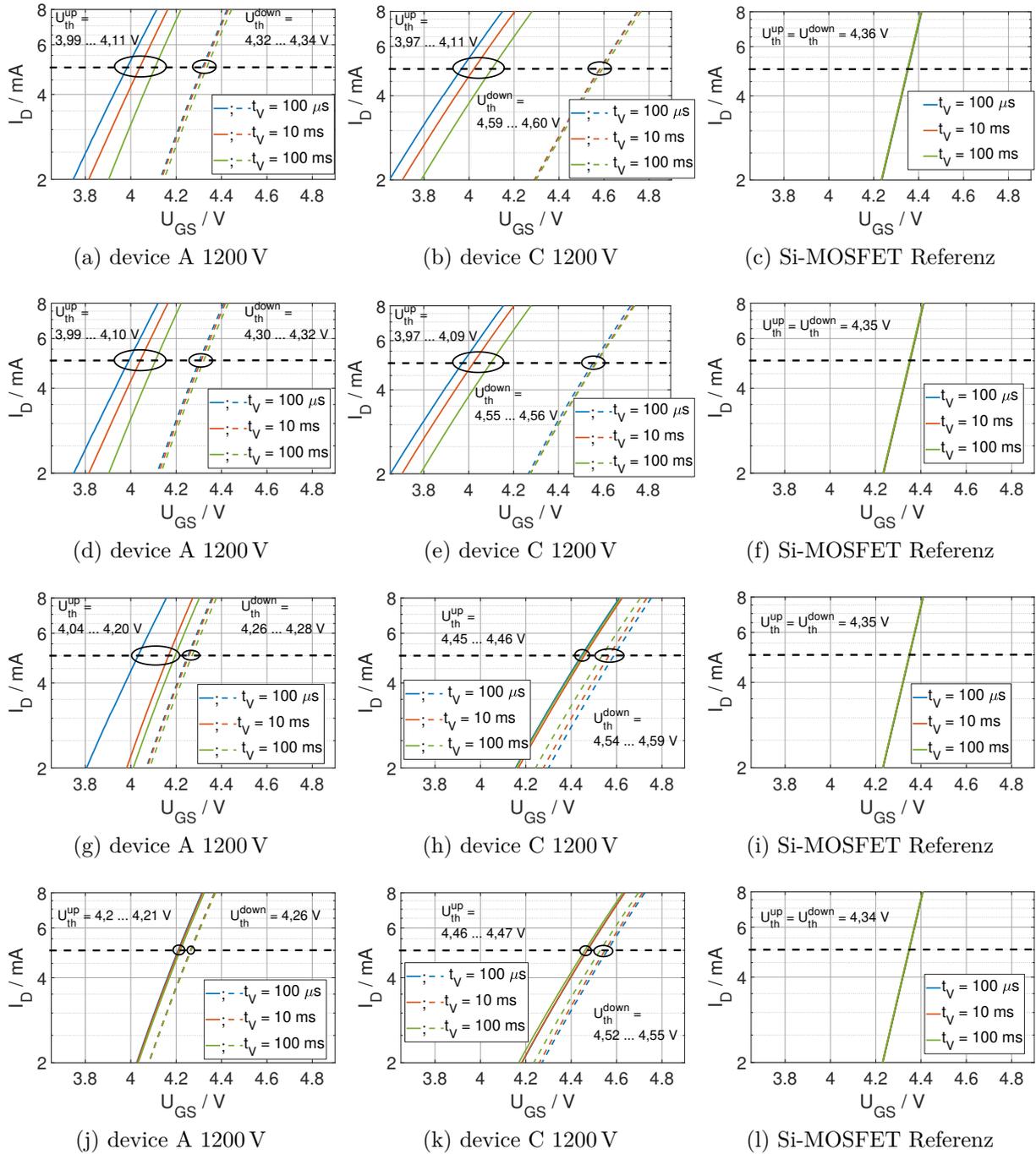


Abbildung 3.4: Einfluss der Messverzögerungszeit und der Sweep-Richtung bei bipolarem und unipolarem Sweep; $U_{DS} = 10\text{ V}$; $U_{step} = 10\text{ mV}$
 (a)-(c): bipolarer Sweep: -10 V bis 20 V bis -10 V
 (d)-(f): bipolarer Sweep: 20 V bis -10 V bis 20 V
 (g)-(i): unipolarer Sweep: 0 V bis 10 V bis 0 V
 (j)-(l): unipolarer Sweep: 10 V bis 0 V bis 10 V

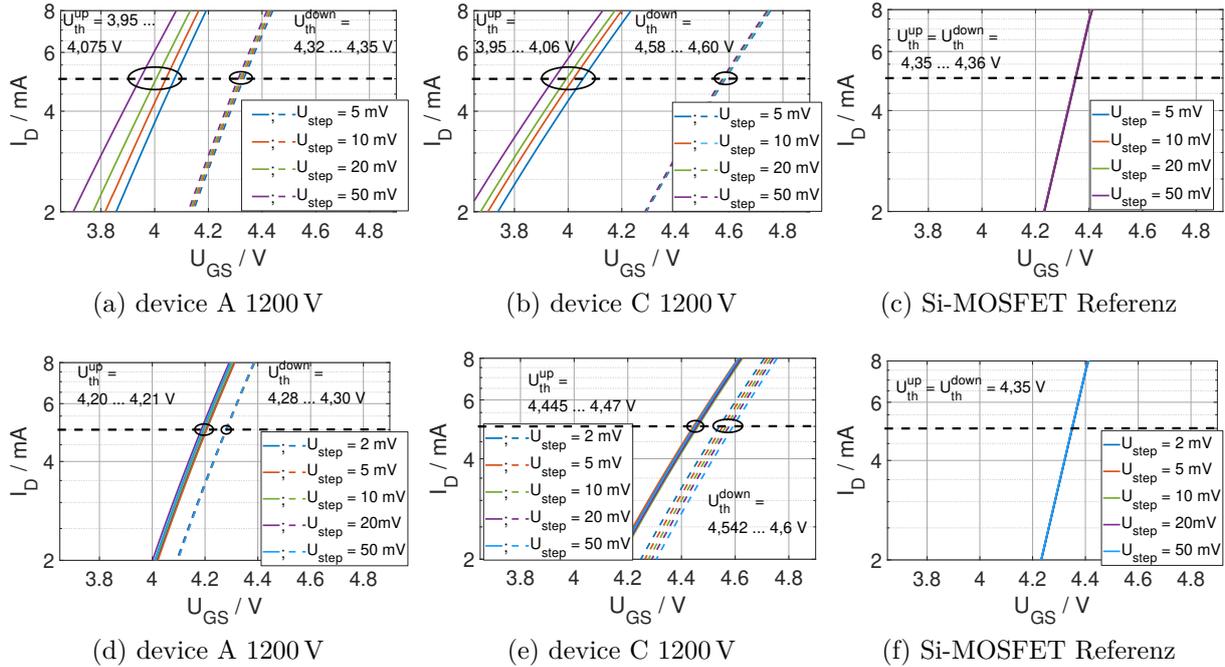


Abbildung 3.5: Einfluss von U_{step} bei bipolaren und unipolaren Sweep; $U_{\text{DS}} = 10 \text{ V}$; $t_{\text{V}} = 10 \text{ ms}$
 (a)-(c): bipolarer Sweep: -10 V bis 20 V bis -10 V
 (d)-(f): unipolarer Sweep: 0 V bis 10 V bis 0 V

- Vor den in 3.6a bis 3.6c dargestellten Messungen wurde jeweils eine bipolare Sweep-Messung von -10 V bis 20 V bis -10 V durchgeführt, welche zu einer Akkumulation von positiv geladenen Löchern in und an der SiC/SiO₂-Grenzschicht führt und vorher negativ geladene Störstellen neutralisiert. Zusätzlich tunneln vorher eingefangene negativ geladene Elektronen in den SiC-Kristall zurück, wodurch die Vorladung des Oxids gegenüber dem Source Potential steigt, was folglich wie eine positive Gate-Spannung wirkt; U_{th} sinkt. Dies ist insbesondere in der ersten Messung nach dem bipolaren Sweep ersichtlich.
- Während der nachfolgenden unipolaren Sweep-Messungen bewirkt das anliegende positive Gate Potential ein zunehmendes Zurücktunneln der vorher eingefangenen Löcher in den SiC-Kristall und zusätzlich das Fangen freier Elektronen aus den SiC-Kristall in positiv geladene Störstellen des Oxids bzw. der SiC/SiO₂-Grenzschicht — die positive Vorladung des Oxids gegenüber der Source Elektrode sinkt und folglich steigt U_{th} zunehmend, wodurch die letzten drei Sweep-Messungen trotz exakt gleicher Messbedingungen zu anderen Ergebnissen führen als die ersten drei; vgl. Abbildung 3.6 (a) mit (g) bzw. (b) mit (h).
- Bei erneuter Durchführung dieser Messsequenz (hier nicht gezeigt), ist im Fall der SiC-MOSFETs nach erfolgtem bipolarem Sweep U_{th} erneut zurückgesetzt und

steigt mit nachfolgend durchgeführten unipolaren Sweep-Messung wieder an. Die U_{th} -Verschiebung ist reversibel.

- Im Fall des Si-MOSFETs, besteht hingegen keine Abhängigkeit von den vorab durchgeführten Messungen.

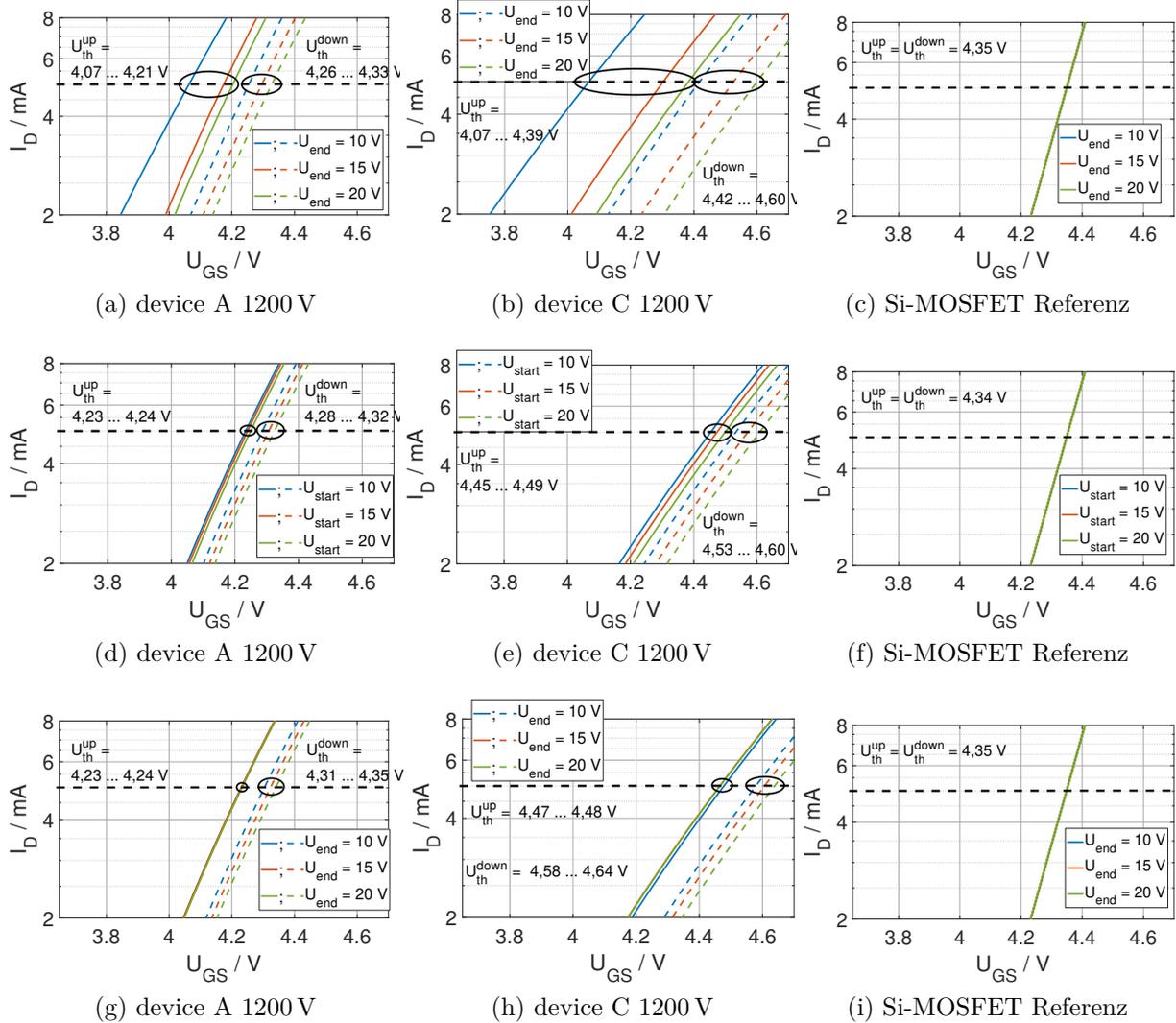


Abbildung 3.6: Einfluss von vorher durchgeführten Messungen bei unipolaren Sweep; $U_{DS} = 10 \text{ V}$; $t_V = 10 \text{ ms}$; $U_{step} = 10 \text{ mV}$
 (a)-(c): unipolare Sweep-Messungen direkt nach einem bipolarem Sweep; $U_{start} = 0 \text{ V}$
 (d)-(f): unipolare Sweep-Messungen direkt nach den Messungen (a)-(c); $U_{end} = 0 \text{ V}$
 (g)-(i): gleiche unipolare Sweep-Messungen wie (a)-(c) direkt nach den Messungen (d)-(f); $U_{start} = 0 \text{ V}$

Eine Zusammenfassung der Variationen der ermittelten Schwellspannung für die beispielhaft durchgeführten Messungen mittels Kennlinienschreiber zeigt **Tabelle 3.2**. Bei der Interpretation von Studien, die sich auf die U_{th} -Ermittlung von SiC-MOSFETs mittels

Kennlinienschreiber stützen, sind diese Diskrepanzen — im Vergleich zur U_{th} -Messung bei Si-MOSFETs — zu berücksichtigen.

Tabelle 3.2: Schwankungsbreite der gemessenen Schwellspannungen während der beispielhaft durchgeführten Kennlinienschreibermessungen

DUT	$U_{\text{th}}^{\text{up}}$	$U_{\text{th}}^{\text{down}}$
device A	3,95 V bis 4,24 V	4,26 V bis 4,35 V
device C	3,95 V bis 4,49 V	4,42 V bis 4,64 V
Si-MOSFET Referenz	$4,35 \text{ V} \pm 10 \text{ mV}$	$4,35 \text{ V} \pm 10 \text{ mV}$

Notwendige Bedingung zur Ermittlung von ΔU_{th} ist, dass die Vermessung des selben Prüflings unter den gleichen Messbedingungen zu reproduzierbaren Ergebnissen führt. Alle hier gezeigten Messergebnisse wurden für jeden Prüfling am Stück bei Raumtemperatur ohne Veränderung des Versuchsaufbaus durchgeführt. Dennoch zeigt sich, dass im Falle von SiC-MOSFETs eine ΔU_{th} -Ermittlung aus einer Kennlinienschreibermessung vor und nach der Lastwechselprüfung zumindest schwierig ist und die exakte Definition der angewandten und auch insbesondere der vorher anliegenden Gate-Profile erfordert. Letzteres ist insbesondere schwierig, da der Prüfling während der Lastwechselprüfung bei Anwendung der $U_{\text{SD}}(T)$ -Methode bipolar geschaltet wird und auch nicht direkt nach Ausfall im Kennlinienschreiber vermessen werden kann. Zur Reduktion dieses Messfehlers wird in [79] ein U_{th} -Messkonzept vorgestellt, das mittels vor U_{th} -Messung applizierter U_{GS} -Pulse den Einfluss dynamischer Schwellspannungsinstabilitäten und der Messverzögerung reduziert. Eine kontinuierliche ΔU_{th} -Erfassung in jedem Zyklus während der Lastwechselprüfung erscheint dennoch sinnvoll, da nur ein kontinuierlicher Messverlauf eine direkte Korrelation zwischen den erfassten Messgrößen, die zur Identifikation von Degradationen und Ausfällen der AVT dienen, und der Schwellspannungsänderung aufdecken kann. Ferner kann der Prüfling während der Lastwechselprüfung ggf. zerstört werden, sodass eine Nachmessung nicht immer möglich ist. Ohne die Information der Schwellspannungsänderung während der Lastwechselprüfung, kann jedoch ein signifikanter Einfluss des Halbleiters auf die ermittelte Lebensdauer der AVT nicht sicher ausgeschlossen werden. Eine kontinuierliche Erfassung während der Lastwechselprüfung ist somit wünschenswert. Zusätzlich kann ΔU_{th} als technologiespezifischer Parameter von SiC-MOSFETs interpretiert werden, wodurch deren kontinuierliche Erfassung während der Lastwechselprüfung — bei Qualifizierung gemäß AQG324 [102]— sogar gefordert wäre.

3.1.2 Konzept zur kontinuierlichen ΔU_{th} -Erfassung während der Lastwechselprüfung

Einen Lösungsansatz, der sich einfach in bestehende Prüfstandslösungen integrieren lässt und zudem das industrieübliche Konstantstrom-Messverfahren ($U_{DS} = U_{GS}$ — abweichend zur U_{th} -Extraktion aus der gemessenen Transferkennlinie bei $U_{DS} = \text{konstant}$; vgl. Abbildung 3.2) verwendet [52], wurde konsequenterweise entwickelt und ist vereinfacht in **Abbildung 3.7** dargestellt: Hierbei wird der Prüfaufbau zur Verwendung der $U_{SD}(T)$ -Methode (vgl. Abbildung 2.24) mit drei bidirektionalen Kleinstleistungsschaltern S_3 , S_4 und S_5 , die beispielsweise als analoge Schalter realisiert werden können, erweitert. Zur U_{th} -Erfassung trennt S_3 während t_{off} (S_1 geöffnet) den Gate-Treiber S_2 vom Gate-Anschluss des Prüflings und schließt Drain und Gate kurz. Gleichzeitig ändern S_4 und S_5 die Stromflussrichtung des Messstromes I_{Mess} , sodass die Messstromquelle ihre Ausgangsspannung — die in dieser Konstellation der am Prüfling anliegenden Gate-Source Spannung entspricht — erhöht, bis I_{Mess} in Vorwärtsrichtung von Drain nach Source durch den Prüfling fließt. Die hierzu nötige Spannung entspricht definitionsgemäß der Schwellspannung für den eingestellten Messstrom und kann zwischen Gate und Source bzw. auch — da Gate und Drain über S_3 verbunden sind — zwischen Drain und Source abgegriffen werden. Da $U_{DS,on}$ zur Erfassung von Degradationen im elektrischen Pfad bzw. $U_{SD}(T)$ zur Temperaturerfassung ohnehin gemessen werden, wird zur ΔU_{th} -Erfassung weder ein zusätzlicher Spannungsmesskanal noch eine weitere Messstromquelle benötigt.

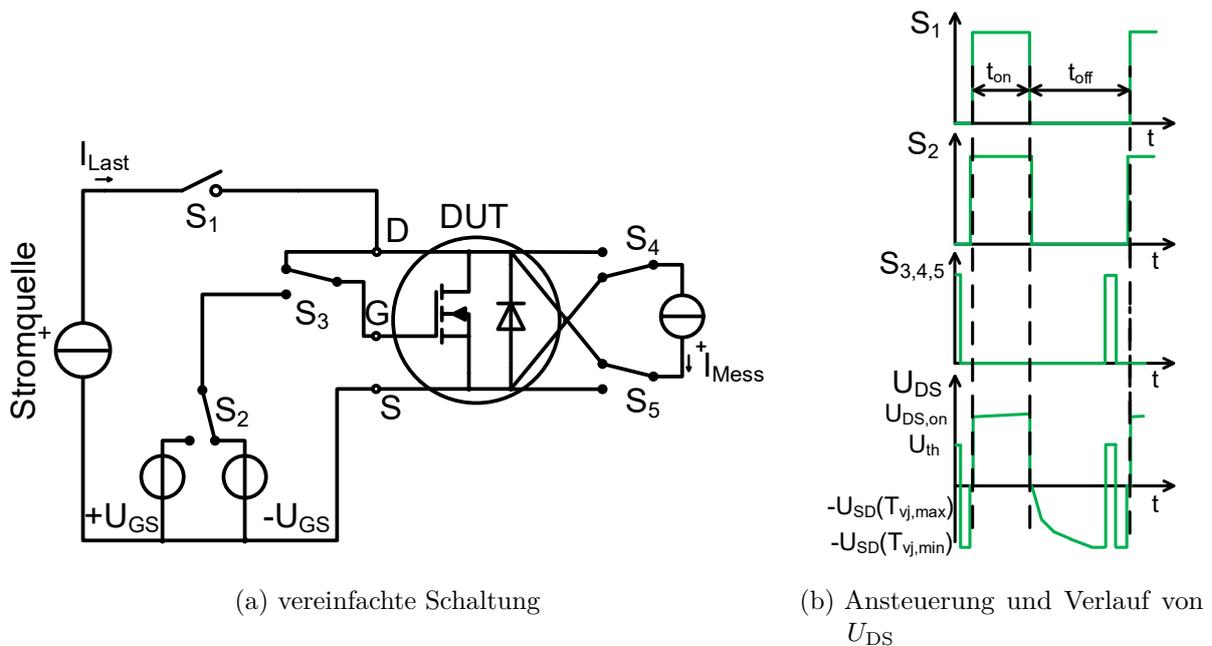


Abbildung 3.7: Vereinfachte Schaltung und Ansteuerung zum Lastwechseln von SiC-MOSFETs unter Anwendung der $U_{SD}(T)$ -Methode zur Ermittlung der Sperrschichttemperatur und in-situ ΔU_{th} -Erfassung

Mit diesem Ansatz kann U_{th} zu jedem Zeitpunkt der Lastwechselprüfung während t_{off} gemessen werden. Zur Erfassung einer Langzeit-Schwellspannungsverschiebung muss U_{th} immer zum selben Zykluszeitpunkt und vorzugsweise am Ende von t_{off} gemessen werden, da bei hinreichend langer Ausschaltzeit t_{off} der Einfluss von Degradationen, die zu einem Anstieg von $T_{vj,max}$ führen, $T_{vj,min}$ aber kaum beeinflussen, auf die U_{th} -Messung vernachlässigt werden kann.

Aus Sicht der Messstromquelle tritt sowohl zu Beginn des Zeitintervalls, in dem der nötige Schaltzustand zur $T_{vj,max}$ -Erfassung unter Verwendung der $U_{SD}(T)$ -Methode sowie zur U_{th} -Messung, als auch wenn der Laststrom zu und weggeschaltet wird, ein Lastsprung auf. Zur Sicherstellung einer korrekten Temperaturerfassung und für aussagekräftige insbesondere dynamische U_{th} -Messungen ist daher ein hinreichend dynamisches Regelungsverhalten der Messstromquelle sicherzustellen. **Abbildung 3.8** zeigt beispielhaft die aufgenommenen Sprungantworten bei $T_{vj,max}$ und U_{th} -Messung eines SiC-MOSFETs bei $I_{Mess} = 5 \text{ mA}$ und Raumtemperatur: In beiden Fällen regelt die Messstromquelle den Lastsprung in einer Zeit deutlich kleiner $100 \mu\text{s}$ aus. Zur $T_{vj,max}$ -Erfassung wird während der Lastwechselprüfung die \sqrt{t} -Methode (vgl. Abschnitt 2.3) verwendet, bei der standardmäßig, bei den im Rahmen dieser Arbeit durchgeführten Untersuchungen, die ersten $300 \mu\text{s}$ nach Wegschalten von I_{Last} ignoriert werden, sodass der Lastsprung keinen Einfluss auf die Temperaturerfassung hat. Bei der U_{th} -Messung ergibt sich die Einschränkung, dass mit der Messlösung keine Aussagen zu hochdynamischen U_{th} -Instabilitäten im Zeitbereich kleiner ca. $50 \mu\text{s}$ möglich sind. Zur Erfassung einer Langzeit-Schwellspannungsverschiebung während der Lastwechselprüfung ist diese Einschränkung nicht relevant, wenn ein entsprechend längerer U_{th} -Messpuls ausgelöst wird und die U_{th} -Messung des jeweiligen Zyklus mit einer hinreichend größeren Messverzögerung als $50 \mu\text{s}$ nach Beginn des Messpulses erfolgt. Somit haben die während der Lastwechselprüfung auftretenden Lastsprünge keinen Einfluss auf die Messgrößenerfassung unter Verwendung der entwickelten Hardwarelösung.

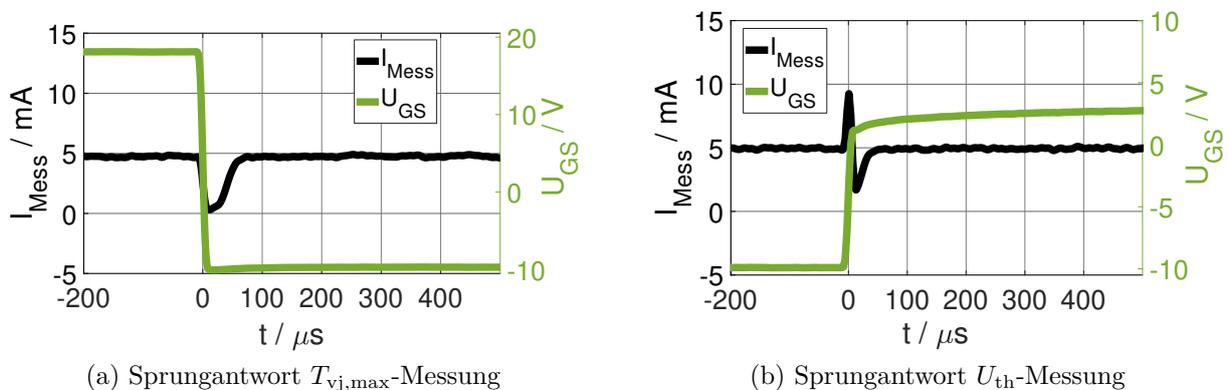


Abbildung 3.8: Gemessene Sprungantwort des Messstromes bei $T_{vj,max}$ und U_{th} -Messung eines SiC-MOSFETs bei Raumtemperatur; DUT: device A 1200 V; $U_{GS,on} = 18 \text{ V}$; $U_{GS,off} = -10 \text{ V}$

In [79] wird ein Konzept zur Erfassung der Langzeit-Schwellspannungsverschiebung von SiC-MOSFETs mit Vorkonditionierung vorgestellt, wodurch unerwünschte dynamische Effekte, die das Messergebnis wesentlich beeinflussen können, kompensiert werden, wodurch die ΔU_{th} -Erfassung robuster wird. Dieses Konzept lässt sich mit der entwickelten Messlösung auf Lastwechseltests übertragen; das abgeleitete und umgesetzte Konzept zeigt **Abbildung 3.9**: Am Ende von t_{off} werden zwei U_{th} -Messungen in jedem Lastwechselzyklus getriggert. Vor jeder U_{th} -Messung wird ein U_{GS} -Puls mit unterschiedlicher Polarität zur vorher anliegenden Gate-Spannung getriggert, wodurch die Gate-Spannung vor jeder U_{th} -Messung eindeutig definiert ist und unerwünschte dynamische U_{th} -Effekte infolge der vorher über einer längeren Zeitspanne anliegenden und konstanten Gate-Spannung, kompensiert werden [79]. Zusätzlich kann durch die jeweilige Erfassung von U_{th} nach einer positiven und einer negativen Gate-Spannung eine Aussage über eventuelle Änderungen der Schwellspannungshysterese während der Lastwechselprüfung abgeleitet werden.

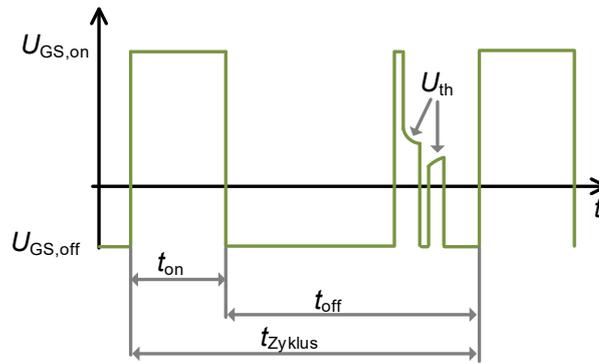


Abbildung 3.9: Konzept der Schwellspannungsmessung mit Vorkonditionierung

Während der Lastwechselprüfung von SiC-MOSFETs überlappen sich mehrere Effekte, die sich gegenseitig beeinflussen: Degradationen im thermischen Pfad erhöhen den thermischen Widerstand, was $T_{vj,max}$ und ΔT_{vj} erhöht und somit die fortschreitende Bauteilalterung forciert. Zusätzlich steigt infolge der höheren Temperatur $R_{DS,on}$, was über einen Anstieg der Verlustleistung zu einem weiteren Temperaturanstieg führt. Dieser Effekt ist typischerweise bei unipolaren Bauelementen, wie SiC-MOSFETs, deutlich stärker ausgeprägt als bei bipolaren und im Fall von SiC-MOSFETs stark von der anliegenden positiven Gate-Spannung abhängig [134], wodurch auch eine gewisse Abhängigkeit des Temperaturkoeffizienten von $R_{DS,on}$ von einer Schwellspannungsverschiebung resultiert. Degradationen im elektrischen Pfad erhöhen den Spannungsabfall über das stromdurchflossene Bauelement (vgl. der Anschlusswiderstand $R_{Kontakt}$ gemäß (2.4) und Abbildung 2.4) und somit die anfallenden Verluste, wodurch $T_{vj,max}$ und ΔT_{vj} steigen und die fortschreitenden Degradationen beschleunigen. Ebenso erhöht eine positive Langzeit-Schwellspannungsverschiebung, wie sie bei Lastwechseltests von SiC-MOSFETs dokumentiert ist [137], $R_{DS,on}$, wodurch

zusätzlich eine Arbeitspunktverschiebung in Richtung einer höheren Testbeschleunigung und vorzeitigem Ausfall forciert wird. Darüber hinaus verstärkt ein Temperaturanstieg nicht nur fortschreitende Degradationen, sondern auch einen stärkeren Schwellspannungsanstieg [136] — die überlappenden Effekte beeinflussen und beschleunigen sich gegenseitig, was die Separationen und Quantifizierung der Einflüsse dieser Effekte auf Degradation und Ausfall während der Lastwechselprüfung erschwert. Mit dem Ziel, den Einfluss der Gate-Spannungs-bedingten Schwellspannungsinstabilitäten unter lastwechselfypischen Gate-Bedingungen zu charakterisieren, wurden daher zunächst Untersuchungen bei konstanter Temperatur (ohne Laststrom) und ohne Bauteilalterung durchgeführt. Dabei wird zwischen transienten und mehr-permanenten Langzeit-Effekten unterschieden. Wesentliche Ergebnisse werden nachfolgend vorgestellt und deren Einfluss auf Lastwechseltests von SiC-MOSFETs diskutiert.

3.2 Transiente Effekte

Zur Untersuchung der transienten Schwellspannungsinstabilitäten von SiC-MOSFETs unter lastwechselfypischen Gate-Bedingungen wurden die Prüflinge auf eine Heizplatte montiert und in einem Messaufbau gemäß **Abbildung 3.10** (äquivalent zu **Abbildung 3.7** ohne Laststromquelle und S_1) lastwechselfypische Gate-Profile appliziert. **Abbildung 3.11** zeigt ein Foto eines Prüflings im Versuchsaufbau: Die entwickelten Messstromquellenplatine und Lastwechselstreiber-Platine beinhalten die nötigen Schalter zur U_{th} -Messung und sind steckbar über eine Adapterplatine mit dem Prüfling verbunden. Sie werden über eine Steuerplatine versorgt und gesteuert (hier nicht gezeigt). Die transienten U_{th} -Messungen erfolgen über passive 1:1 Tastköpfe mittels 12-bit Oszilloskop; die Messanschlüsse sind über die Adapterplatine herausgeführt.

3.2.1 Hysterese

Wechselt die Polarität der anliegenden Gate-Spannung eines SiC-MOSFETs, ändert sich die Schwellspannung; vgl. Abschnitt 2.1.6. Dieser Effekt wird als Schwellspannungshysterese beschrieben. Bezogen auf Lastwechseltests ist insbesondere der Zeitpunkt der $T_{vj,max}$ -Ermittlung bei Anwendung der $U_{SD}(T)$ -Methode zur Sperrschichttemperaturmessung — also der Übergang von einer positiven $U_{GS,on}$ zu einer negativen $U_{GS,off}$ — von Interesse: Nach t_{on} ist eine negative $U_{GS,off}$ anzulegen, die den Inversionskanal vollständig schließt, damit I_{Mess} nur über die inverse Body-Diode fließt, sodass die Temperaturabhängigkeit des pn-Überganges zur T_{vj} -Ermittlung genutzt werden kann; vgl. Abschnitt 2.3.6. Infolge des Polaritätswechsels der Gate-Spannung, ist eine große Änderung von U_{th} zu erwarten, die die effektiv anliegende Gate-Spannung ($U_{GS} - U_{th}$) transient beeinflusst, wodurch

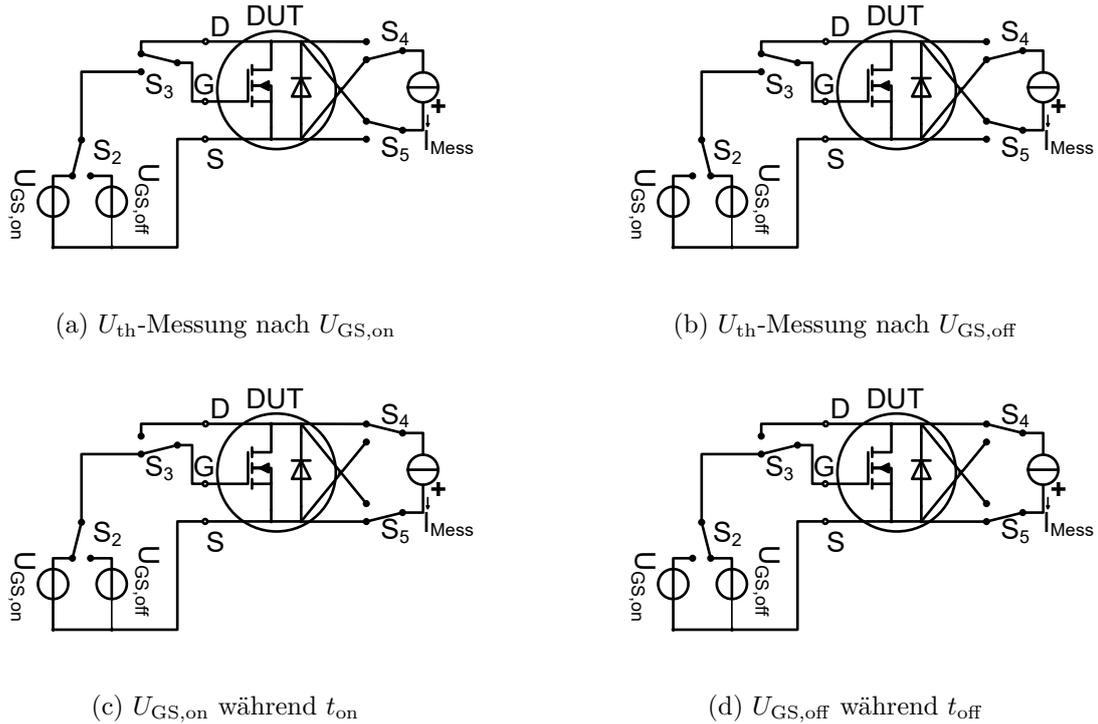


Abbildung 3.10: Angepasste Prüfungs-Ansteuerung zur Charakterisierung von transienten Schwellspannungsinstabilitäten unter lastwechseltypischen Gate-Bedingungen mit unterschiedlichen Schalterstellungen zur U_{th} -Messung sowie zur Applikation von $U_{GS,on}$ während t_{on} und $U_{GS,off}$ während t_{off}

unbeabsichtigter Weise der Inversionskanal leitend werden könnte, was dann die $T_{vj,max}$ -Messung stört. Um dies zu vermeiden, wird die transiente U_{th} -Hysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung (vgl. Abbildung 2.13) speziell untersucht.

Zur Untersuchung wurden SiC-MOSFETs lastwechseltypische Gate-Spannungsprofile appliziert und U_{th} in jedem Zyklus zum Zeitpunkt, zu dem die $T_{vj,max}$ -Erfassung während eines Lastwechseltests erfolgen würde, mittels Oszilloskop bei konstanter Temperatur gemessen; vgl. Abbildung 3.11. Die U_{th} -Messung erfolgte zunächst direkt im Anschluss an t_{on} für 10 ms — also direkt nachdem $U_{GS,on}$ für $t = t_{on}$ anlag; nachfolgend als U_{th}^{pos} bezeichnet. Anschließend erfolgte die U_{th} -Messung in jedem Zyklus nach einer negativen Gate-Spannung $U_{GS,off}$, die für exakt $100 \mu s$ nach t_{on} appliziert wurde — nachfolgend als U_{th}^{neg} bezeichnet; die applizierten lastwechseltypischen Pulsmuster fasst **Abbildung 3.12** zusammen. Die Messungen erfolgten jeweils am selben Bauelement ohne Änderung des Messaufbaus, wobei zwischen der U_{th}^{pos} und U_{th}^{neg} -Messung jeweils das Messprogramm angepasst wurde.

Da vor jeder U_{th}^{pos} -Messung bzw. vor jeder U_{th}^{neg} -Messung exakt die selben Gate-Profile anlagen, zeigten sich reproduzierbare Zeitverläufe von U_{th}^{pos} bzw. U_{th}^{neg} in jedem Zyklus, sodass der Zeitverlauf der Schwellspannungshysterese ΔU_{th}^{Hys} aus der Differenz beider unter den selben Messbedingungen aufgenommenen Messungen, bestimmt werden kann:

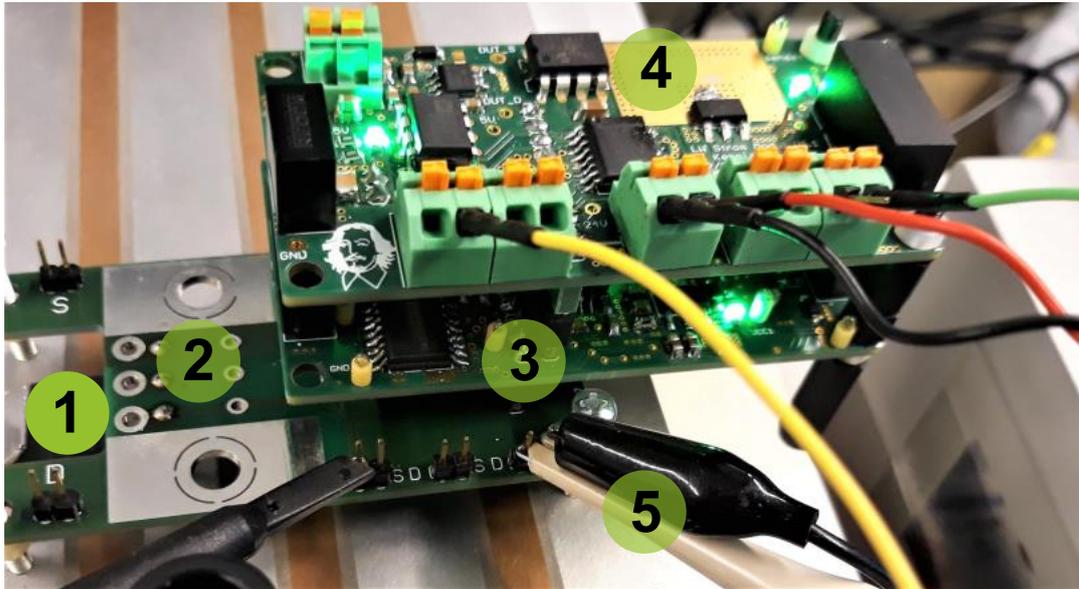
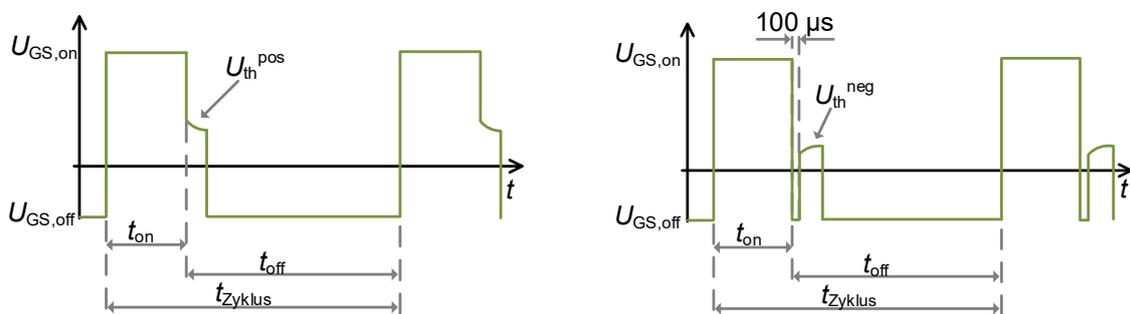


Abbildung 3.11: Foto des realisierten Versuchsaufbaus zur Untersuchung von Kurzzeit-Drifteffekten

- 1: montierter Prüfling auf Heizplatte
- 2: entwickelte Adapterplatine
- 3: entwickelte Lastwechsellreiber-Platine
- 4: entwickelte Messstromquellenplatine
- 5: passive 1:1 Tastköpfe angeschlossen an einem 12-bit Oszilloskop



(a) Definition von U_{th}^{pos}

(b) Definition von U_{th}^{neg}

Abbildung 3.12: Definition der Messbedingungen zur Untersuchung der Schwellspannungshysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung

$$\Delta U_{\text{th}}^{\text{Hys}}(t) = U_{\text{th}}^{\text{pos}}(t) - U_{\text{th}}^{\text{neg}}(t) \quad (3.3)$$

Sowohl die Temperatur als auch der Messzeitpunkt bzw. die Messverzögerung haben — neben der vorher applizierten Gate-Spannung — einen großen Einfluss auf den absoluten Wert der ermittelten Schwellspannung, wie **Abbildung 3.13** und **Tabelle 3.3** für einen beispielhaft definierten Arbeitspunkt ($U_{\text{GS,on}} = 15 \text{ V}$; $U_{\text{GS,off}} = -6 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$) zeigen. Dabei wurde in den Darstellungen der Zeitpunkt des U_{th} -Messbeginns auf $t = 0 \text{ s}$ gesetzt. Um einen Einfluss des Einschwingverhaltens der Messstromquelle auf das Messergebnis sicher auszuschließen, erfolgt die Darstellung beginnend bei $t = 100 \mu\text{s}$; vgl. **Abbildung 3.8**.

Alle DUTs zeigen einen monoton fallenden Schwellspannungszeitverlauf $U_{\text{th}}^{\text{pos}}$, wenn die Messung nach einer positiven Gate-Spannung erfolgt und einen monoton steigenden Schwellspannungszeitverlauf $U_{\text{th}}^{\text{neg}}$ bei Messung nach einer kurzen negativen Gate-Spannung. Dabei ist $U_{\text{th}}^{\text{pos}}$ immer größer als $U_{\text{th}}^{\text{neg}}$, wodurch die Differenz mit steigender Messverzögerung sinkt. U_{th} von SiC-MOSFETs weist eine negative Temperaturabhängigkeit auf, was sich auch in den Messungen in **Abbildung 3.13** widerspiegelt. Darüber hinaus zeigt sich, dass auch die Schwellspannungshysterese temperaturabhängig ist und mit steigender Temperatur bei allen DUTs sinkt, was bedeutet, dass U_{th} gemessen nach einer positiven Gate-Spannung stärker mit steigender Temperatur sinkt als U_{th} gemessen nach einer negativen Gate-Spannung. Dies verdeutlicht **Tabelle 3.3**, in der zu je drei Messzeitpunkten der in **Abbildung 3.13** gezeigten Zeitverläufe Messwerte aufgelistet sind: So beträgt beispielsweise für device A $U_{\text{th}}^{\text{Hys}}(t = 100 \mu\text{s})$ bei $T_{\text{vj}} = 100 \text{ °C}$ ca. 2 V , bei 175 °C hingegen noch ca. $1,8 \text{ V}$. Ein ähnliches Verhalten zeigt sich in allen Messzeitpunkten für alle DUTs.

Auch das gewählte lastwechseltypische Gate-Profil hat einen Einfluss auf die Schwellspannungshysterese: So reduziert beispielsweise eine negativere $U_{\text{GS,off}}$ $U_{\text{th}}^{\text{neg}}$, wie in **Abbildung 3.14** dargestellt, und eine längere Einschaltzeit t_{on} erhöht $U_{\text{th}}^{\text{pos}}$, wie die Messungen in **Abbildung 3.15** zeigen. Diesen Abhängigkeiten sind bei device B stärker ausgeprägt als bei device A und C. Zusätzlich zeigte sich eine Temperaturabhängigkeit dieser Einflüsse sowie, dass sich eine positivere $U_{\text{GS,on}}$ ähnlich wie eine längere t_{on} auswirkt und $U_{\text{th}}^{\text{pos}}$ erhöht und, dass eine längere t_{off} keinen Einfluss auf $U_{\text{th}}^{\text{pos}}$ oder $U_{\text{th}}^{\text{neg}}$ in den durchgeführten Messreihen hatte (hier nicht gezeigt).

3.2.2 Kurzzeit- U_{th} -Verschiebung während t_{off}

Zusätzlich zur rapiden U_{th} -Änderung bei einem Polaritätswechsel der Gate-Spannung verschiebt sich U_{th} auch bei konstant anliegender Gate-Spannung, wobei innerhalb eines Zyklus unter lastwechseltypischer Gate-Belastung eine reversible Kurzzeitverschiebung

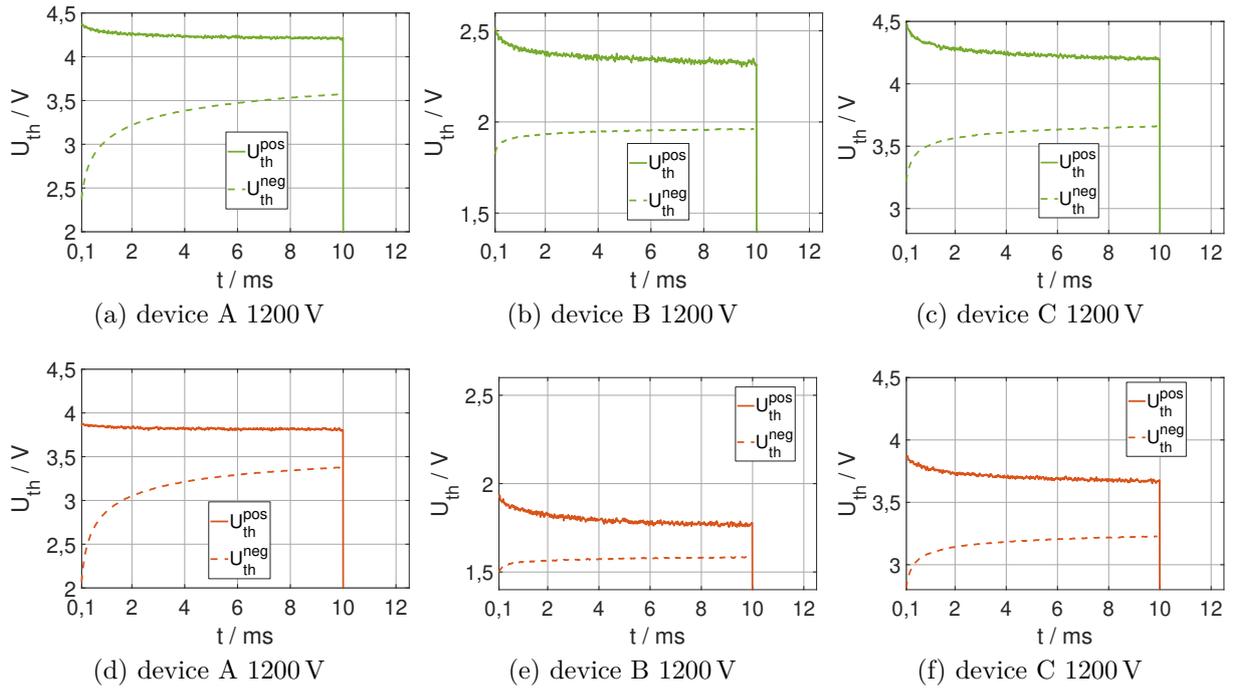


Abbildung 3.13: Einfluss von T_{vj} auf die Schwellspannungshysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung; $U_{GS,on} = 15 \text{ V}$; $U_{GS,off} = -6 \text{ V}$; $t_{on} = 3 \text{ s}$; $t_{off} = 6 \text{ s}$; $I_{Mess} = 5 \text{ mA}$
 (a)-(c): $T_{vj} = 100 \text{ }^\circ\text{C}$
 (d)-(f): $T_{vj} = 175 \text{ }^\circ\text{C}$

Tabelle 3.3: Schwankungsbreite der absolut gemessenen Schwellspannung in Abhängigkeit von der vor der Messung applizierten Gatespannungspolarität, von T_{vj} und von dem Messzeitpunkt; Werte aus Abbildung 3.13

DUT und Messzeitpunkt	U_{th}^{pos} bei $T_{vj} = 100 \text{ }^\circ\text{C}$	U_{th}^{neg} bei $T_{vj} = 100 \text{ }^\circ\text{C}$	U_{th}^{pos} bei $T_{vj} = 175 \text{ }^\circ\text{C}$	U_{th}^{neg} bei $T_{vj} = 175 \text{ }^\circ\text{C}$
device A				
$t = 100 \mu\text{s}$	4,374 V	2,380 V	3,871 V	2,072 V
$t = 1 \text{ ms}$	4,277 V	3,034 V	3,841 V	2,861 V
$t = 10 \text{ ms}$	4,215 V	3,569 V	3,801 V	3,375 V
device B				
$t = 100 \mu\text{s}$	2,515 V	1,827 V	1,934 V	1,499 V
$t = 1 \text{ ms}$	2,388 V	1,918 V	1,860 V	1,555 V
$t = 10 \text{ ms}$	2,311 V	1,962 V	1,775 V	1,580 V
device C				
$t = 100 \mu\text{s}$	4,485 V	3,219 V	3,870 V	2,812 V
$t = 1 \text{ ms}$	4,337 V	3,507 V	3,765 V	3,0906 V
$t = 10 \text{ ms}$	4,196 V	3,659 V	3,670 V	3,227 V

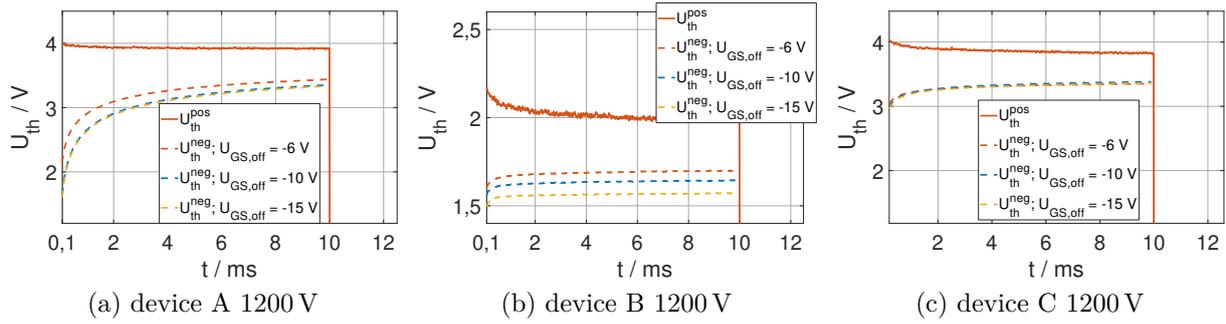


Abbildung 3.14: Einfluss von $U_{GS,off}$ auf die Schwellspannungshysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung; $U_{GS,on} = 15\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$; $T_{vj} = 150\text{ }^\circ\text{C}$

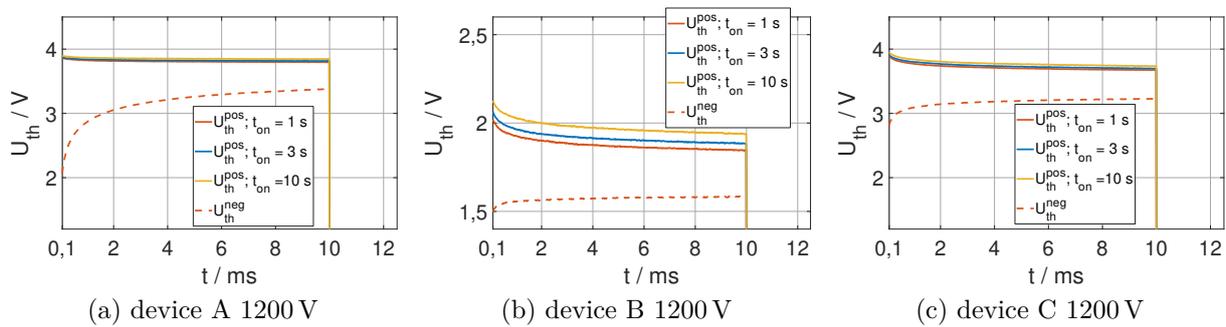


Abbildung 3.15: Einfluss von t_{on} auf die Schwellspannungshysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -6\text{ V}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$; $T_{vj} = 175\text{ }^\circ\text{C}$

auftritt. Hierbei ist zwischen Einschalt- und Ausschaltzeit zu unterscheiden, wobei während t_{off} die Zeitpunkte von Interesse sind, an denen die $T_{vj,max}$ - bzw. $T_{vj,min}$ -Erfassungen in einem Lastwechseltest stattfinden würden, da eine Verschiebung von U_{th} bei nicht vollständig geschlossenem Inversionskanal zu einer Fehlinterpretation des Temperaturhubes führen kann; vgl. Abschnitt 3.2.1. Um diese Kurzzeit- U_{th} -Verschiebung zu untersuchen, wurden SiC-MOSFETs lastwechseltypische Gate-Profile appliziert und U_{th} jeweils für 10 ms, 100 μs nachdem der Prüfling mit $U_{GS,off}$ ausgeschaltet wurde, nachfolgend als U_{th}^{neg1} bezeichnet, bzw. 20 ms bevor der Prüfling wieder mit $U_{GS,on}$ eingeschaltet wurde, nachfolgend als U_{th}^{neg2} bezeichnet, gemessen. Das definierte Pulsmuster zeigt **Abbildung 3.16**. Die Messungen erfolgten am selben Bauelement in aufeinander folgenden Zyklen, ohne den Testaufbau zu ändern.

Infolge der exakt selben Gate-Bedingungen in jedem Zyklus zeigten sich reproduzierbare Messergebnisse für U_{th}^{neg1} und U_{th}^{neg2} in jedem Zyklus, wobei während t_{off} ein Versatz auftrat. **Abbildung 3.17** zeigt den Einfluss von T_{vj} und $U_{GS,off}$ auf diesen Versatz: Zu erwarten war, dass bei anliegender negativer Gate-Spannung eine Verringerung von U_{th} auftritt — demnach sollte gelten: $U_{th}^{neg1} > U_{th}^{neg2}$. Dieses Verhalten zeigt sich bei device A und

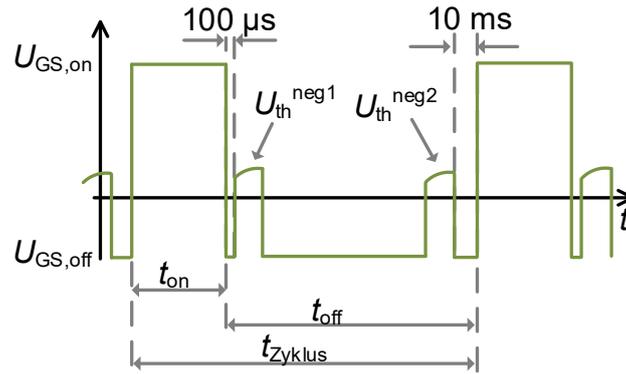


Abbildung 3.16: Definition des Pulsmusters zur Untersuchung der Kurzzeit- U_{th} -Verschiebung während t_{off}

device C, wobei die Kurzzeit- U_{th} -Verschiebung mit steigender Temperatur abnimmt und auch bei negativerer $U_{GS,off}$ kleiner wird, wie Abbildung 3.17 zeigt. Hingegen verhält sich device B gegenläufig und zeigt überraschenderweise während t_{off} einen U_{th} -Anstieg, der insbesondere bei hohen Temperaturen ausgeprägt ist und bei $T_{vj} = 175^\circ\text{C}$ ca. 300 mV innerhalb von $t_{off} = 6\text{ s}$ beträgt und näherungsweise unabhängig von $U_{GS,off}$ ist. Device A zeigt bei $T_{vj} = 50^\circ\text{C}$ und $U_{GS,off} = -6\text{ V}$ eine vom Betrag her vergleichbare Verringerung von ca. 230 mV innerhalb von $t_{off} = 6\text{ s}$, wobei diese wesentlich von $U_{GS,off}$ abhängt und bei $U_{GS,off} = -15\text{ V}$ nur noch ca. 50 mV beträgt. Bei device C ist unter allen Messbedingungen eine vergleichsweise kleine U_{th} Verringerung von ca. 80 mV bei $T_{vj} = 50^\circ\text{C}$ und $U_{GS,off} = -6\text{ V}$ bzw. von ca. 40 mV bei $U_{GS,off} = -15\text{ V}$ während $t_{off} = 6\text{ s}$ festzustellen.

3.2.3 Kurzzeit- U_{th} -Verschiebung während t_{on}

Während t_{on} ist der Wert der Schwellspannung zum Zeitpunkt der $U_{DS,on}$ -Erfassung während eines Lastwechseltests von Interesse, da eine U_{th} -Verschiebung diese Messgröße über eine Änderung des Kanalwiderstandes gemäß (2.8) und (2.4) direkt beeinflusst. $U_{DS,on}$ wird während einer Lastwechselprüfung typischerweise entweder zu Beginn des Lastpulses als $U_{DS,on,kalt}$ bzw. am Ende des Lastpulses als $U_{DS,on,warm}$ gemessen. Um eine Kurzzeit- U_{th} -Verschiebung während t_{on} zu untersuchen, wurde das in **Abbildung 3.18** gezeigte Pulsmuster appliziert, wobei eine U_{th} -Messung mit einer Länge von 10 ms entsprechend des Zeitpunktes einer $U_{DS,on,kalt}$ -Erfassung während eines Lastwechseltestes beginnend 10 ms nach dem Einschalten des Prüflings mit $U_{GS,on}$, nachfolgend als U_{th}^{pos1} bezeichnet, und entsprechend des Zeitpunktes einer $U_{DS,on,warm}$ -Erfassung beginnend 20 ms bevor der Prüfling wieder mit $U_{GS,off}$ ausgeschaltet wird, nachfolgend als U_{th}^{pos2} bezeichnet, getriggert

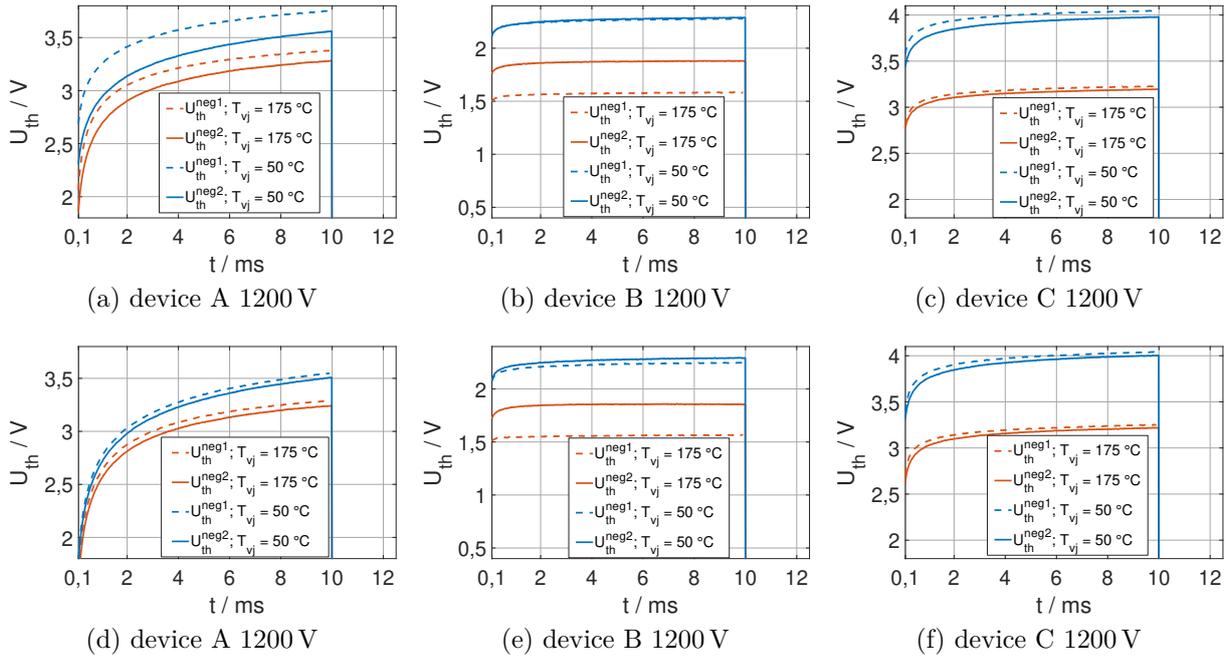


Abbildung 3.17: Einfluss von T_{vj} und $U_{GS,off}$ auf die Kurzzeit- U_{th} -Verschiebung während t_{off} ; $U_{GS,on} = 15\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$
 (a)-(c): $U_{GS,off} = -6\text{ V}$
 (d)-(f): $U_{GS,off} = -15\text{ V}$

wurde. Die Messungen erfolgten am selben Bauelement ohne den Testaufbau zu verändern in aufeinander folgenden Zyklen.

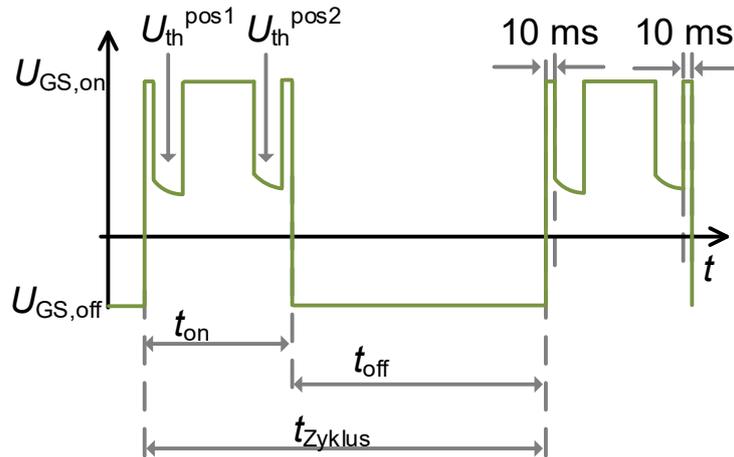


Abbildung 3.18: Definition des Pulsmusters zur Untersuchung der Kurzzeit- U_{th} -Verschiebung während t_{on}

Infolge der exakt selben Gate-Bedingungen vor den U_{th} -Messungen in jedem Zyklus zeigten sich reproduzierbare Messergebnisse zwischen den einzelnen Zyklen — die Kurzzeit- U_{th} -Verschiebung während t_{on} ist vollständig reversibel. In **Abbildung 3.19** ist die Abhän-

gigkeit der Kurzzeit- U_{th} -Verschiebung während t_{on} gezeigt: Alle DUTs weisen in diesem Arbeitspunkt ein qualitativ vergleichbares Verhalten auf: U_{th} steigt während t_{on} an, wobei diese Verschiebung bei niedrigeren Temperaturen stärker ausgeprägt ist als bei höheren. Hinsichtlich der Höhe der U_{th} -Verschiebung in Abhängigkeit der Temperatur zeigen sich jedoch quantitative Unterschiede: So steigt im Fall von device A U_{th} um ca. 240 mV bei $T_{vj} = 50^\circ\text{C}$ innerhalb von $t_{on} = 3\text{ s}$ an, bei $T_{vj} = 175^\circ\text{C}$ fällt der Anstieg nur halb so hoch aus. Bei device B zeigt sich mit einer Reduktion des U_{th} -Anstieges von ca. 100 mV bei $T_{vj} = 50^\circ\text{C}$ auf ca. 20 mV bei $T_{vj} = 175^\circ\text{C}$ eine stärkere Temperaturabhängigkeit, bei device C fällt diese mit einer Reduktion von ca. 210 mV bei $T_{vj} = 50^\circ\text{C}$ auf ca. 170 mV bei $T_{vj} = 175^\circ\text{C}$ schwächer aus.

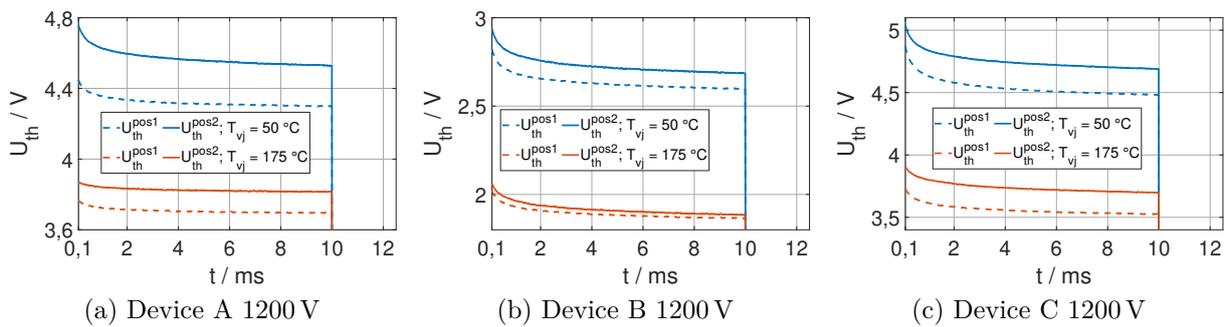


Abbildung 3.19: Kurzzeit- U_{th} -Verschiebung während t_{on} in Abhängigkeit von T_{vj} ; $U_{GS,on} = 18\text{ V}$; $U_{GS,off} = -10\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$

Aufgrund der positiven anliegenden Gate-Spannung während t_{on} ist ein Anstieg von U_{th} während t_{on} zu erwarten, sodass gilt: $U_{th}^{pos1} < U_{th}^{pos2}$. In **Abbildung 3.20** ist zusätzlich zur Temperatur auch der Einfluss der Einschaltzeit t_{on} dargestellt. Dabei zeigt sich im Fall von device B eine Anomalie: Bei hohen Temperaturen und kurzer Einschaltzeit tritt eine U_{th} -Verringerung auf ($t_{on} = 1\text{ s}$, $T_{vj} = 175^\circ\text{C}$), die im Zusammenhang mit dem Anstieg von U_{th} während t_{off} bei hohen Temperaturen stehen dürfte; vgl. **Abbildung 3.17**. In allen anderen Arbeitspunkten steigt U_{th} während t_{on} hingegen an, wobei längere Einschaltzeiten zu einem deutlich höheren Anstieg führen und der Anstieg bei niedrigeren Temperaturen stärker ausgeprägt ist. Einzig bei device B und geringen Temperaturen hat die Einschaltzeit keinen wesentlichen Einfluss auf die Kurzzeit- U_{th} -Verschiebung während t_{on} , bei $t_{on} = 1\text{ s}$ zeigt sich bei device B allerdings eine generelle Erhöhung von U_{th} . Positivere $U_{GS,on}$ während t_{on} führten ebenfalls zu einem stärkeren U_{th} -Anstieg während t_{on} , wobei der Einfluss von $U_{GS,on}$ deutlich kleiner ausfiel als der von t_{on} (hier nicht gezeigt). T_{vj} und die Länge der Einschaltzeit t_{on} stellen somit die wesentlichen Einflussfaktoren dar.

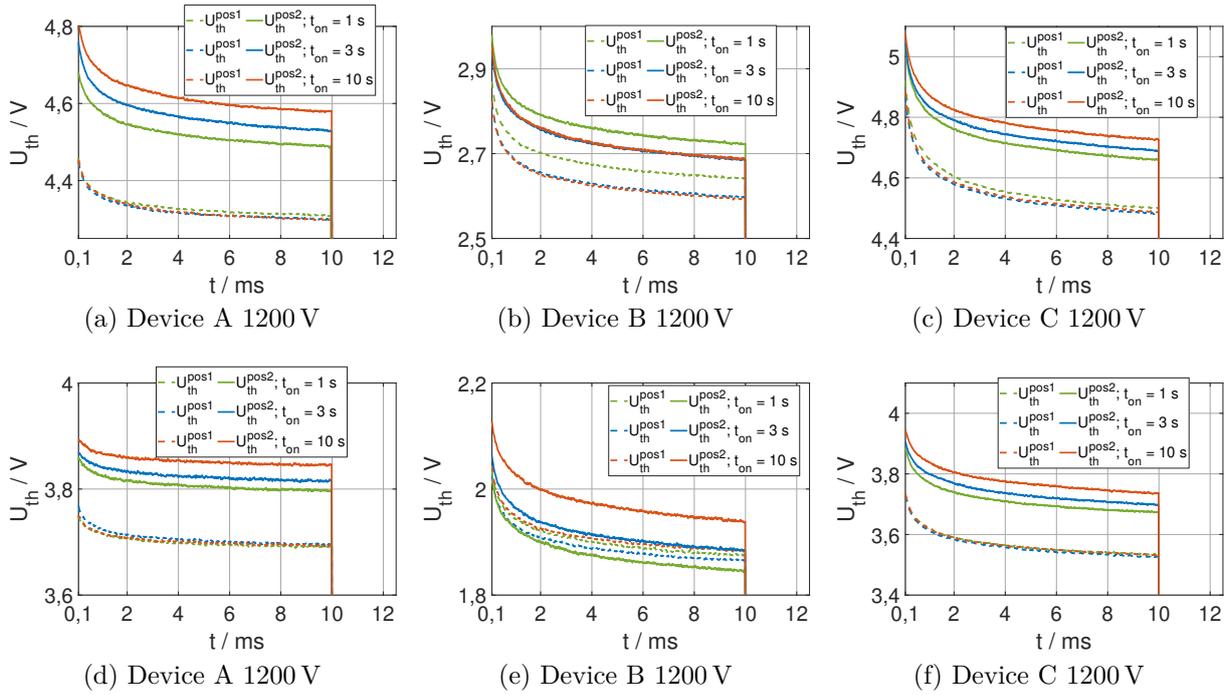


Abbildung 3.20: Kurzeit- U_{th} -Verschiebung während t_{on} in Abhängigkeit von t_{on} ;
 $U_{GS,on} = 18 \text{ V}$; $U_{GS,off} = -10 \text{ V}$; $t_{off} = 6 \text{ s}$; $I_{Mess} = 5 \text{ mA}$
 (a)-(c): $T_{vj} = 50 \text{ }^\circ\text{C}$
 (d)-(f): $T_{vj} = 175 \text{ }^\circ\text{C}$

3.3 Langzeit- U_{th} -Verschiebung

Neben reversiblen, transienten Schwellspannungsinstabilitäten ist auch eine eher permanente Langzeit- U_{th} -Verschiebung bei gepulster und lang anliegender konstanter Gate-Spannung dokumentiert [75] [136] [137], die zu einem Anstieg oder Absinken von $R_{DS,on}$ führt und somit — bezogen auf Lastwechselltests — den eingestellten Arbeitspunkt des Lastwechselltests verschieben kann. Da hierbei insbesondere die Veränderung von $R_{DS,on}$ — einzig hervorgerufen durch die Gate-Belastung — zu berücksichtigen ist, sind beide Messgrößen (ΔU_{th} und $\Delta R_{DS,on}$) zu evaluieren.

3.3.1 Versuchsaufbau

Zur Untersuchung der Langzeit- U_{th} -Verschiebung wurden die Prüflinge, wie bereits zuvor zur Untersuchung der transienten Instabilitäten beschrieben, auf eine Heizplatte montiert und lastwechselltypische Gate-Profile appliziert. Zur Erfassung von $R_{DS,on}$ mit hinreichender Messauflösung wurde der Messstrom auf $I_{Mess} = 200 \text{ mA}$ erhöht und der Versuchsaufbau um einen Messverstärker ergänzt, wie in **Abbildung 3.21** illustriert. Sowohl der hinreichend kleine Messstrom als auch die alleinige Applikation in Vorwärtsrichtung vermeiden ferner unerwünschte Selbsterwärmungseffekte während der Messdurchführung.

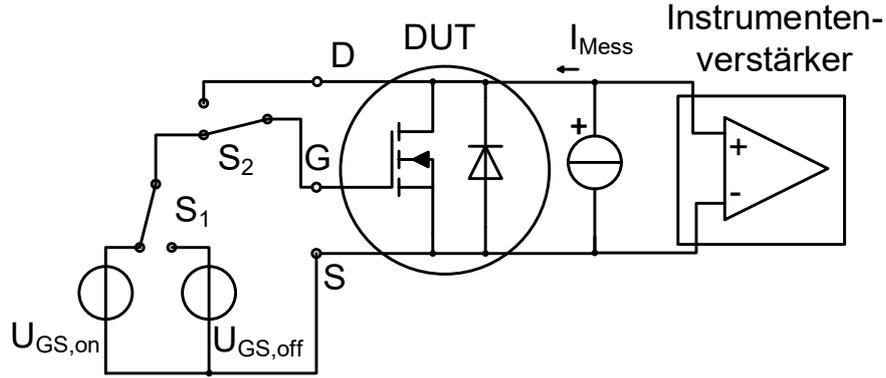


Abbildung 3.21: Vereinfachtes Schaltbild des Versuchsaufbaus zur Erfassung von Langzeit-Drifteffekten

Dabei sind die entwickelten Gatetreiber -und Messstromquellenplatinen steckbar über eine Adapterplatine mit den Prüflingen verbunden und werden über eine entwickelte Mikrokontroller- und Versorgungsplatine angesteuert, die auch Laststromeimpulse wie im Lastwechselversuchsstand emuliert, auf deren Flanken sich ein FPGA-basiertes Messsystem synchronisiert, sodass (bis auf den Instrumentenverstärker) die selbe Messhard- und Software verwendet wird: Auf Basis dieser Synchronisation erfolgt die simultane Messwerterfassung mehrerer gleichzeitig getesteter DUTs in jedem Zyklus zu exakt den selben Zeitpunkten, wobei sowohl U_{th} über eine Spannungsmesskarte und $R_{DS,on}$ über einen vorgeschalteten Instrumentenverstärker in jedem Zyklus erfasst wird. Dabei ist die Änderung dieser Messgrößen während des Prüfdurchlaufes als aktueller Messwert des n-ten Zyklus, minus des Messwertes des ersten Zyklus, definiert:

$$\Delta R_{DS,on} = R_{DS,on,n} - R_{DS,on,1} \quad \text{bzw.} \quad \Delta U_{th} = U_{th,n} - U_{th,1} \quad (3.4)$$

Die kontinuierliche Erfassung beider Messgrößen in jedem Zyklus ermöglicht, eine direkte Korrelation zwischen ΔU_{th} und $\Delta R_{DS,on}$ herzustellen, um so die Arbeitshypothese, dass infolge des Gate-Profiles ein U_{th} -Anstieg resultiert, der bei konstanter Temperatur und ohne AVT Degradationen, ursächlich für einen $R_{DS,on}$ -Anstieg ist, zu untermauern. Um zusätzlich eine mögliche Änderung des zeitlichen Verlaufes der Schwellspannungsmessung auszuschließen, wurden die Schwellspannungsmesspulse zusätzlich zu mehreren Zeitpunkten während des Dauertestes oszillographiert.

3.3.2 Einflussgrößen

Einfluss des Abtastzeitpunktes

Während der Testdurchführung wurde $R_{DS,on}$ sowohl zu Beginn von t_{on} — zum Zeitpunkt einer $U_{DS,on,kalt}$ -Erfassung während eines Lastwechseltests — als auch zum Ende von t_{on} — zum Zeitpunkt einer $U_{DS,on,warm}$ -Erfassung — in jedem Zyklus gemessen. Die U_{th} -Erfassung erfolgte in jedem Zyklus am Ende von t_{off} unter Adaption des in [79] vorgestellten Messkonzeptes auf Lastwechseltests (vgl. Abbildung 3.9): 500 ms vor der erneuten Einschaltflanke wird ein U_{th} -Messpuls mit einer Länge von 100 ms nach einem positiven Vorkonditionierungspuls ($U_{GS,on}$ für 10 ms) getriggert und U_{th}^{pos} in der Mitte des Messpulses erfasst. Anschließend erfolgt ein weiterer negativer Vorkonditionierungspuls ($U_{GS,off}$ für 10 ms), dem sich ein weiterer U_{th} -Messpuls mit einer Länge von 100 ms anschließt. Die Messung von U_{th}^{neg} erfolgt erneut in der Mitte des Messpulses in jedem Zyklus. Dieses Messregime zeigt **Abbildung 3.22** anhand eines aufgenommenen Oszillogramms.

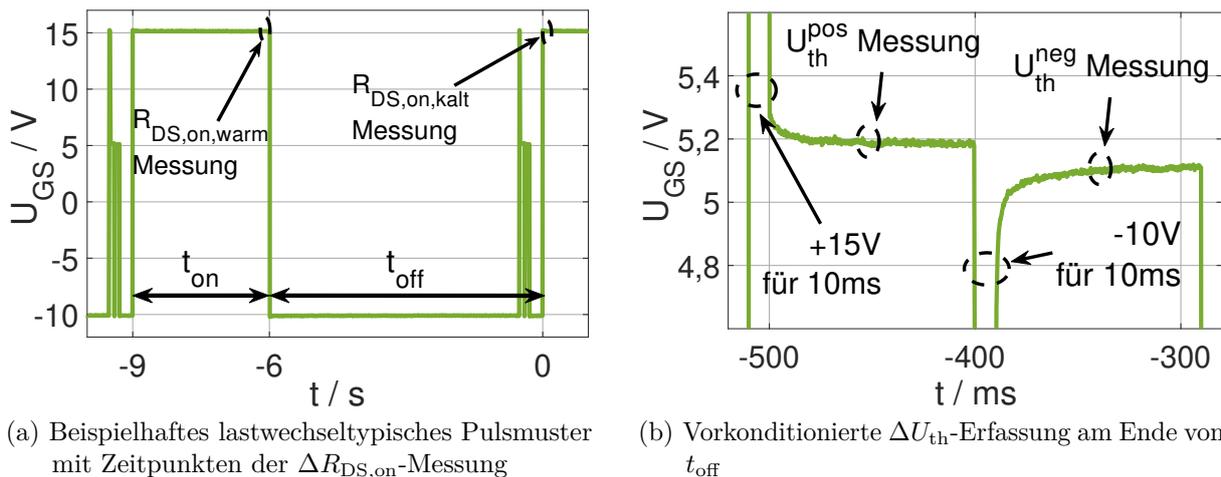


Abbildung 3.22: Beispielhafte Messung des applizierten lastwechseltypischen Pulsmusters mit vorkonditionierter ΔU_{th} -Erfassung zur Ermittlung der Langzeit- U_{th} -Verschiebung unter lastwechseltypischen Gate-Bedingungen

Sowohl die Absolutwerte von $R_{DS,on,kalt}$ und $R_{DS,on,warm}$ als auch von U_{th}^{pos} und U_{th}^{neg} unterscheiden sich bei konstanter Temperatur in Abhängigkeit des Abtastzeitpunktes im Zyklus infolge transienter Schwellspannungsinstabilitäten (vgl. Abschnitt 3.2), wie in **Abbildung 3.23** beispielhaft für device C gezeigt. Der Langzeit-Anstieg hingegen ist sowohl für ΔU_{th} als auch für $\Delta R_{DS,on}$ näherungsweise unabhängig vom Abtastzeitpunkt im Zyklus, wie **Abbildung 3.24** zeigt, weshalb für die nachfolgende Auswertung allgemein $\Delta R_{DS,on}$ und ΔU_{th} verwendet wird. Dazu dient die Messung von $\Delta R_{DS,on}$ zum Zeitpunkt von $U_{DS,on,warm}$ in jedem Zyklus und ΔU_{th} zum Zeitpunkt von U_{th}^{pos} in jedem Zyklus; vgl. Abbildung 3.22.

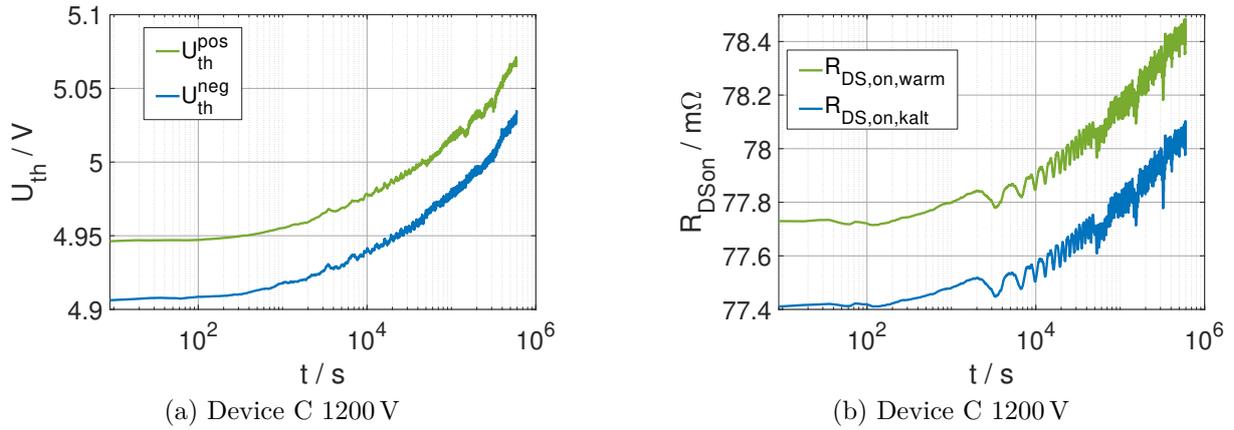


Abbildung 3.23: Einfluss des Abtastzeitpunktes in einem Zyklus auf den Absolutwert von $R_{DS,on}$ und U_{th} am Beispiel von device C; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $T_{vj} = 150\text{ °C}$; $I_{Mess} = 200\text{ mA}$

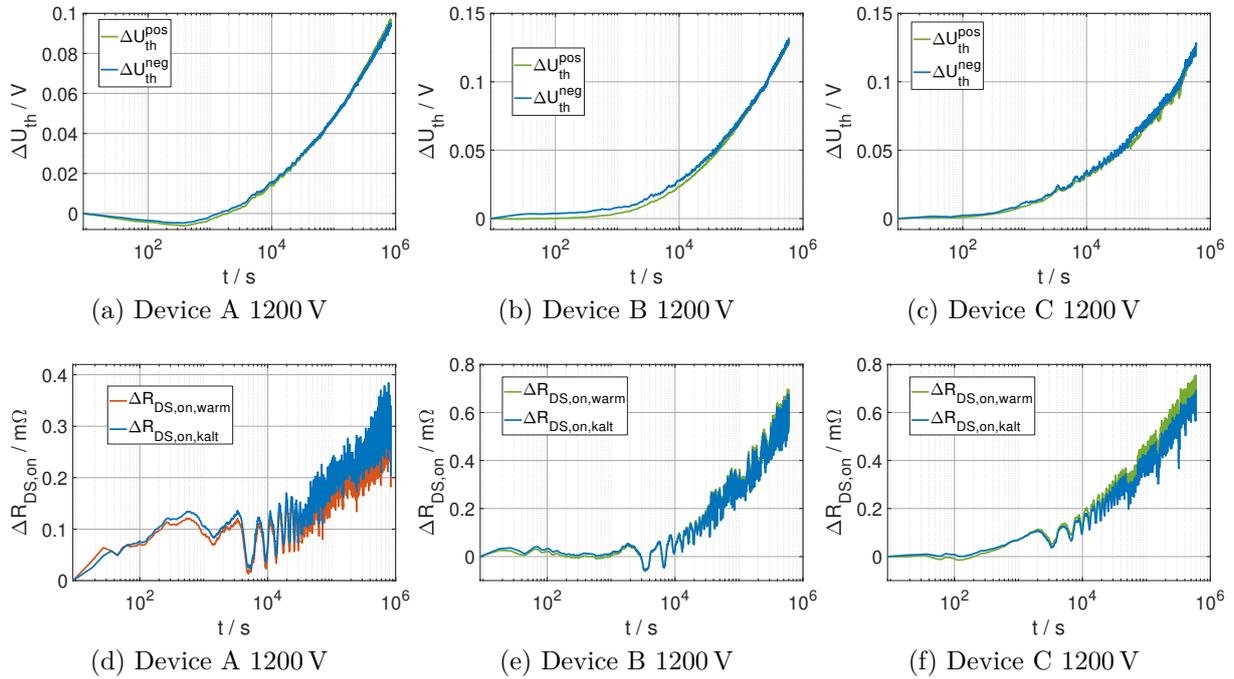


Abbildung 3.24: Einfluss des Abtastzeitpunktes in einem Zyklus auf die gemessene Langzeit-Parameter-Verschiebung; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $T_{vj} = 150\text{ °C}$; $I_{Mess} = 200\text{ mA}$
 (a)-(c): Vergleich von U_{th}^{pos} und U_{th}^{neg}
 (d)-(f): Vergleich von $R_{DS,on,kalt}$ und $R_{DS,on,warm}$

Vergleich des Einflusses eines gepulsten mit einem konstanten Gate-Profil

Zur Bestimmung der Sperrschichttemperatur von SiC-MOSFETs während der Lastwechselprüfung wird in der Regel der temperaturabhängige Spannungsabfall über der inversen Body-Diode bei kleinem Messstrom genutzt ($U_{SD}(T)$ -Methode), vgl. Abschnitt 2.3.6), weshalb der Prüfling während t_{off} mit einer hinreichend negativen $U_{GS,off}$ auszuschalten ist, und — im Gegensatz zur Lastwechselprüfung von IGBTs — ein gepulstes Gateprofil bei der Lastwechselprüfung von SiC-MOSFETs appliziert werden muss. Da der Hintergrund einzig eine gültige Sperrschichttemperaturerfassung ist, wäre das Anlegen einer konstant positiven Gate-Spannung $U_{GS,on}$ bei der Lastwechselprüfung von SiC-MOSFETs auch anwendbar, wenn ein alternatives T_{vj} -Messverfahren zu vergleichbaren Ergebnissen führt [102]. Mögliche Ansätze sind eine optische Temperaturerfassung [135] [136] oder eine direkte Temperaturmessung mittels in den Chip monolithisch integriertem Sensor. Letzterer Ansatz wird im Abschnitt 4.2 detailliert beleuchtet. Diese unterschiedlichen Gateprofile beeinflussen nicht nur die Komplexität des Lastwechseltests, sondern auch die Langzeit- U_{th} -Verschiebung, wie **Abbildung 3.25** zeigt: Sowohl bei konstanter positiver Gate-Spannung als auch bei gepulster zeigt sich ein Anstieg von U_{th} . Da dieser Anstieg mit (2.3) direkt den Kanalwiderstand erhöht, steigt nach (2.4) auch $R_{DS,on}$. Bei konstanter Gate-Spannung ist, passend zur in Abbildung 2.9 beschriebenen Modellvorstellung, ein linearer U_{th} -Anstieg über der logarithmischen Zeitachse zu sehen — da die Tunnelwahrscheinlichkeit der Elektronen in das SiO_2 mit zunehmender Oxidtiefe exponentiell abnimmt, sinkt auch der U_{th} -Anstieg exponentiell; vgl. Abschnitt 2.1.6. Bei gepulster Gate-Spannung zeigt sich hingegen ein eher exponentieller U_{th} -Anstieg in dieser Darstellung, was auf einen zusätzlichen oder gänzlich anderen physikalischen Effekt hindeutet. In allen Fällen ist der U_{th} -Anstieg bei konstanter positiver Gate-Spannung ausgeprägter als bei gepulster. Aufgrund der unterschiedlichen Anstiege ist jedoch ein Schnittpunkt der Kurven bei langen Testdauern zu erwarten; die Testdauern der in Abbildung 3.25 dargestellten Messungen betragen ca. eine Woche.

Gemäß (2.4) i.V.m. (2.3) ist eine direkte Korrelation zwischen ΔU_{th} und $\Delta R_{DS,on}$ zu erwarten, die sich für alle DUTs bei konstanter Gate-Spannung und ebenso bei gepulster im Fall von device A und C näherungsweise zeigt; vgl. Abbildung 3.25. Bei device B sticht hingegen eine deutlich ausgeprägtere U_{th} -Verschiebung im Fall einer konstanten Gate-Spannung im Vergleich zur gepulsten hervor, die von dem gemessenen $R_{DS,on}$ -Anstieg nicht reflektiert wird, was folglich auf einen zusätzlichen Effekt hindeutet, der bei gepulstem Gateprofil zu einem $R_{DS,on}$ -Anstieg führt, aber nicht durch eine U_{th} -Verschiebung bedingt ist, was wiederum die Frage aufwirft, welcher $R_{DS,on}$ -Anstieg infolge der gemessenen U_{th} -Verschiebung zu erwarten wäre, der sich Abschnitt 3.3.3 widmet.

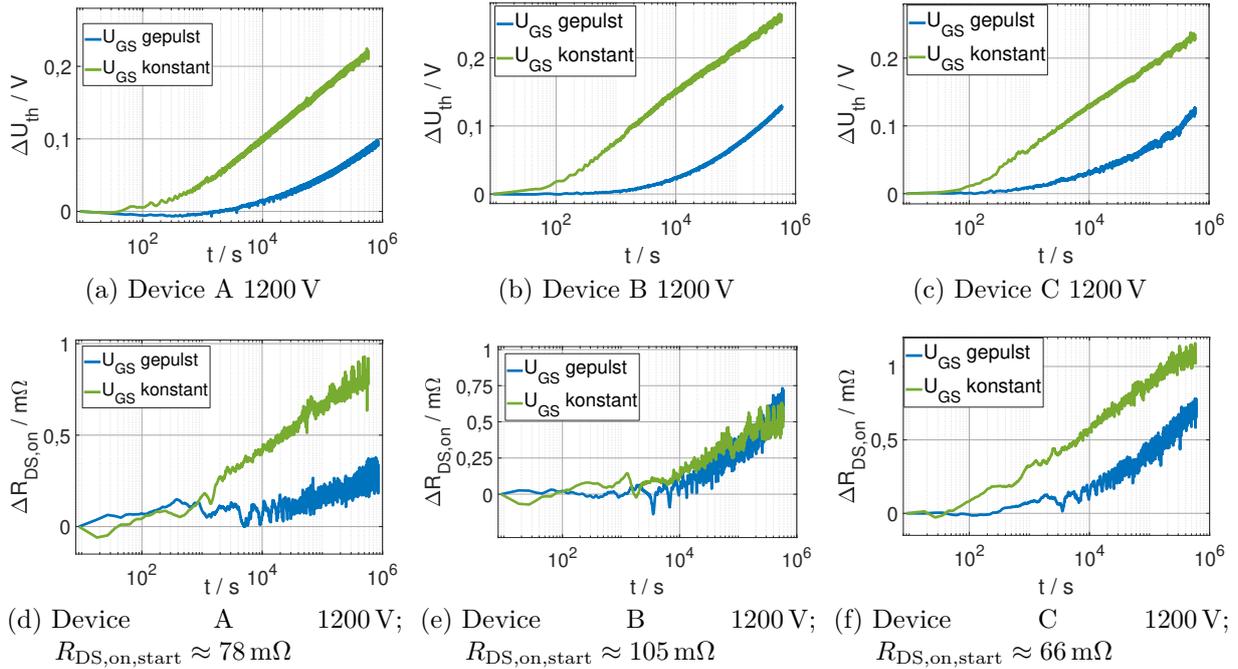


Abbildung 3.25: Vergleich des Langzeitdriftes bei konstanter und gepulster Gate-Spannung; $U_{GS,on} = 15 \text{ V}$; $U_{GS,off} = -10 \text{ V}$; $t_{on} = 3 \text{ s}$; $t_{off} = 6 \text{ s}$; $T_{vj} = 150 \text{ }^\circ\text{C}$; $I_{Mess} = 200 \text{ mA}$

Einfluss der Spannungsklasse auf $\Delta R_{DS,on}$

Höhere Sperrspannungen von unipolaren Bauelementen werden im wesentlichen durch eine dickere und schwächer dotierte Driftzone erreicht (vgl. Tabelle 2.3), wodurch der Driftwiderstand gemäß (2.5) i.V.m. (2.4) einen größeren Anteil am Gesamtwiderstand einnimmt und folglich der Anteil von R_{ch} an $R_{DS,on}$ sinkt, was wiederum den Einfluss von ΔU_{th} an $\Delta R_{DS,on}$ reduziert, wie beispielhaft in **Abbildung 3.26** für device A und gepulster Gate-Spannung zu sehen: Ein vergleichbarer Anstieg von U_{th} führt zu einem mehr als doppelt so ausgeprägten $R_{DS,on}$ -Anstieg bei Vergleich von ähnlichen 650 V und 1200 V Bauelementen, was bei allen DUTs zu beobachten war. Ein signifikanter Unterschied von ΔU_{th} zwischen den Spannungsclassen konnte hingegen nicht festgestellt werden; der leichte Unterschied in **Abbildung 3.26** ist vermutlich auf Bauteiltoleranzen zurückzuführen.

Ein parasitärer $R_{DS,on}$ -Anstieg hervorgerufen durch eine Langzeit- U_{th} -Verschiebung ist somit insbesondere relevant für SiC-MOSFETs kleinerer Spannungsclassen und weniger für hochsperrende Bauelemente (3,3 kV und höher) [33]. Da ΔU_{th} mit der Anzahl an bipolaren Schaltzyklen korreliert, ist dies insbesondere bei Anwendung von niedrigsperrenden SiC-MOSFETs in schnellschaltenden Applikationen zu beachten — wie beispielsweise Schaltnetzteile, in denen 650 V SiC-MOSFETs verbaut sind.

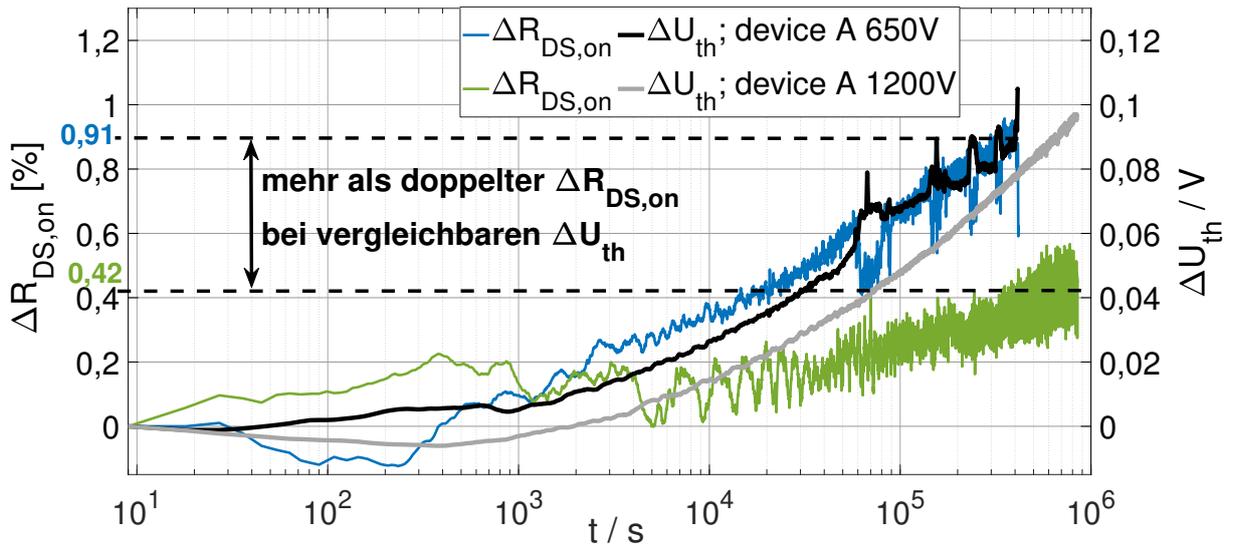


Abbildung 3.26: Einfluss der Spannungsklasse auf $\Delta R_{DS,on}$; device A; $T_{vj} = 150^\circ\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$

Einfluss der Temperatur auf ΔU_{th} und $\Delta R_{DS,on}$

Eine höhere Temperatur reduziert den effektiven Bandabstand zwischen Leitungsband und SiO_2 [67] und ist folglich auch mit einem stärkeren U_{th} -Anstieg assoziiert [75], was auch während der durchgeführten Messungen zu beobachten war. Der Einfluss von ΔU_{th} auf $R_{DS,on}$ reduziert sich jedoch mit steigender Temperatur, wie in **Abbildung 3.27** beispielhaft für device A 650 V und eine konstante Gate-Spannung zu sehen ist: Ein mehr als dreimal höherer U_{th} -Anstieg bedingt einen vergleichbaren $R_{DS,on}$ -Anstieg bei 150°C verglichen mit einer äquivalenten Messung bei Raumtemperatur. Ursächlich ist eine Reduktion des Anteils von R_{ch} an $R_{DS,on}$ mit steigender Temperatur, hervorgerufen durch den negativen Temperaturkoeffizienten von U_{th} und dem — im Gegensatz zu Si-MOSFETs — potentiell positiven Temperaturkoeffizienten der Elektronenbeweglichkeit im Inversionskanal μ_{ch} [140], was in Summe gemäß (2.8) zu einem negativen Temperaturkoeffizienten von R_{ch} führt, der den positiven Temperaturkoeffizienten aller übrigen resistiven Anteile (vgl. Abbildung 2.4) gegenüber steht. Diese Fakten widerlegen in der Literatur zu findende Schlussfolgerungen — z.B. in [136] — wonach, aufgrund eines ausgeprägten U_{th} -Anstieges bei hohen Temperaturen, der zu einer starken Verschiebung von $R_{DS,on}$ führe, klassische Lastwechseltests bei hohen Temperaturen nicht anwendbar auf SiC-MOSFETs seien.

Im Unterschied zur konstanten Gate-Spannung wurde bei Raumtemperatur und gepulster Gate-Spannung keine signifikante bzw. sogar eine leicht negative U_{th} -Verschiebung festgestellt, was auch auf einen Unterschied eines lastwechselltypische Gate-Profiles zum applikationsähnlichen Schalten hindeutet, da in [75] Schalttests bei Raumtemperatur als Testbedingung mit dem größten parasitären $R_{DS,on}$ -Anstieg vorgeschlagen werden. Da während eines Lastwechseltests T_{vj} rapide variiert, ändert sich auch der Einfluss von

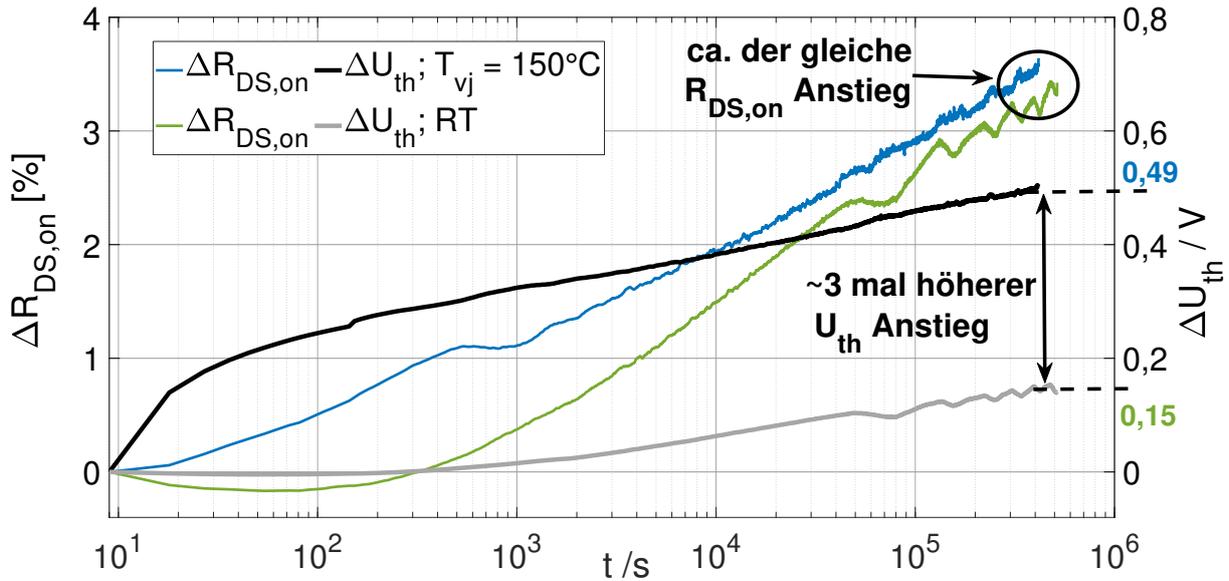


Abbildung 3.27: Einfluss der Temperatur auf ΔU_{th} und $\Delta R_{DS,on}$; device A 650 V;
 $U_{GS,on} = \text{konstant} = 15 \text{ V}$

ΔU_{th} auf $\Delta U_{DS,on}$, was eine Bewandnis für die Fehlerindikation im elektrischen Pfad hat, da $U_{DS,on,kalt}$ stärker von einer Langzeit- U_{th} -Verschiebung betroffen ist als $U_{DS,on,warm}$. $U_{DS,on,warm}$ wird hingegen zusätzlich von Degradationen im thermischen Pfad beeinflusst, was eine Separation der zugrundeliegenden Degradationsmechanismen erschwert. Da die Temperatur, bei der $U_{DS,on,warm}$ gemessen wird, bekannt ist, könnte ein Ansatz zur genaueren Erfassung von Degradationen im elektrischen Pfad die rechnerische Kompensation des Einflusses der gemessenen $T_{vj,max}$ -Änderung während des Lastwechseltests auf $U_{DS,on,warm}$ sein, wie in [141] für Si-IGBTs beschrieben.

Einfluss von $U_{GS,on}$ auf ΔU_{th} und $\Delta R_{DS,on}$

Eine positivere $U_{GS,on}$ ist mit einer stärker ausgeprägten Langzeit- U_{th} -Verschiebung assoziiert [136], weshalb zur Reduktion dieses parasitären Einflusses während Lastwechseltests die Reduktion von $U_{GS,on}$ vorgeschlagen wird [136]. Dies bestätigt **Abbildung 3.28** am Beispiel von device A 650 V und device B 650 V: Eine positivere $U_{GS,on}$ bedingt einen etwas ausgeprägten U_{th} -Anstieg, aber gleichzeitig einen geringer ausgeprägteren $R_{DS,on}$ -Anstieg: Da gemäß Formel (2.3) und (2.4) der Anteil von R_{ch} an $R_{DS,on}$ eines MOSFETs im ohm'schen Bereich mit steigender positiver Gate-Spannung sinkt, reduziert sich ebenfalls der Einfluss von ΔU_{th} auf $\Delta R_{DS,on}$, wodurch $\Delta R_{DS,on}$ bei $U_{GS,on} = 10 \text{ V}$ — trotz geringeren U_{th} -Anstieg — deutlich stärker ansteigt als bei $U_{GS,on} = 20 \text{ V}$. Die postulierte Schlussfolgerung in [136] ist somit nicht haltbar.

Ein Vorgehen, wie für Si-IGBTs in Abschnitt 2.3.5 beschrieben, ist somit für SiC-MOSFETs fraglich, denn wenn eine Langzeit- U_{th} -Verschiebung einen Einfluss auf das Ergebnis eines

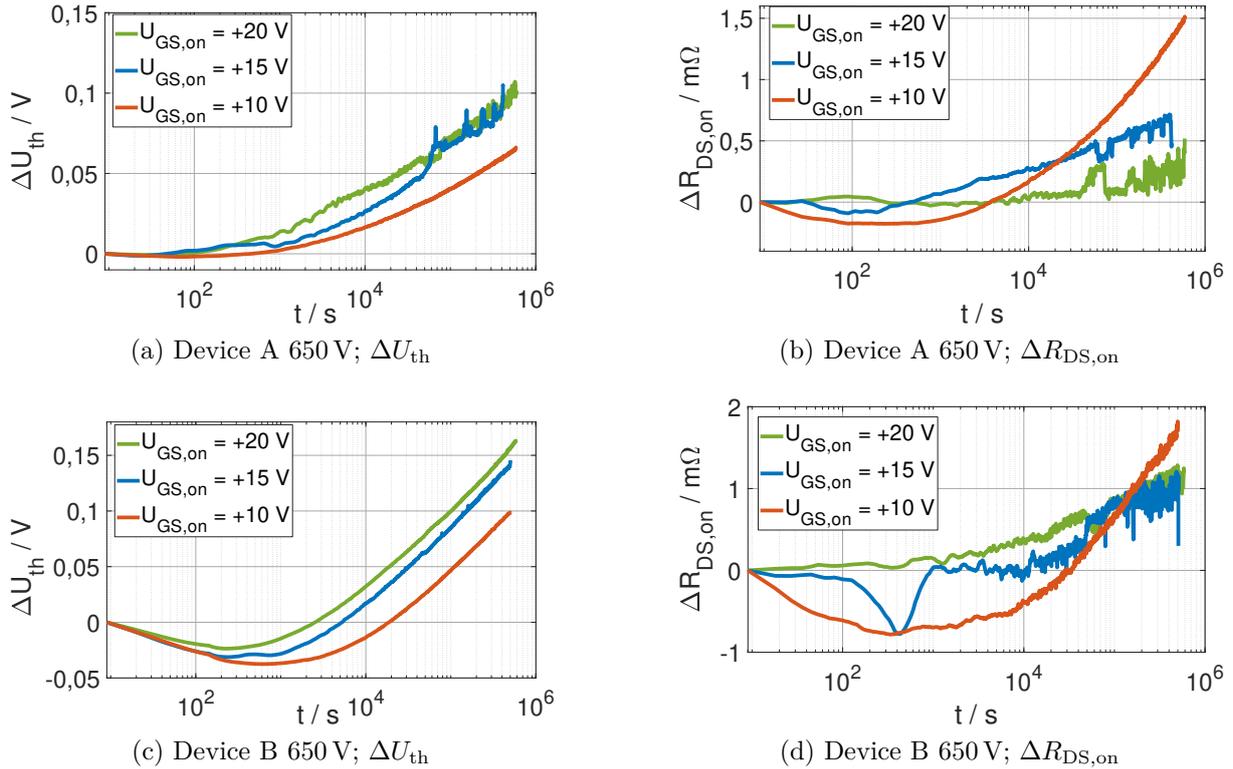


Abbildung 3.28: Einfluss von $U_{GS,on}$ auf ΔU_{th} und $\Delta R_{DS,on}$; $T_{vj} = 150\text{ }^\circ\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,off} = -10\text{ V}$

Lastwechseltests hat, wäre dieser, bei Reduktion von $U_{GS,on}$ mit dem Ziel, höhere Temperaturhübe einzustellen ohne den Laststrom zu variieren, deutlich stärker ausgeprägt, was das generierte Lebensdauermodell verfälschen würde. Daher wäre für die Anwendung dieser Praxis auf SiC-MOSFETs zu prüfen, ob die Erhöhung von I_{Last} bei gleichbleibender $U_{GS,on}$ nicht die bessere Wahl ist. Zwar beeinflusst auch I_{Last} die Lebensdauer [106], allerdings wären für unipolare Bauelemente deutlich kleinere Variationen von I_{Last} nötig als bei bipolaren, um den Temperaturhub zu beeinflussen.

Einfluss von $U_{GS,off}$ auf ΔU_{th}

Bei Anwendung der $U_{SD}(T)$ -Methode zur T_{vj} -Ermittlung während der Lastwechselprüfung von SiC-MOSFETs ist eine negative $U_{GS,off}$ zu wählen, die den Inversionskanal vollständig schließt, sodass I_{Mess} nur über die inverse Body-Diode fließt [132]; vgl. Abschnitt 2.3.6. Da hierzu mitunter die Verwendung einer negativeren $U_{GS,off}$ nötig ist, als laut Datenblatt erlaubt, stellt sich die Frage, ob diese Praxis einen Einfluss auf eine Langzeit- U_{th} -Verschiebung hat. In **Abbildung 3.29** wird die Antwort am Beispiel von device B 650 V und device C 650 V gegeben: Eine negativere $U_{GS,off}$ erhöht ΔU_{th} und folglich auch $\Delta R_{DS,on}$, was bei allen DUTs bei hoher T_{vj} und einer gepulsten Gate-Spannung zu beobachten war;

dies entspricht publizierten Untersuchungen zu einer Langzeit- U_{th} -Verschiebung unter applikationsähnlichen Schaltbedingungen [71] [75] [142]; vgl. Abschnitt 2.1.6.

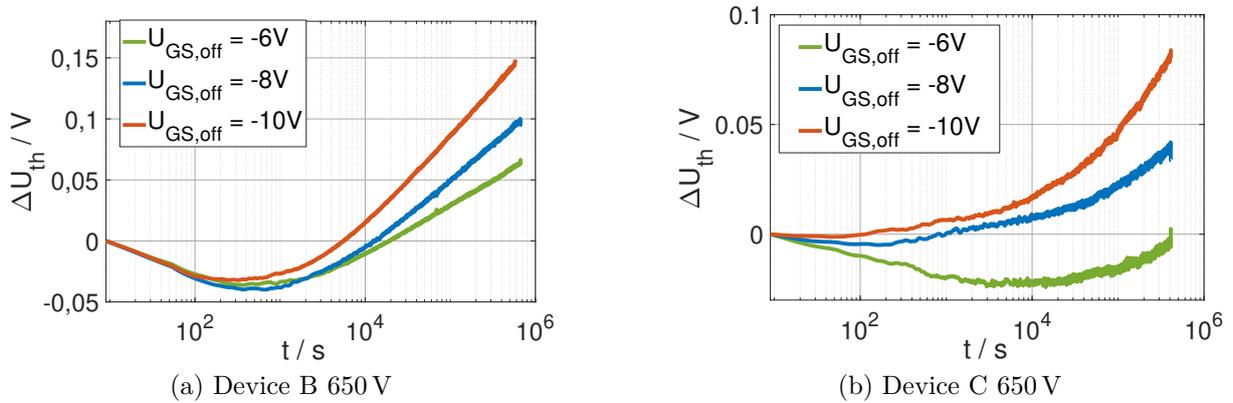


Abbildung 3.29: Einfluss von $U_{GS,off}$ auf ΔU_{th} ; $T_{vj} = 150\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$

Lastwechseltests können nicht ohne Sperrschichttemperaturerfassung durchgeführt werden. Daher ist die Wahl einer geeigneten $U_{GS,off}$, die den Inversionskanal vollständig schließt, kritisch, selbst dann, wenn der benötigte Wert außerhalb der im Datenblatt gegebenen Spezifikationen des Prüflings liegt. Da dies allerdings auch eine parasitäre Parameterverschiebung während der Testdurchführung forciert und somit die Vergleichbarkeit von Lastwechselergebnissen beeinflussen kann, ist ΔU_{th} , wie in Abbildung 3.7 vorgeschlagen, während der Testdurchführung zu erfassen.

3.3.3 Modellierung und Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$

Phänomenologische Modellierung des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$

Zur Beantwortung der Frage, welche Änderung von $R_{DS,on}$ auf Basis der gemessenen Schwellspannungsänderung zu erwarten wäre, wird nachfolgend ein einfaches mathematisches Modell hergeleitet. Den Modellierungsansatz zeigt **Abbildung 3.30** am Beispiel von device C 1200 V.

Der $R_{DS,on}$ eines MOSFETs im leitenden Zustand setzt sich aus mehreren resistiven Anteilen zusammen, wie in Abbildung 2.4 am Beispiel einer planaren MOSFET Zelle gezeigt. Dabei sind alle resistiven Anteile temperaturabhängig, wobei nur der Kanalwiderstand R_{ch} von $U_{GS,on}$ und somit von einer Verschiebung der Schwellspannung beeinflusst wird, sodass gilt:

$$R_{DS,on} = R_{ch}(T_{vj}, U_{GS,on}) + R_{ers}(T_{vj}) \quad (3.5)$$

wobei R_{ers} alle weiteren resistiven Anteile zusammenfasst. Der Term $(U_{\text{GS,on}} - U_{\text{th}})$ kann ferner als effektiv anliegende Gate-Spannung aufgefasst werden, sodass im durchgesteuerten Zustand R_{ch} mit Formel (2.3) direkt proportional zu $\frac{1}{U_{\text{GS,on}} - U_{\text{th}}}$ ist. Unter Annahme, dass die Kanallänge L , Kanalweite W , Elektronenbeweglichkeit μ_n und Kapazität C_{ox} sowie alle weiteren resistiven Anteile bis auf ihre Temperaturabhängigkeit konstant sind, kann (3.5) umformuliert werden:

$$R_{\text{DS,on}} = C(T_{\text{vj}}) \cdot \frac{1}{U_{\text{GS,on}} - U_{\text{th}}} + R_{\text{ers}}(T_{\text{vj}}) \quad (3.6)$$

mit der temperaturabhängigen Konstanten $C(T_{\text{vj}})$. Bei konstanter Temperatur und Gate-Spannung, ist eine Änderung von $R_{\text{DS,on}}$ dann einzig durch eine Verschiebung von U_{th} bedingt, was folglich bedeutet, dass die Höhe einer parasitären $R_{\text{DS,on}}$ -Verschiebung bedingt durch ΔU_{th} direkt mit dem Anteil von R_{ch} an $R_{\text{DS,on}}$ korreliert — je höher der Anteil von R_{ch} an $R_{\text{DS,on}}$, desto ausgeprägter $\Delta R_{\text{DS,on}}$ bei gleichem ΔU_{th} .

Die bei kleinem Messstrom gemessene Ausgangscharakteristik eines SiC-MOSFETs (device C 1200 V) ist in Abbildung 3.30a dargestellt und zeigt die beschriebene Proportionalität:

$$R_{\text{DS,on}} \sim \frac{1}{U_{\text{GS,on}} - U_{\text{th}}} \quad (3.7)$$

, die für kleine Änderungen von $(U_{\text{GS,on}} - U_{\text{th}})$ im eingestellten Arbeitspunkt linearisiert werden kann:

$$R_{\text{DS,on}} \approx -A(T_{\text{vj}}) \cdot (U_{\text{GS,on}} - U_{\text{th}}) + B(T_{\text{vj}}) \quad (3.8)$$

mit den temperaturabhängigen Konstanten $A(T_{\text{vj}})$ und $B(T_{\text{vj}})$, wie in Abbildung 3.30b gezeigt. Da nicht der Absolutwert von $R_{\text{DS,on}}$, sondern dessen Änderung in Abhängigkeit der effektiv anliegenden Gate-Spannung von Interesse ist, die mit

$$\frac{dR_{\text{DS,on}}}{d(U_{\text{GS,on}} - U_{\text{th}})} = -A(T_{\text{vj}}) \quad (3.9)$$

beschrieben werden kann, wobei unter Annahme einer konstant positiven Treiberausgangsspannung gilt:

$$dU_{\text{GS,on}} = \Delta U_{\text{GS,on}} = 0 \quad \text{sowie} \quad dU_{\text{th}} = \Delta U_{\text{th}} \quad \text{und} \quad dR_{\text{DS,on}} = \Delta R_{\text{DS,on}} \quad (3.10)$$

, woraus resultiert:

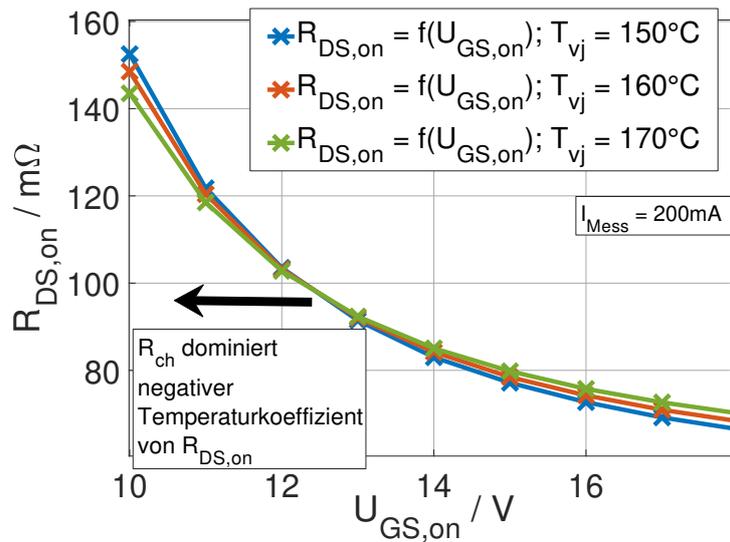
$$\Delta R_{\text{DS,on}} \approx A(T_{\text{vj}}) \cdot \Delta U_{\text{th}} \quad (3.11)$$

mit der temperaturabhängigen Konstanten $A(T_{\text{vj}})$, die aus der gemessenen Kleinsignal-Ausgangscharakteristik bestimmt werden kann, wie in Abbildung 3.30b gezeigt. Somit ergibt sich im Ergebnis ein einfaches lineares mathematisches Modell (Abbildung 3.30c), was die Änderung von $R_{\text{DS,on}}$ bedingt durch ΔU_{th} beschreibt und durch Kalibrierung für jeden SiC-MOSFET parametrisiert werden kann. Dabei hat der Parameter $A(T_{\text{vj}})$ die physikalische Einheit $\frac{\Omega}{\text{V}}$ und ist desto größer, je höher der Anteil von R_{ch} an $R_{\text{DS,on}}$ ist, woraus sich auch seine Temperaturabhängigkeit ergibt: Mit steigender Temperatur sinkt der Anteil von R_{ch} an $R_{\text{DS,on}}$ und somit auch die Auswirkung einer Schwellspannungsverschiebung auf $\Delta R_{\text{DS,on}}$, was durch einen negativen Temperaturkoeffizienten von $A(T_{\text{vj}})$ reflektiert wird.

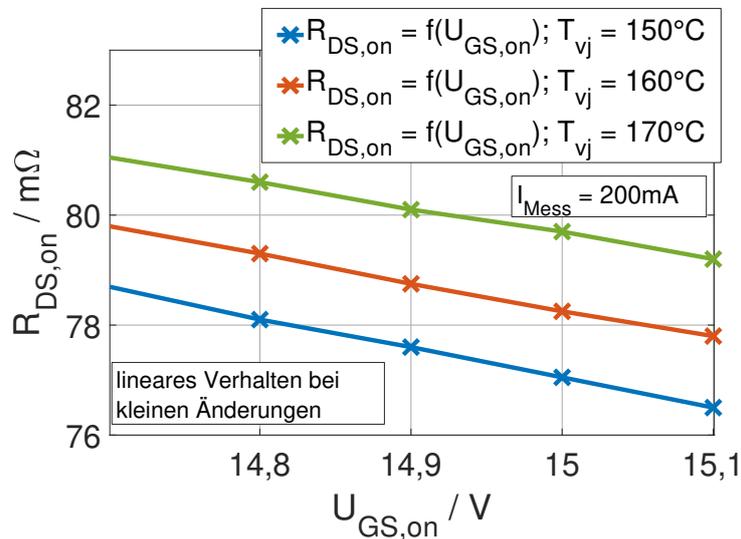
Die Anwendung des in Abbildung 3.30 beschriebenen Modellierungsansatzes auf die in Abbildung 3.25 gezeigten Messergebnisse zeigt **Abbildung 3.31**. Zur Interpretation müssen auch die in Abschnitt 3.1.1 diskutierten Ergebnisse berücksichtigt werden, die zeigen, dass sich U_{th} eines SiC-MOSFETs auch bei kontinuierlicher Variation von $U_{\text{GS,on}}$ ändert, was folglich auch $R_{\text{DS,on}}$ und somit die Genauigkeit der in Abbildung 3.30 beschriebenen Kalibrierung beeinflusst. Da zur Messdurchführung eine Variation von $U_{\text{GS,on}}$ nötig ist, kann nicht von einer exakten $\Delta R_{\text{DS,on}}$ Berechnung aus der gemessenen Langzeit- U_{th} -Verschiebung ausgegangen werden. Gleichwohl ist für device A und device C sowohl bei einer gepulsten als auch bei einer konstanten Gate-Spannung eine gute Übereinstimmung zwischen gemessenem und berechnetem $R_{\text{DS,on}}$ -Anstieg in Abbildung 3.31 zu sehen, mit leichter Tendenz zur Überschätzung von $R_{\text{DS,on}}$ bei konstanter Gate-Spannung. Im Fall von device B zeigt sich diese Tendenz noch stärker, wobei insbesondere der Vergleich bei gepulster Gate-Spannung hervorsticht: Im Gegensatz zu den anderen DUTs, unterschätzt die Berechnung von $\Delta R_{\text{DS,on}}$ auf Basis der ΔU_{th} -Messung deutlich, was den Verdacht auf einen weiteren Effekt, der nicht im Zusammenhang mit einer Langzeit- U_{th} -Verschiebung steht und nur bei gepulster Gate-Spannung auftritt, weiter erhärtet.

Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{\text{DS,on}}$

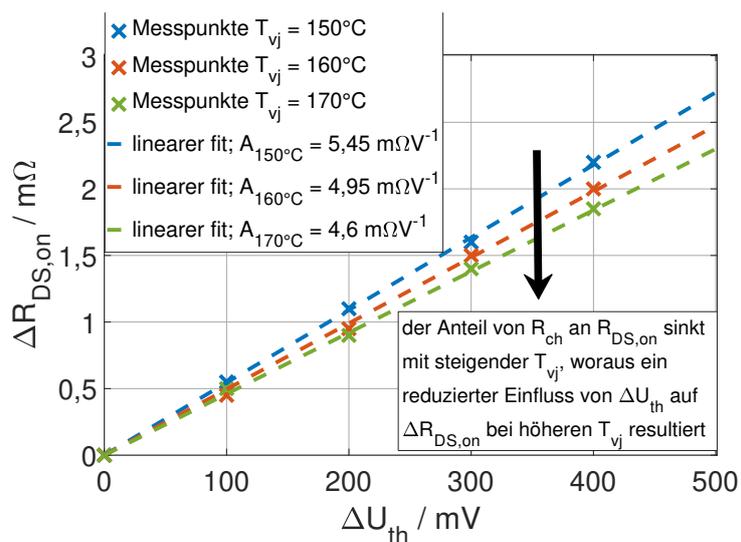
Um diesen Verdacht experimentell zu beweisen, wurde der Versuchsaufbau um eine digitale Gatespannungsregelung erweitert, wie in **Abbildung 3.32** dargestellt. Dabei misst ein Mikrocontroller (μC) die Langzeit- U_{th} -Verschiebung und kompensiert die Änderung der effektiv anliegenden Gate-Spannung ($U_{\text{GS,on}} - U_{\text{th}}$) während der Testdurchführung, indem $U_{\text{GS,on}}$ entsprechend des gemessenen U_{th} -Anstiegs erhöht wird. Hierzu wurde beispielhaft eine Realisierung gewählt bei der je 10 mV Anstieg von U_{th} $U_{\text{GS,on}}$ ebenfalls um 10 mV



(a) Gemessene Ausgangscharakteristik



(b) Gemessene Kleinsignal-Ausgangscharakteristik



(c) Abgeleitetes Modell

Abbildung 3.30: Modellierungsansatz basierend auf der gemessenen Ausgangscharakteristik bei kleinem Messstrom

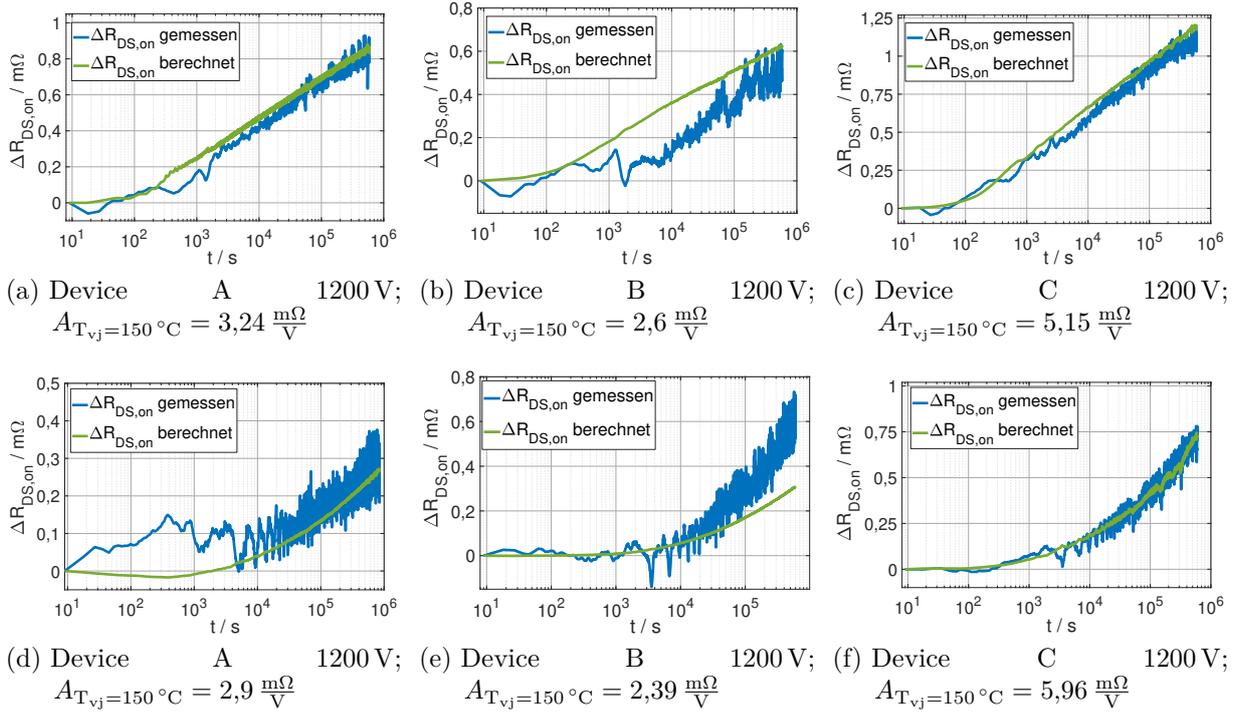
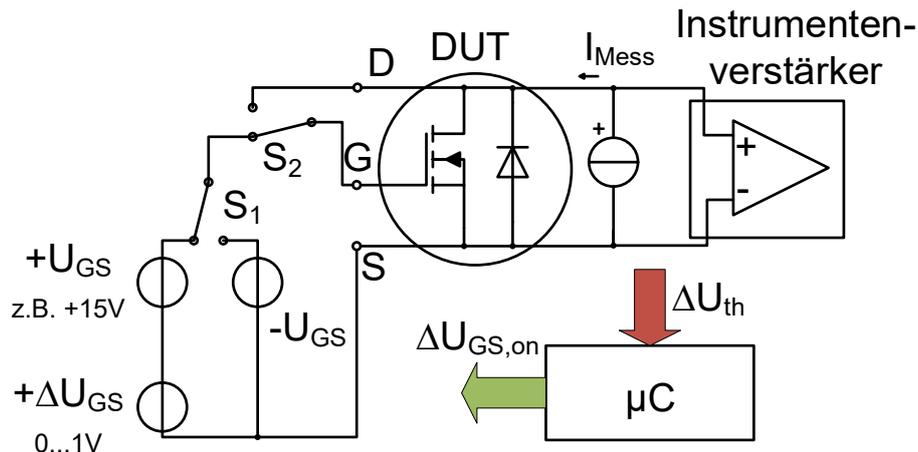


Abbildung 3.31: Vergleich der berechneten und gemessenen Langzeit- $R_{\text{DS,on}}$ -Verschiebung bei konstanter und gepulster Gate-Spannung; $U_{\text{GS,on}} = 15 \text{ V}$; $U_{\text{GS,off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $T_{\text{vj}} = 150^\circ\text{C}$; $I_{\text{Mess}} = 200 \text{ mA}$
 (a)-(c): U_{GS} konstant
 (d)-(f): U_{GS} gepulst

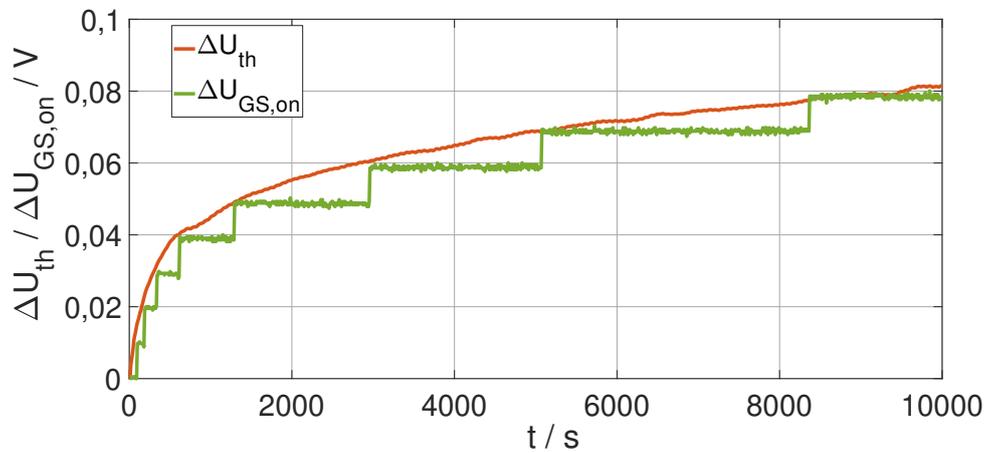
erhöht wird, sodass — bei konstanter Temperatur — keine $R_{\text{DS,on}}$ -Änderung auftreten sollte, sofern ΔU_{th} die einzige Ursache für eine Langzeit- $R_{\text{DS,on}}$ -Verschiebung ist.

Die Anwendung der ΔU_{th} -Kompensation mittels Gatespannungsregelung auf ein konstantes Gate-Profil am Beispiel von device B und C zeigt **Abbildung 3.33**: U_{th} steigt an und $\Delta U_{\text{GS,on}}$ wird entsprechend der gemessenen U_{th} -Verschiebung automatisiert angepasst, wobei der $R_{\text{DS,on}}$ -Anstieg vollständig kompensiert wird, was zum einen die korrekte Funktion der entwickelten Gatespannungsregelung verifiziert und zum anderen zeigt, dass — wie erwartet — $\Delta R_{\text{DS,on}}$ bei konstant anliegender Gate-Spannung einzig durch ΔU_{th} bedingt ist.

Die Anwendung der Gatespannungsregelung auf ein gepulstes Gate-Profil offenbart ein komplexeres Bild, wie **Abbildung 3.34** am Beispiel von device A und B 650 V zeigt: Der Vergleich einer Messung mit Kompensation und ohne zeigt zunächst, dass die Gatespannungsregelung $\Delta R_{\text{DS,on}}$ reduziert. Sowohl $\Delta R_{\text{DS,on}}$ als auch ΔU_{th} sind zudem bei negativerer $U_{\text{GS,off}}$ ausgeprägter, wie erwartet vgl. Abbildung 3.29. Darüber hinaus zeigt der Vergleich der Messungen mit $U_{\text{GS,off}} = -10 \text{ V}$ und $U_{\text{GS,off}} = -6 \text{ V}$, dass sich $\Delta R_{\text{DS,on}}$ durch Kompensation des Einflusses von ΔU_{th} zwar reduziert, aber nicht vollständig kompensieren lässt, wenn $U_{\text{GS,off}} = -10 \text{ V}$, was das Vorhandensein eines zusätzlichen Effektes

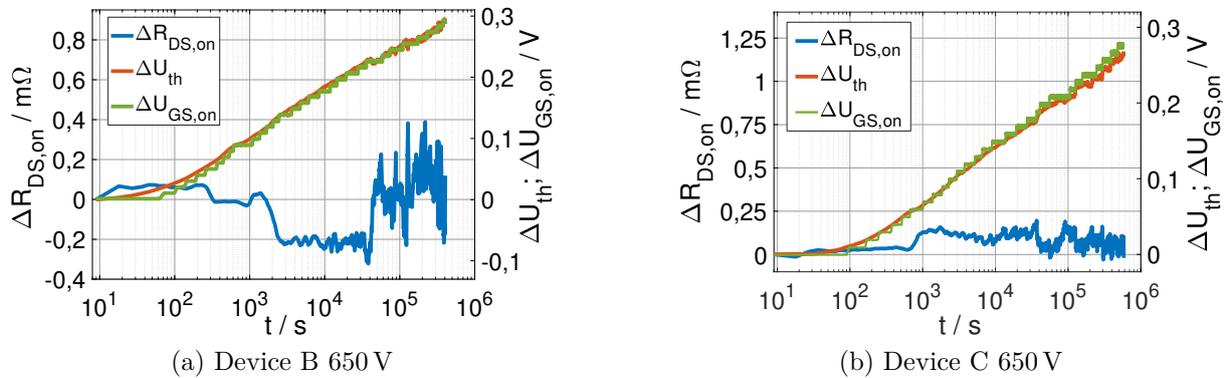


(a) Vereinfachtes Schaltbild zur ΔU_{th} -Kompensation



(b) Beispielhafte Messung des umgesetzten Stellprinzips

Abbildung 3.32: Konzeptdarstellung der Kompensation mittels aktiver Gatespannungsregelung



(a) Device B 650 V

(b) Device C 650 V

Abbildung 3.33: Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$ bei konstanter Gate-Spannung; $T_{vj} = 150^\circ\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$

experimentell beweist, der bei Unterschreiten einer $U_{GS,off}$ -Schwelle getriggert wird und nicht mit ΔU_{th} im Zusammenhang steht. Interessanterweise zeigt sich dieser zusätzliche Effekt nicht nur bei device B sondern auch bei SiC-MOSFETs anderer Hersteller, wie in Abbildung 3.34a am Beispiel von device A gezeigt, wobei der Anteil dieses zusätzlichen Effektes am $R_{DS,on}$ -Anstieg bei device B mit über 50 % deutlich ausgeprägter ist und nur bei gepulster Gate-Spannung auftritt, was die beobachtete Diskrepanz zwischen der Korrelation von ΔU_{th} und $\Delta R_{DS,on}$ bei Vergleich eines konstanten und gepulsten Gate-Profiles im Fall von device B und $U_{GS,off} = -10\text{ V}$ erklärt; vgl. Abbildung 3.25. Ein Anteil des $R_{DS,on}$ -Anstiegs, der sich nicht durch die Gatespannungsregelung kompensieren lässt, zeigte sich auch bei den getesteten 1200 V SiC-MOSFETs bei gepulstem Gate-Profil und $U_{GS,off} = -10\text{ V}$ (hier nicht gezeigt).

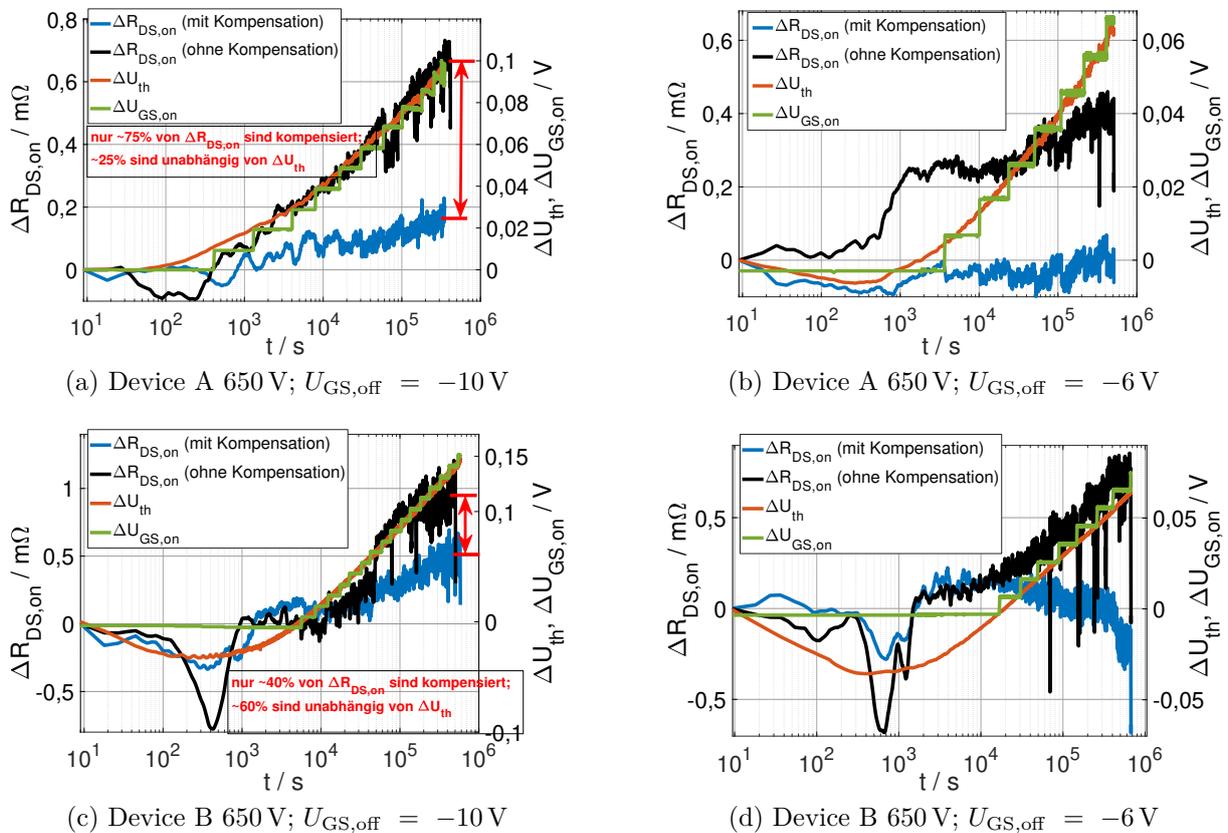


Abbildung 3.34: Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$ bei gepulster Gate-Spannung; $T_{vj} = 150\text{ }^\circ\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$

Eine mögliche physikalische Ursache dieses zusätzlichen Effektes ist eine Degradation der Elektronenbeweglichkeit, die in der Literatur für SiC-MOSFETs bereits beschrieben und demnach mit einer Zunahme der Coulomb-Streuung assoziiert ist [41] [43], was gemäß (2.9), (2.8) und (2.4) $R_{DS,on}$ erhöht. Eine weitere Erklärung könnte eine Änderung des zeitlichen Verlaufs der Hysterese während der Testdurchführung sein, die zu einer fehlerhaften Erfassung der Langzeit- U_{th} -Verschiebung führen würde. Um dies auszuschließen, wurde die U_{th} -Hysterese mittels Oszilloskop zu mehreren Zeitpunkten während der Testdurchführung

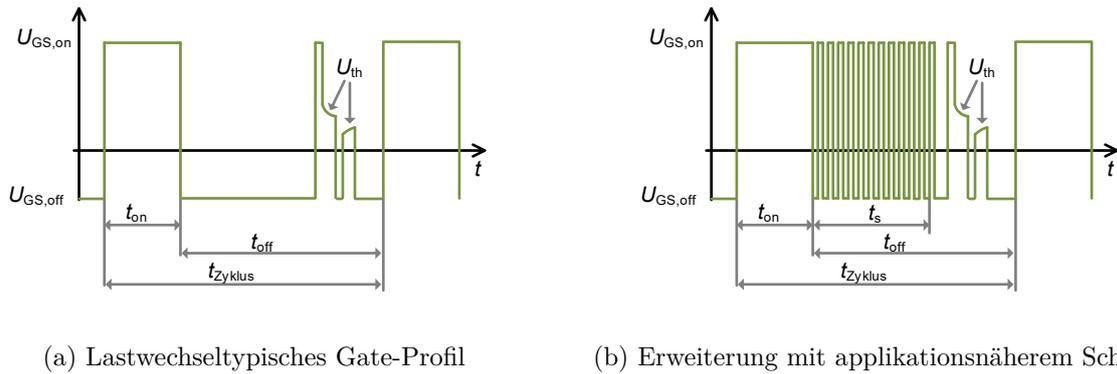


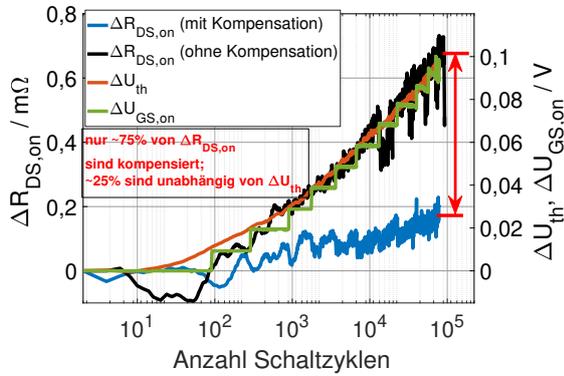
Abbildung 3.36: Beispielhafte Anpassung des Gate-Profiles zur Untersuchung des Einflusses applikationsnahen Schaltens

ein lastwechseltypischer Schaltzyklus zu einem deutlich stärkeren U_{th} -Anstieg als ein applikationsnaher führt, sodass im Fall eines lastwechseltypischen Gate-Profiles bereits nach 10^5 Schaltzyklen eine signifikante U_{th} -Verschiebung messbar ist, unter applikationsnäherem Schalten hingegen erst nach ca. 10^8 Schaltzyklen. Dabei zeigen sich auch Unterschiede zwischen den Herstellern: Im Fall von device B beginnt der Anstieg bei zusätzlichem applikationsnahem Schalten früher als bei device A, wobei der Anstieg bei device A sich nach ca. 10^9 Schaltzyklen weiter zu beschleunigen scheint. Stärkere Unterschiede zeigen sich bei Anwendung der Gatespannungsregelung (vgl. Abbildung 3.32), wodurch der Einfluss von ΔU_{th} auf $\Delta R_{DS,on}$ vollständig kompensiert ist: Dabei zeigt sich die zusätzliche Driftkomponente, die zu einem $R_{DS,on}$ -Anstieg führt und nicht im Zusammenhang mit ΔU_{th} steht, auch unter applikationsnäherem Schalten und scheint im Fall von device B insbesondere durch das lastwechseltypische Pulsmuster getriggert zu sein. Im Fall von device C hingegen ist dieser zusätzliche Effekt bei applikationsnäherem Schalten deutlich stärker ausgeprägt.

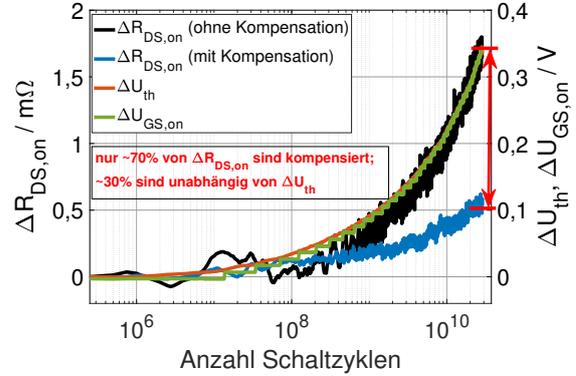
Einfluss der Spannungsklasse

Der Einfluss von ΔU_{th} auf $\Delta R_{DS,on}$ reduziert sich mit steigender Spannungsklasse; vgl. Abschnitt 3.3.2. Bei der zusätzlichen Driftkomponente, die nicht im Zusammenhang mit ΔU_{th} steht, zeigt sich jedoch ein gegenläufiger Trend, wie **Abbildung 3.38** zeigt: Bei allen DUTs steigt der Anteil des $R_{DS,on}$ -Anstiegs, der unabhängig von ΔU_{th} ist, mit steigender Spannungsklasse, wobei bei device B und C der $R_{DS,on}$ -Anstieg ohne Kompensation bei 1200 V Bauelementen sogar stärker ausfällt als bei den 650 V Bauelementen.

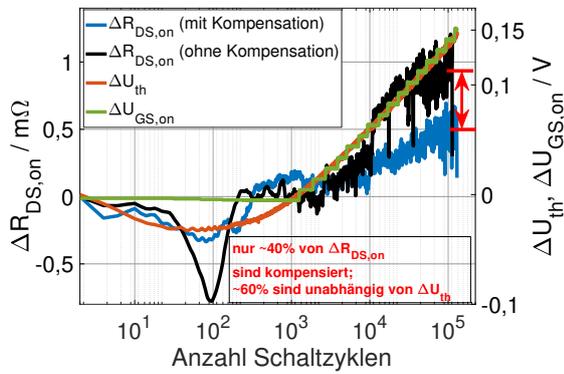
Die Ergebnisse zeigen zum einen, dass auf Grundlage von anwendungsnahen Gate-Schalttests kein Rückschluss auf die parasitäre Parameterverschiebung während eines Lastwechseltests gezogen werden kann und umgekehrt, sowie zum anderen, dass zusätzlich



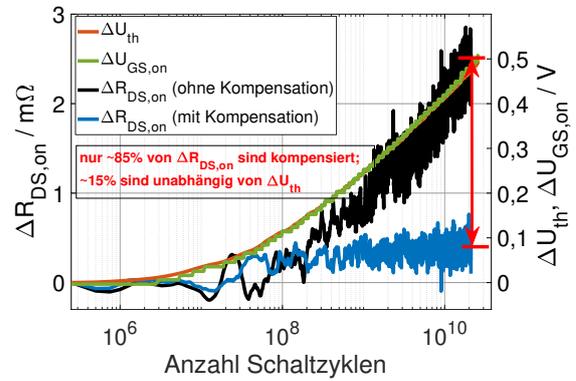
(a) Device A 650 V; lastwechseltypisch



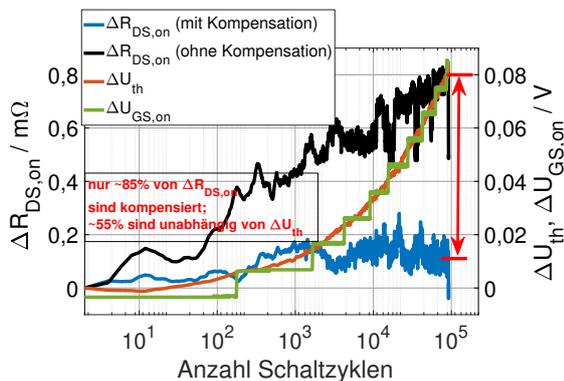
(b) Device A 650 V; anwendungsnäher



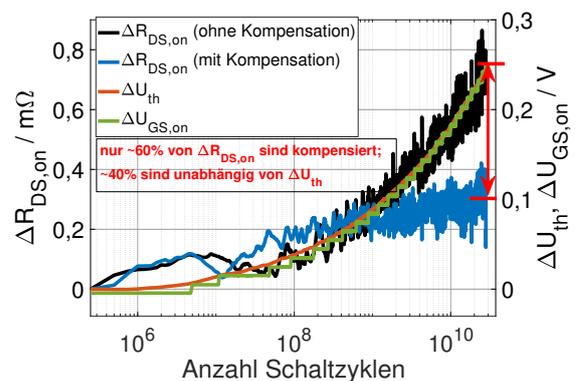
(c) Device B 650 V; lastwechseltypisch



(d) Device B 650 V; anwendungsnäher



(e) Device C 650 V; lastwechseltypisch



(f) Device C 650 V; anwendungsnäher

Abbildung 3.37: Vergleich von ΔU_{th} und $\Delta R_{DS,on}$ bei gepulster Gate-Spannung und Erweiterung mit applikationsnäherem Schalten mit und ohne Kompensation mittels Gatespannungsregelung; $T_{vj} = 150\text{ }^\circ\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$

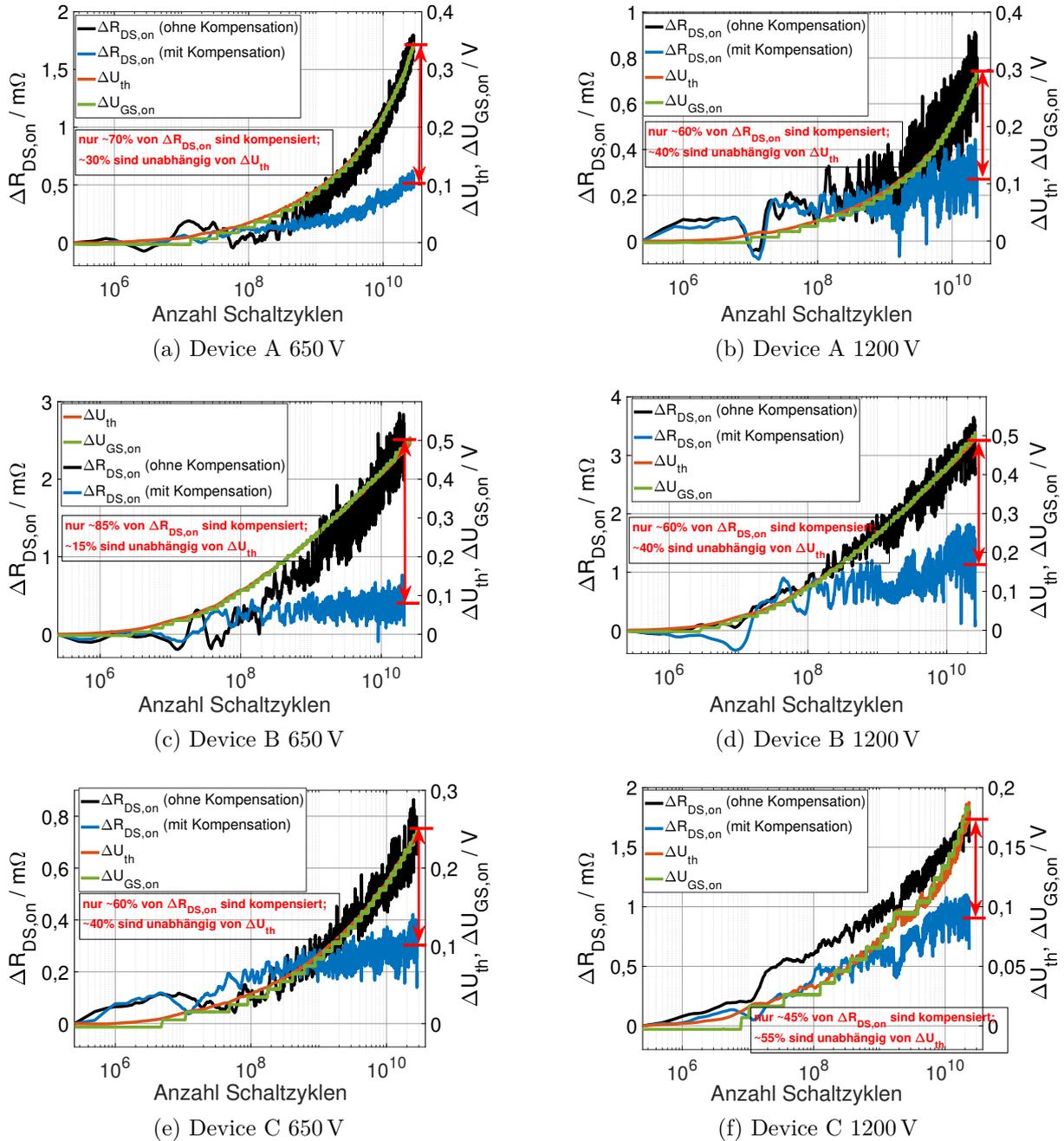


Abbildung 3.38: Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$ bei gepulster Gate-Spannung mit zusätzlichem applikationsnäheren Schalten; $T_{vj} = 150^\circ\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$

zur in [75] vorgeschlagenen Auswertung von ΔU_{th} bei Gate-Schalttests auch $\Delta R_{DS,on}$ gemessen werden muss, da eine Berechnung von $\Delta R_{DS,on}$ auf Grundlage des gemessenen U_{th} -Anstiegs — wie in [75] vorgeschlagen — zu einer deutlichen Unterschätzung des $R_{DS,on}$ -Anstiegs führen kann, vgl. Abbildung 3.38, und folglich für eine worst-case Abschätzung der parasitären EoL-Parameterverschiebung — wie in [75] intendiert — unzulässig ist. Es besteht zudem die Notwendigkeit, zusätzliche Drifteffekte weiter zu untersuchen und zu charakterisieren. Eine Methode, die die Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$, und so eine differenzierte Untersuchung überlappender Effekte, ermöglicht, wurde mit der Gatespannungsregelung (vgl. Abbildung 3.32) entwickelt und experimentell validiert.

3.3.5 Phänomenologische Modellierung

Die Langzeit- U_{th} -Verschiebung kann phänomenologisch mit einer Exponentialfunktion beschrieben werden [75]:

$$\Delta U_{th} = A \cdot N_{sw}^n \quad (3.12)$$

mit einer Konstanten A und einem Exponenten $0 < n < 1$, wodurch der Anstieg von ΔU_{th} mit steigender Anzahl an Schaltzyklen N_{sw} sinkt. Angewandt auf Lastwechseltests kann die Anzahl an Schaltzyklen durch die Zyklenzahl N_{Zyklus} ersetzt werden:

$$\Delta U_{th} = A \cdot N_{Zyklus}^n \quad (3.13)$$

Die beispielhafte Anwendung auf device A 1200 V zeigt **Abbildung 3.39**. Dabei entspricht ein Zyklus 9 s bzw. 2 Schaltzyklen im Fall eines lastwechseltypischen Gate-Profiles (gepulst) und 250.002 Schaltzyklen bei Erweiterung mit zusätzlichem applikationsnahen Schalten (geschaltet); vgl. Abbildung 3.36. Passend zu [75] zeigt sich ein Schnittpunkt von ΔU_{th} bei konstantem und geschaltetem Gate-Profil sowie — infolge der größeren Anzahl an Schaltzyklen — ein höherer Anstieg und somit Exponent des geschalteten Modells verglichen mit dem gepulsten.

In allen Fällen ist der Exponent kleiner Eins und somit der Anstieg in linearer Darstellung abnehmend. ΔU_{th} bedingt durch geschaltetes oder gepulstes Gate-Profil scheint zudem mehr-permanent bzw. irreversibel zu sein, was zur Reduktion parasitärer Parameterverschiebungen während eines Lastwechseltests von SiC-MOSFETs genutzt werden kann: Ein SiC-MOSFET, der einen Gate-Schalttest durchlaufen hat, sollte demnach bei einem nachgelagerten Lastwechseltest eine geringere Langzeit- ΔU_{th} -Verschiebung aufweisen, als ein frischer Prüfling. Wird eine Bedingung definiert, bei der ΔU_{th} als zu vernachlässigen

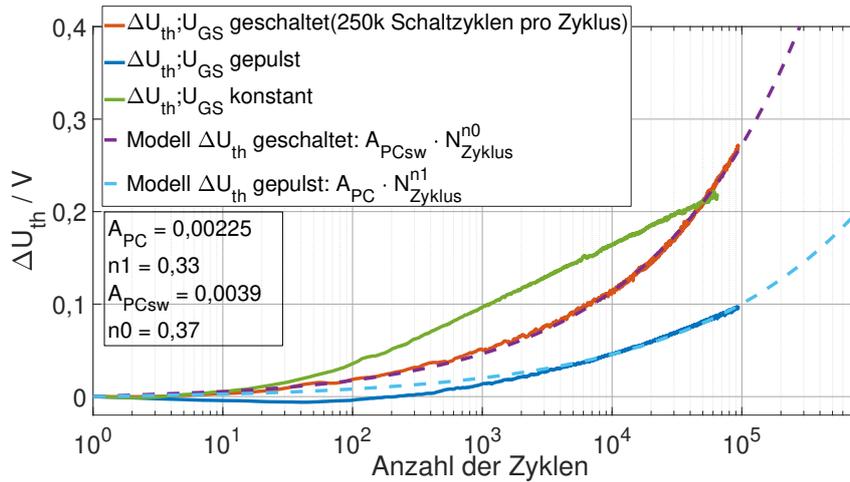


Abbildung 3.39: Phänomenologisches Modell zur Extrapolation von ΔU_{th} am Beispiel von device A 1200 V; $t_{on} = 3$ s; $t_{off} = 6$ s; $U_{GS,on} = 15$ V; $U_{GS,off} = -10$ V; $t_s = 5$ s; $f_s = 50$ kHz

angesehen wird, wie beispielsweise $\Delta U_{th} < 10$ mV innerhalb der nächsten 100.000 Zyklen, kann (3.13) genutzt werden, um die nötige Vorkonditionierungszeit zur Einhaltung dieser Bedingung abzuschätzen. Am Beispiel von device A 1200 V ergäbe sich so eine Vorkonditionierungszeit von ca. 12 Wochen. Da der identifizierte zusätzliche Effekt, der zu einem $R_{DS,on}$ -Anstieg führt, aber nicht mit ΔU_{th} im Zusammenhang steht, auch mit der Anzahl an Schaltzyklen bzw. Zyklen korreliert und einen abnehmenden Anstieg aufweist, vgl. Abbildung 3.34), sollte dieser unter der Annahme, dass dieser zusätzliche Effekt ebenfalls mehr-permanent bzw. irreversibel ist, sich ebenfalls mittels vorgelagerten Gate-Schalttests unterdrücken lassen, wodurch Lastwechseltests von SiC-MOSFETs nährungsweise ohne parasitäre Parameterverschiebung möglich wären. Dieser Ansatz, Lastwechseltests mit vorgeschalteter Vorkonditionierung, wird in Abschnitt 5.3 näher untersucht.

3.4 Fazit

Die wesentlichen Ergebnisse der Charakterisierung lassen sich wie folgt zusammenfassen:

- Eine reproduzierbare Erfassung einer Langzeit- U_{th} -Verschiebung von SiC-MOSFETs mittels Kennlinienschreiber ist aufgrund des Einflusses von transienten U_{th} -Instabilitäten auf das Messergebnis schwierig, weshalb eine kontinuierliche Erfassung während Lastwechseltests erfolgen sollte. Ein entsprechendes Konzept, welches sich einfach in bestehende Prüfstandslösungen zum Lastwechseln von SiC-MOSFETs integrieren lässt, wurde entwickelt.
- Die Schwellspannung von SiC-MOSFETs ändert sich ständig während eines Lastwechseltests, wobei zwischen reversiblen, transienten Instabilitäten und einer mehr-

permanenten Langzeit- U_{th} -Verschiebung zu unterscheiden ist. Transiente Effekte können insbesondere die Sperrschichttemperaturmessung beeinflussen, eine Langzeit- U_{th} -Verschiebung zusätzlich die Separation und Identifikation von Degradationen und Ausfällen im elektrischen Pfad sowie den eingestellten Lastwechselarbeitspunkt. Da SiC-MOSFETs unterschiedliche Charakteristiken aufweisen, hat dies Auswirkungen auf die Vergleichbarkeit der generierten Lebensdauermodelle aus Lastwechseltests.

- Der Einfluss von ΔU_{th} auf $\Delta R_{DS,on}$ wird wesentlich vom Anteil des Kanalwiderstands R_{ch} an $R_{DS,on}$ beeinflusst. Höhere Temperaturen und positivere $U_{GS,on}$ führen zu einem stärkeren U_{th} -Anstieg, aber gleichzeitig, da der Anteil von R_{ch} an $R_{DS,on}$ sowohl mit steigender Temperatur als auch mit positiverer $U_{GS,on}$ sinkt, nicht unbedingt zu einem ausgeprägteren $R_{DS,on}$ -Anstieg. Eine negativere $U_{GS,off}$ hingegen bedingt einen stärkeren U_{th} -Anstieg, ohne den Anteil von R_{ch} an $R_{DS,on}$ zu beeinflussen, weshalb $U_{GS,off}$ ein kritischer Parameter ist, der bei Anwendung $U_{SD}(T)$ -Methode zur T_{vj} -Erfassung während eines Lastwechseltests hinreichend negativ gewählt werden muss, um den Inversionskanal vollständig zu schließen. Gleichwohl zeigt der Vergleich mit einem konstanten Gate-Profil, dass die Applikation eines gepulsten Gate-Profils — wie zur Anwendung $U_{SD}(T)$ -Methode notwendig — eine geeignete Methode ist, um die parasitären U_{th} - und $R_{DS,on}$ -Anstiege zu reduzieren.
- Die Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$ bei konstanter Temperatur offenbart eine weitere Driftkomponente, die unter gepulster Gate-Spannung zu einem $R_{DS,on}$ -Anstieg führt und durch Unterschreiten einer negativen $U_{GS,off}$ -Schwelle getriggert wird. Der Vergleich eines lastwechselltypischen Gate-Profils mit zusätzlichem applikationsähnlichem Schalten offenbart ferner, dass lastwechselltypisches Schalten zu einem deutlich stärkeren U_{th} -Anstieg je Schaltzyklus führt, weshalb applikationsnahe Gate-Schalttests nicht geeignet sind, um eine U_{th} -Verschiebung während eines Lastwechseltests vorherzusagen und umgekehrt.
- Da die Langzeit- U_{th} -Verschiebung unter gepulster Gate-Spannung scheinbar permanent ist und mit abnehmendem Anstieg in Korrelation mit der Anzahl an Schaltzyklen zunimmt, sind Lastwechseltests mit vorheriger Vorkonditionierung ein vielversprechender Ansatz zur Unterdrückung dieser parasitären Drifteffekte.

4 Bestimmung der virtuellen Sperrschichttemperatur

Die Messung der virtuellen Sperrschichttemperatur T_{vj} durch Ausnutzung der Temperaturabhängigkeit elektrischer Parameter (TSEPs) erlaubt die T_{vj} -Bestimmung ohne Präparation des Gehäuses oder Halbleiters, was dieses Messverfahren sowohl zur T_{vj} -Bestimmung in der Anwendung als auch während Lastwechseltests attraktiv macht. Prinzipiell kann jeder elektrischer Parameter zur Temperaturbestimmung genutzt werden [107], weshalb zahlreiche Temperaturmessmethoden unter Verwendung von TSEPs für Si-Bauelemente bekannt sind; Zusammenfassungen können beispielsweise [144] oder [145] entnommen werden.

Um eine robuste und einfache Temperaturmessung während eines Lastwechseltests zu gewährleisten, ist eine lineare Temperaturabhängigkeit des TSEPs und ein geringer Kalibrierungsaufwand vorteilhaft, was im Fall von Si-IGBTs bei Nutzung des Spannungsabfalls in Vorwärtsrichtung gemessen bei kleinem Messstrom ($U_{CE}(T)$ -Methode) der Fall ist [107] [146]. Alternative TSEPs weisen eine geringere Temperatursensitivität und/oder einen höheren Messaufwand auf [146].

4.1 Indirekte Temperaturmessung mittels $U_{SD}(T)$ -Methode

Im Fall von SiC-MOSFETs ist die Definition eines geeigneten TSEPs schwieriger, da infolge von Schwellspannungsinstabilitäten (vgl. Kapitel 3) zahlreiche elektrische Parameter nicht stabil und somit für eine zuverlässige Temperaturerfassung während eines Lebensdauertests ungeeignet sind [132] [147] [148]. Eine Lösung bietet die Nutzung des Spannungsabfalls über der inversen Body-Diode bei kleinem Messstrom ($U_{SD}(T)$ -Methode; vgl. Abschnitt 2.3.6) [132], wobei ein Messstrom gewählt werden sollte, der klein genug ist, um Selbsterwärmung und den Einfluss weiterer resistiver Anteile (vgl. Abbildung 2.4) zu vernachlässigen, und groß genug, um auch hohe T_{vj} mit einem hinreichend hohen Spannungsabfall erfassen zu können, was bei Wahl eines Messstromes im unteren mA-Bereich der Fall ist [149]. Damit ermöglicht die Anwendung der $U_{SD}(T)$ -Methode bei SiC-MOSFETs eine vergleichbare Temperaturerfassung, wie mittels $U_{CE}(T)$ -Methode bei Si-IGBTs erreicht wird [105]. Voraussetzung hierfür ist, dass der Inversionskanal vollständig geschlossen ist, was im Gegensatz zu Si-MOSFETs bei SiC-MOSFETs bei $U_{GS,off} = 0\text{ V}$ nicht der Fall ist, weshalb eine geeignete negative $U_{GS,off}$, die den Kanal vollständig schließt, anzulegen

ist [132]. Zur anwendungsnahen Prüfung ist zudem der Laststrom in Vorwärtsrichtung zu applizieren, was den Prüfaufwand erhöht; vgl. Abschnitt 2.3.6.

4.1.1 Statische Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$

Zur Absicherung einer gültigen Temperaturmessung bei Lastwechselltests ist daher zunächst zu untersuchen, bei welcher $U_{GS,off}$ der Kanal vollständig geschlossen ist. Als DUTs dienten beispielhaft fünf 1200 V SiC-MOSFETs im TO-247 Gehäuse, wie **Tabelle 4.1** zusammenfasst. Dabei ist gemäß der korrespondierenden Datenblättern in keinem der untersuchten Prüflinge eine anti-parallele Schottky-Diode verbaut, sodass die Anwendbarkeit der $U_{SD}(T)$ -Methode zu erwarten ist; device A, B und C entsprechen den in Kapitel 3 untersuchten 1200 V-Bauelementen (vgl. Tabelle 3.1).

Tabelle 4.1: Untersuchte DUTs

Hersteller	Spannungsklasse	Technologie	Bezeichnung
A	1200 V	Trench	device A
B	1200 V	Planar	device B
C	1200 V	Planar	device C
D	1200 V	Trench	device D
E	1200 V	Planar	device E

Zur Aufnahme der $U_{SD} = f(U_{GS,off})$ -Charakteristik wurden die Prüflinge auf einer Heizplatte montiert, eine Messstromquelle mit $I_{Mess} = 5 \text{ mA}$ angelegt und $U_{GS,off}$ über ein Labornetzteil in 0,5 V Schritten variiert. Die korrespondierende Source-Drain Spannung wurde bei unterschiedlichen Temperaturen mittels Multimeter gemessen; die Ergebnisse fasst **Abbildung 4.1** zusammen. Als Referenzmessung diente zusätzlich ein Si-MOSFET, bei dem wie erwartet U_{SD} näherungsweise unabhängig von der anliegenden Gate-Spannung ist, wenn $U_{GS,off} \leq 0 \text{ V}$; vgl. Abbildung 4.1f.

Zu erwarten war, dass mit zunehmend negativerer $U_{GS,off}$ der Inversionskanal zunehmend abgeschnürt wird, was folglich zu einem Anstieg von U_{SD} bei kleinem Messstrom führt, und dass U_{SD} bei Unterschreiten einer negativen $U_{GS,off}$, die den Inversionskanal vollständig schließt, unabhängig von weiteren Variationen von $U_{GS,off}$ wird. Dieses Verhalten wurde grundsätzlich beobachtet, mit zwei Ausnahmen:

- Im Fall von device C erreicht U_{SD} bei ca. $U_{GS,off} = -8 \text{ V}$ einen Scheitelwert und beginnt anschließend wieder zu sinken. Es kann offensichtlich keine $U_{GS,off}$ gefunden

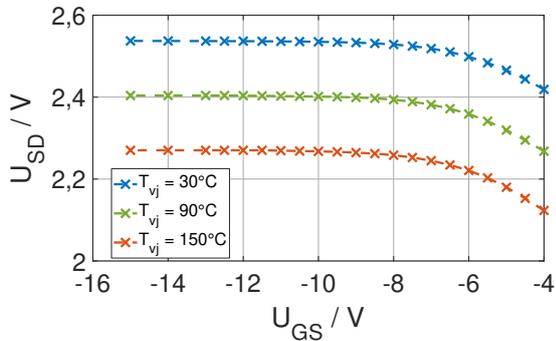
werden, die den Inversionskanal von device C vollständig schließt, was folglich die Anwendbarkeit der $U_{SD}(T)$ -Methode bei SiC-MOSFETs dieses Herstellers grundsätzlich in Frage stellt. Diese Charakteristik ist zusätzlich temperaturabhängig, wie in Abbildung 4.1c zu sehen.

- Auffallend ist zudem, dass bei allen SiC-MOSFETs im Arbeitspunkt $T_{vj} = 30^\circ\text{C}$ und $U_{GS,off} = -15\text{ V}$ $U_{SD} > 2,5\text{ V}$ ist, wie erwartet, allerdings nicht bei device C und device D, was darauf hindeutet, dass sich bei beiden Prüflingen der Kanal nicht vollständig schließen lässt, wobei hier insbesondere device D mit $U_{SD} \approx 2\text{ V}$ (vgl. Abbildung 4.1d) in diesem Arbeitspunkt hervorsteht. Zudem steigt U_{SD} im Fall von device D auch bei zunehmend negativeren $U_{GS,off}$ weiter leicht an, was auch für einen nicht vollständig geschlossenen Inversionskanal spricht und die Anwendbarkeit der $U_{SD}(T)$ -Methode auch für diesen Prüfling grundsätzlich in Frage stellt.

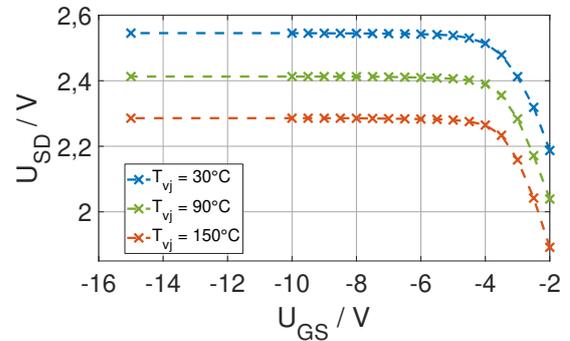
In [102] ist $U_{GS,off} = -5\text{ V}$ als Standardwert für die Anwendung der $U_{SD}(T)$ -Methode angegeben; in [132] wird darauf verwiesen, dass -6 V ausreichen, um den Inversionskanal von SiC-MOSFETs vollständig zu schließen, was im Falls von device B, aber beispielsweise nicht für device A stimmt; vgl. Abbildung 4.1. Offensichtlich lässt sich keine fixe Gate-Spannung $U_{GS,off}$ definieren, die für alle SiC-MOSFETs die Anwendbarkeit der $U_{SD}(T)$ -Methode garantiert. Stattdessen ist die individuelle Charakterisierung eines SiC-MOSFETs hinsichtlich einer geeigneten $U_{GS,off}$ nötig. Gleichwohl scheint der zu erwartende Messfehler bei $U_{GS,off} = -10\text{ V}$ bei allen DUTs gering; vgl. Abbildung 4.1, was nachfolgend weiter untersucht wird. Hierzu zeigt **Abbildung 4.2** zunächst die aufgenommenen Kalibrierkennlinien $T_{vj} = f(U_{SD})$ bei $U_{GS,off} = \{-15\text{ V}; -10\text{ V}; -6\text{ V}\}$, wobei bei allen DUTs und $U_{GS,off}$ eine zu Si-MOSFETs vergleichbare lineare Charakteristik festzustellen ist mit einer Temperatursensitivität von ca. $-2 \frac{\text{mV}}{\text{K}}$. Dabei hängt die Sensitivität bei nicht vollständig geschlossenem Kanal von der anliegenden $U_{GS,off}$ ab. Ist der Kanal hingegen geschlossen, ist die Sensitivität unabhängig von $U_{GS,off}$.

Angesichts der geringen Temperatursensitivität ist die Quantifizierung des zu erwartenden Messfehlers infolge eines nicht vollständig geschlossenen Inversionskanals aus Abbildung 4.1 schwierig. Unter Annahme, dass der Kanal bei $U_{GS,off} = -15\text{ V}$ vollständig geschlossen ist, kann die Differenz $\Delta U_{SD}(T)$ abhängig von $U_{GS,off}$ mit bekannter Temperaturabhängigkeit (vgl. Abbildung 4.2) aufgetragen werden. Diese relative Darstellung ist in **Abbildung 4.3** gezeigt; sie erlaubt es, den zu erwartenden statischen Temperaturmessfehler ΔT_{err} direkt abzulesen.

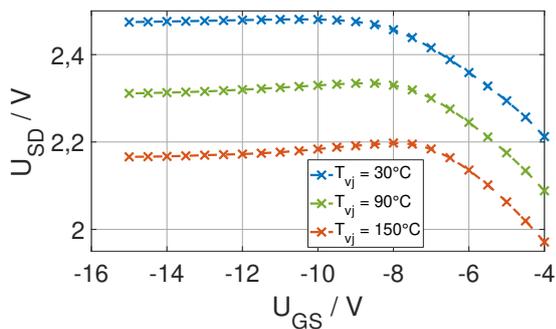
Gemäß AQG 324 [102] ist eine Sperrschichttemperaturmessgenauigkeit von $\pm 5\text{ K}$ gefordert, weshalb der zu erwartende Temperaturmessfehler ΔT_{err} zumindest etwas geringer sein sollte, um die Anwendbarkeit der $U_{SD}(T)$ -Methode zu gewährleisten. Bei $U_{GS,off} = -10\text{ V}$ ist diese notwendige Bedingung, unter Annahme eines richtigen Wertes bei $U_{GS,off} = -15\text{ V}$,



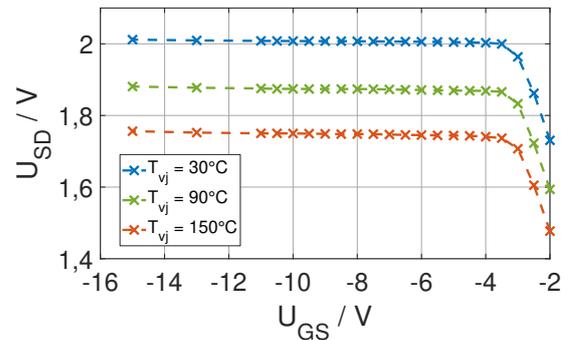
(a) Device A



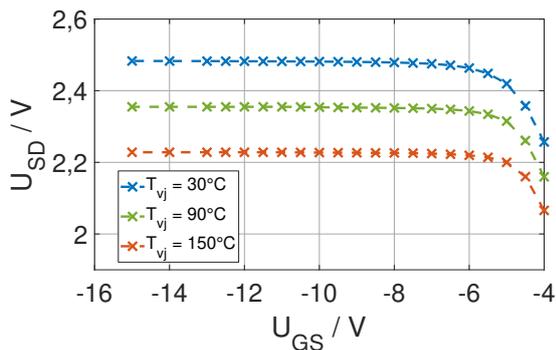
(b) Device B



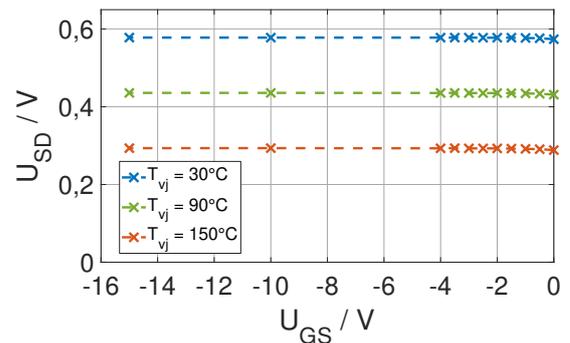
(c) Device C



(d) Device D

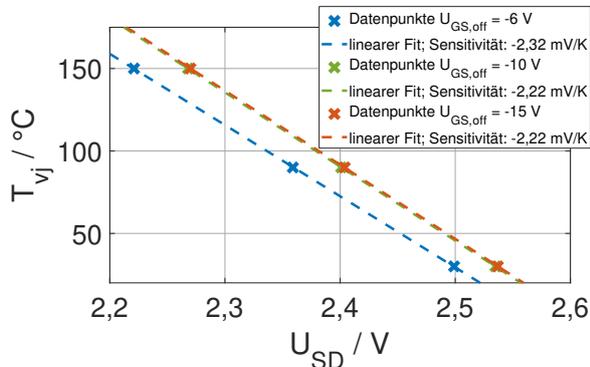


(e) Device E

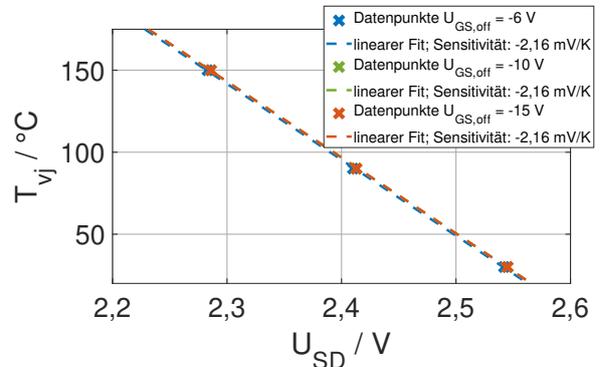


(f) Si Referenz

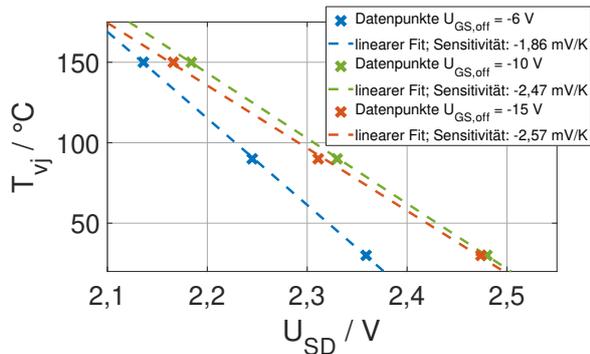
Abbildung 4.1: Statische Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$; $I_{Mess} = 5 \text{ mA}$



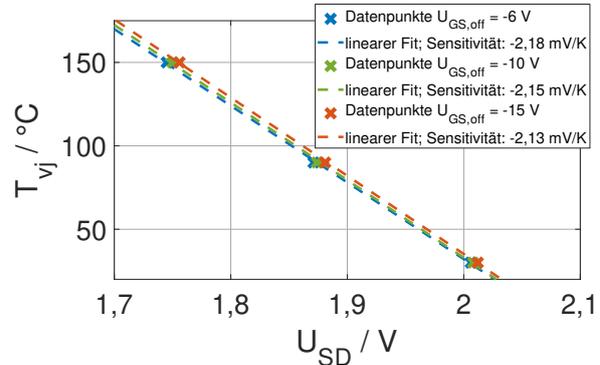
(a) Device A



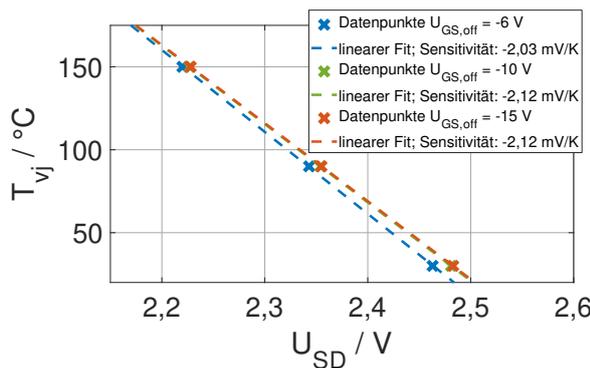
(b) Device B



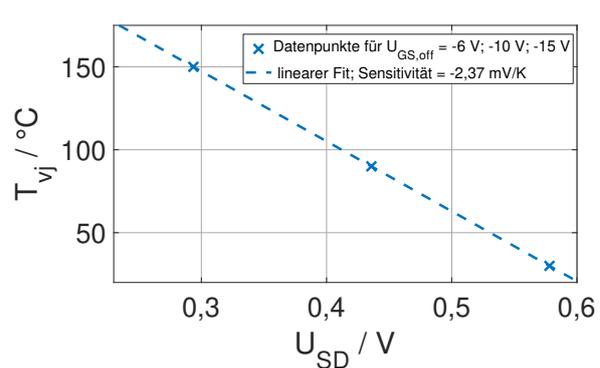
(c) Device C



(d) Device D



(e) Device E



(f) Si Referenz

Abbildung 4.2: Statische Kalibrierkurven bei $U_{GS,off} = \{-15 \text{ V}; -10 \text{ V}; -6 \text{ V}\}$; $I_{Mess} = 5 \text{ mA}$

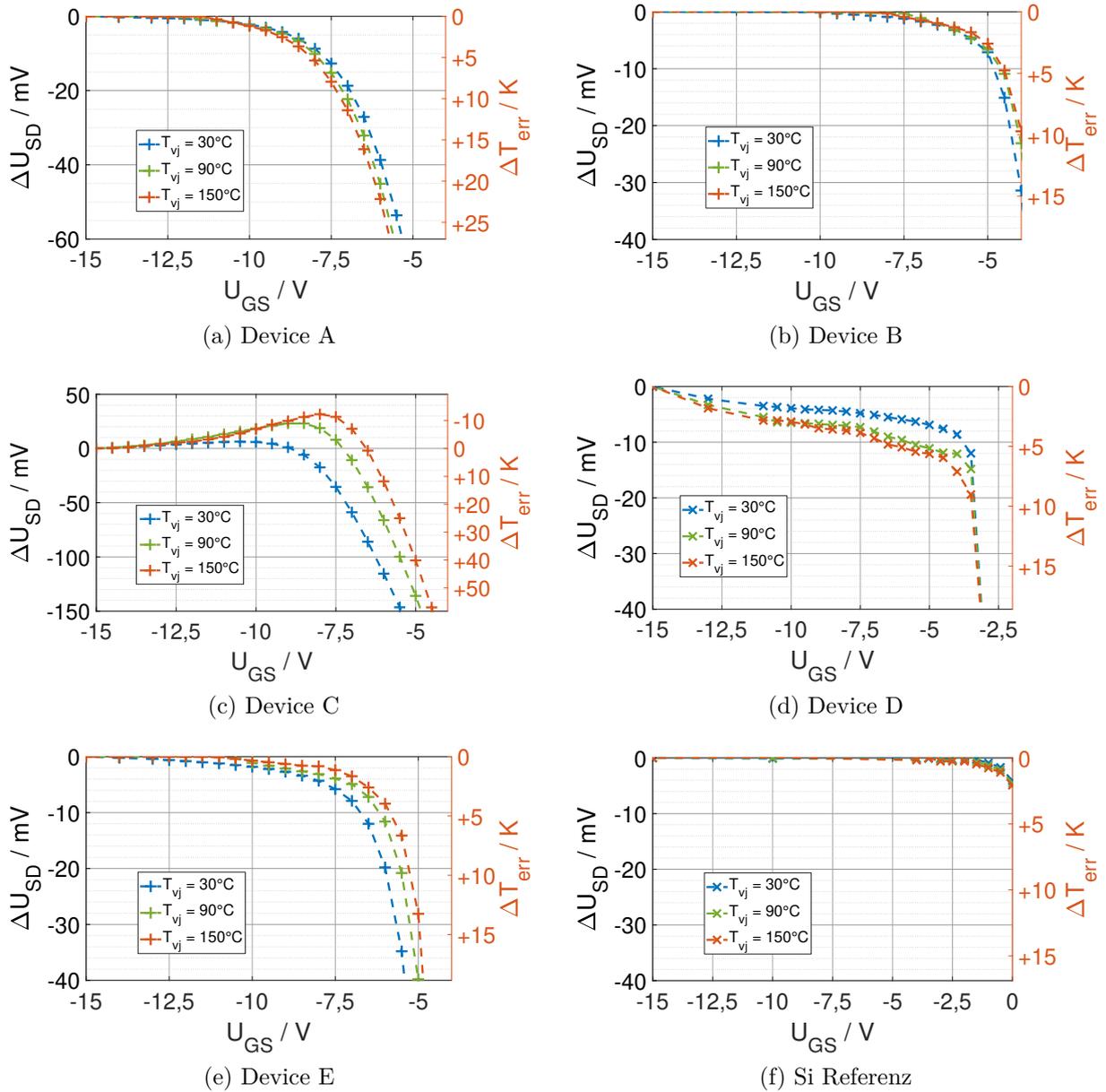


Abbildung 4.3: Statische Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$; $I_{Mess} = 5 \text{ mA}$

bei allen DUTs bis auf device C erfüllt. Bei $U_{GS,off} = -5\text{ V}$ hingegen ist diese Bedingung nur für device B erfüllt, weshalb $U_{GS,off} = -10\text{ V}$ als Richtwert zur Anwendung der $U_{SD}(T)$ -Methode — sofern man einen definieren möchte — sinnvoller erscheint. Kritisch hierbei ist insbesondere, dass bei nicht vollständig geschlossenem Kanal ein zu geringer Spannungsabfall gemessen wird, da ein Teil des Messstromes über den Inversionskanal fließt. Aufgrund des negativen Temperaturkoeffizienten entsteht folglich eine Überschätzung der Sperrschichttemperatur — der Prüfling wird fälschlicherweise zu mild getestet und die Lebensdauer überschätzt. Eine Ausnahme bildet hier device C, wenn $U_{GS,off}$ um -8 V beträgt (vgl. Abbildung 4.3c), wobei die Gültigkeit der Annahme eines richtigen Temperaturmesswertes bei $U_{GS,off} = -15\text{ V}$ im Fall von device C fraglich erscheint.

U_{th} weist eine negative Temperaturabhängigkeit auf, sodass der Abstand zwischen einer fest eingestellten $U_{GS,off}$ und U_{th} mit steigender Temperatur sinkt, was folglich bei hohen Temperaturen zu einem teilweise Öffnen des Inversionskanals führen kann und eine Zunahme von ΔT_{err} bei steigender Temperatur erwarten lässt. Dies zeigt sich auch bei den getesteten Trench SiC-MOSFETs device A und device D, interessanterweise allerdings nicht bei den getesteten planaren SiC-MOSFETs, bei denen der Inversionskanal scheinbar mit steigender Temperatur weiter abschnürt, was folglich auch ΔT_{err} reduziert; vgl. Abbildung 4.3.

4.1.2 Transiente Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$

$U_{SD}(T)$ bei einer konstanten $U_{GS,off}$ ist sowohl von der Temperatur abhängig (vgl. Abbildung 4.3) als auch — sofern der Inversionskanal nicht vollständig geschlossen ist — von U_{th} -Instabilitäten, wobei insbesondere transiente Abweichungen zum Zeitpunkt der $T_{vj,max}$ -Ermittlung mehrere Volt betragen können (vgl. Abschnitt 3.2) und so das Potential aufweisen, das Messergebnis maßgeblich zu verfälschen. Selbst wenn der Kanal statisch geschlossen ist, wäre eine transiente Öffnung denkbar. Um eine separate und quantifizierende Betrachtung der Einflussgrößen auf die ermittelte virtuelle Sperrschichttemperatur zu ermöglichen, erfolgt zunächst eine Untersuchung bei konstanter Temperatur und anschließend im Lastwechselstand mit rapide wechselnder Temperatur.

Charakterisierung auf Heizplatte — T_{vj} konstant

Zur Untersuchung des Einflusses von transienten U_{th} -Instabilitäten auf die $T_{vj,max}$ -Ermittlung mittels $U_{SD}(T)$ -Methode wurde den Prüflingen ein beispielhaftes lastwechseltypisches Gate-Profil appliziert und $U_{SD}(T_{vj,max})$ mittels 12-bit Oszilloskop beginnend vom Ausschaltzeitpunkt ($t = 0\text{ s}$) bis 10 ms danach gemessen, sodass sich eine vertikale Auflösung von ca. 1 mV für die U_{SD} -Messung ergibt. Die Messungen erfolgten bei konstanter Temperatur auf einer Heizplatte, wobei zur Quantifizierung des Temperaturmessfehlers eine

Kalibrierung mit exakt dem selben Messaufbau erfolgte, sodass Abweichungen einzig auf die unterschiedlichen $U_{GS,off}$ zurückzuführen sind.

Nachfolgend sind in **Abbildung 4.4** exemplarisch die Ergebnisse von device A gezeigt. Wie erwartet, lässt sich die eingestellte Heizplatten-Temperatur $T_{Heizplatte}$ in guter Übereinstimmung mittels $U_{SD}(T)$ -Methode erfassen, wenn $U_{GS,off} = -15\text{ V}$ bzw. -10 V beträgt. Hingegen besteht infolge des partiell geöffneten Inversionskanals eine Messabweichung bei $U_{GS,off} = -6\text{ V}$, die mit steigender Temperatur weiter ansteigt: Bei $T_{Heizplatte} = 50\text{ °C}$ beträgt die Abweichung ca. 13 K, bei $T_{Heizplatte} = 175\text{ °C}$ ca. 25 K. Diese Abhängigkeit ließ sich bereits aus der statischen $U_{SD}(T)$ -Abhängigkeit von $U_{GS,off}$ ablesen (vgl. Abbildung 4.3a), wobei aus der statischen $U_{SD}(T)$ -Abhängigkeit von $U_{GS,off}$ bei $T_{vj} = 150\text{ °C}$ eine Messabweichung bei $U_{GS,off} = -6\text{ V}$ von ca. 22 K ablesbar ist. Diese passt exakt zu der transient ermittelten für $t > 2,5\text{ ms}$; vgl. Abbildung 4.4c, was zeigt, dass die statische Auswertung bereits eine geeignete Methode zur Charakterisierung einer geeigneten $U_{GS,off}$ und zur Quantifizierung der ggf. zu erwartenden Messabweichung ist. Gleichwohl zeigt sich bei $U_{GS,off} = -6\text{ V}$ ein Abfall der gemessenen U_{SD} während der aufgenommenen 10 ms, der sich auf transiente Schwellspannungsinstabilitäten zurückführen lässt (vgl. Abschnitt 3.2): Infolge der Schwellspannungshysterese ist die Änderung der gemessenen U_{SD} direkt nach dem Polaritätswechsel der Gate-Spannung am stärksten ausgeprägt, wobei während der Messung eine zunehmende Öffnung des Inversionskanals bedingt durch eine — passend zu den Ergebnissen in [132] — transiente U_{th} -Verringerung auftritt, was folglich bedeutet, dass die U_{th} -Hysterese den Messfehler von $T_{vj,max}$ bei nicht vollständig geschlossenem Inversionskanal verringert. Damit würde $T_{vj,min}$ stärker überschätzt werden als $T_{vj,max}$, was wiederum zu einer Überschätzung von $T_{vj,m}$ und Unterschätzung von ΔT_{vj} führen würde. Zusätzlich ist bei dieser Überlegung aber auch die Temperaturabhängigkeit der Messabweichung zu berücksichtigen, die für device A bei hohen Temperaturen — somit bei der $T_{vj,max}$ -Ermittlung — stärker ausfällt als bei kleineren, sodass $T_{vj,m}$ immer überschätzt, ΔT_{vj} arbeitspunkt- und deviceabhängig sowohl unter- als auch überschätzt werden kann. Zur genaueren Quantifizierung ist folglich eine Betrachtung im Lastwechselstand sinnvoll, die sowohl die rapiden Temperaturänderungen als auch die üblicherweise zur $T_{vj,max}$ -Ermittlung angewandte \sqrt{t} -Methode berücksichtigt; vgl. Abbildung 2.13.

Charakterisierung im Lastwechselstand — T_{vj} variabel

Liegt eine negative Gate-Spannung $U_{GS,off}$ an, die den Inversionskanal eines SiC-MOSFETs vollständig schließt, ist U_{SD} unabhängig von einer weiteren Verringerung von $U_{GS,off}$. Wird ferner angenommen, dass $U_{GS,off} = -15\text{ V}$ ausreicht, um den Inversionskanal vollständig zu schließen, und somit die $U_{SD}(T)$ -Methode bei $U_{GS,off} = -15\text{ V}$ einen korrekten Messwert T_{vj} liefert, kann der Messfehler ΔT_{err} , infolge einer nicht hinreichend negativen $U_{GS,off}$, mit der

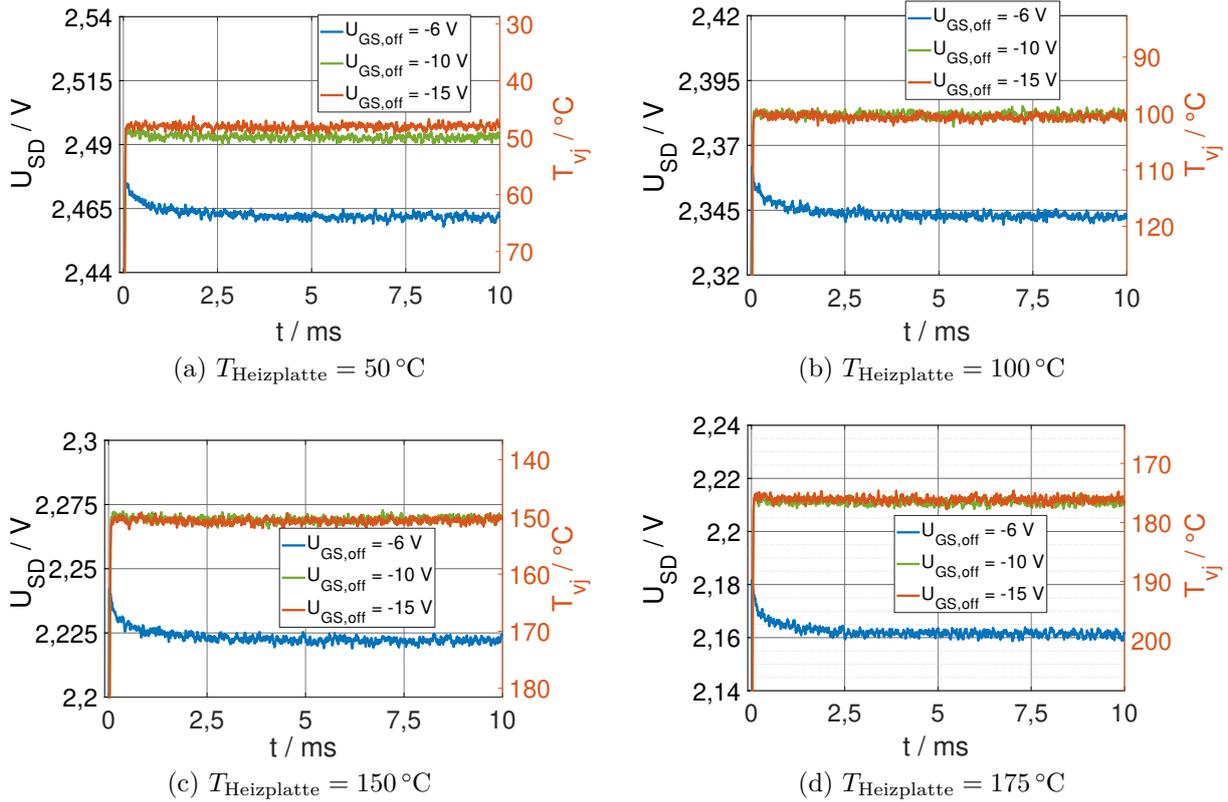


Abbildung 4.4: Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ bei konstanter Temperatur zum Zeitpunkt der $T_{vj,max}$ -Messung; Device A; $t_{on} = 3$ s; $t_{off} = 6$ s; $I_{Mess} = 5$ mA

in **Abbildung 4.5** gezeigten vereinfachten Messschaltung im Lastwechselstand quantifiziert werden: Hierzu wird nach einer kurzen Einlaufzeit bei $U_{GS,off} = -15$ V, die als Referenzwert für einen korrekten Messwert $U_{SD}(T_{vj,max})$ bzw. $U_{SD}(T_{vj,min})$ dient, über einen dem Gate-Treiber zusätzlich hinzugefügten Kleinstleistungsschalter S_3 , $U_{GS,off}$ automatisiert während des Lastwechseltests nach 200 Zyklen umgeschaltet, sodass eine sprunghafte Änderung der gemessenen U_{SD} zu diesem Zeitpunkt eindeutig auf die Änderung der $U_{GS,off}$ zurückzuführen ist. Um den Einfluss eventueller Degradationen der AVT auf die Temperaturmessung auszuschließen, erfolgt diese Umschaltung mehrmals je Testdurchlauf, sodass bei erneut anliegender $U_{GS,off} = -15$ V, $\Delta T_{err} \approx 0$ K betragen sollte. Dabei beinhaltet die $U_{SD}(T_{vj,max})$ -Messung bereits die \sqrt{t} -Methode. Als beispielhafte DUTs dienen device A und device C; die Messergebnisse zeigen **Abbildungen 4.6 und 4.7**.

Im Fall von device A (Abbildung 4.6) ist aus der statischen und transienten Ermittlung der Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ bei konstanter Temperatur zu erwarten, dass $U_{GS,off} = -10$ V zu vergleichbaren Messwerten wie $U_{GS,off} = -15$ V führt und bei $U_{GS,off} = -6$ V eine zu geringe $U_{SD}(T)$ bzw. eine zu hohe Sperrschichttemperatur gemessen wird. Diese Erwartung bestätigen die in Abbildung 4.6 gezeigten Messergebnisse, wobei auch bei $U_{GS,off} = -10$ V eine geringe Messabweichung von ca. 2 mV bzw. 1 K auftritt, die quantitativ exakt zu der in Abbildung 4.3a ermittelten passt. Aus Abbildung 4.3a

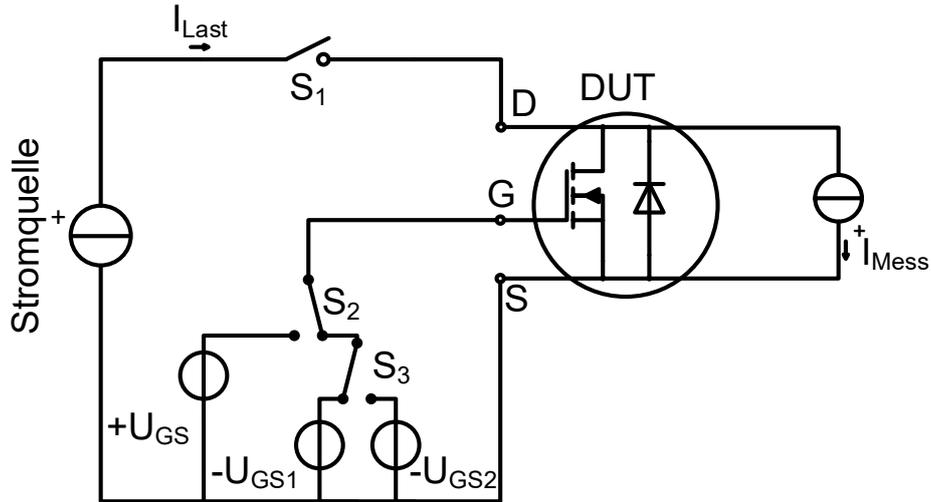


Abbildung 4.5: Vereinfachte Schaltung des Testaufbaus zur Untersuchung der Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselstand

kann ferner für $U_{GS,off} = -6\text{ V}$ ein Temperaturmessfehler von ca. 18 K bei $T_{vj} = 40^\circ\text{C}$ abgeschätzt werden, der sich auch bei der $T_{vj,min}$ -Erfassung im Lastwechselstand zeigt; vgl. Abbildung 4.6c bzw. 4.6d. Gemäß Abbildung 4.3a steigt die Überschätzung mit steigender Temperatur, was auch während des Lastwechseltests bei Vergleich von $U_{SD}(T_{vj,max})$ bei $\Delta T_{vj} = 60\text{ K}$ und $\Delta T_{vj} = 100\text{ K}$ zu sehen ist; vgl. Abbildung 4.6c bzw. 4.6d. Gleichwohl überschätzt die statische Betrachtung in Abbildung 4.3a den Messfehler von $T_{vj,max}$ während des Lastwechseltests, was auf transiente Schwellspannungsinstabilitäten zurückzuführen ist: Am Ende von t_{on} ist U_{th} gegenüber dem Zeitpunkt der $T_{vj,min}$ -Erfassung am Ende von t_{off} erhöht. Bei Potentialänderung der Gate-Spannung auf $U_{GS,off}$ verringert sich U_{th} dynamisch, was zu einer zunehmenden Öffnung des Inversionskanals — und damit einer ΔU_{th} -bedingten Zunahme des Messfehlers; vgl. Abbildung 4.4 — während t_{off} führt und die Temperaturabhängigkeit des Messfehlers zum Zeitpunkt der $T_{vj,max}$ -Erfassung bei $U_{GS,off} = -6\text{ V}$ und $\Delta T_{vj} = 60\text{ K}$ überkompensiert (Abbildung 4.6c) bzw. bei $U_{GS,off} = -6\text{ V}$ und $\Delta T_{vj} = 100\text{ K}$ teilweise kompensiert (Abbildung 4.6d). In den beispielhaft gewählten Arbeitspunkten bei $U_{GS,off} = -6\text{ V}$ wird sowohl $T_{vj,max}$ als auch $T_{vj,min}$ mit ca. 17 K bis 20 K deutlich überschätzt. Gleichwohl ist — infolge des kompensatorischen Effektes der transienten U_{th} -Instabilität zum Zeitpunkt der $T_{vj,max}$ -Erfassung — der Einfluss auf ΔT_{vj} gering: Bei $\Delta T_{vj} = 60\text{ K}$ wird ΔT_{vj} leicht unterschätzt und bei $\Delta T_{vj} = 100\text{ K}$ leicht überschätzt. Je nach Arbeitspunkt kann der Fehler der ΔT_{vj} -Ermittlung also positiv oder negativ sein, wenn der Inversionskanal nicht vollständig geschlossen ist.

Im Fall von device C lässt die statische Charakterisierung der $U_{SD}(T)$ -Abhängigkeit von $U_{GS,off}$ eine Überschätzung von U_{SD} bzw. Unterschätzung von T_{vj} bei $U_{GS,off} = -10\text{ V}$ im Vergleich zu $U_{GS,off} = -15\text{ V}$ und konträr dazu eine Unterschätzung von U_{SD} bzw. Überschätzung von T_{vj} bei $U_{GS,off} = -6\text{ V}$ ablesen; vgl. Abbildung 4.3c. Dies zeigt sich

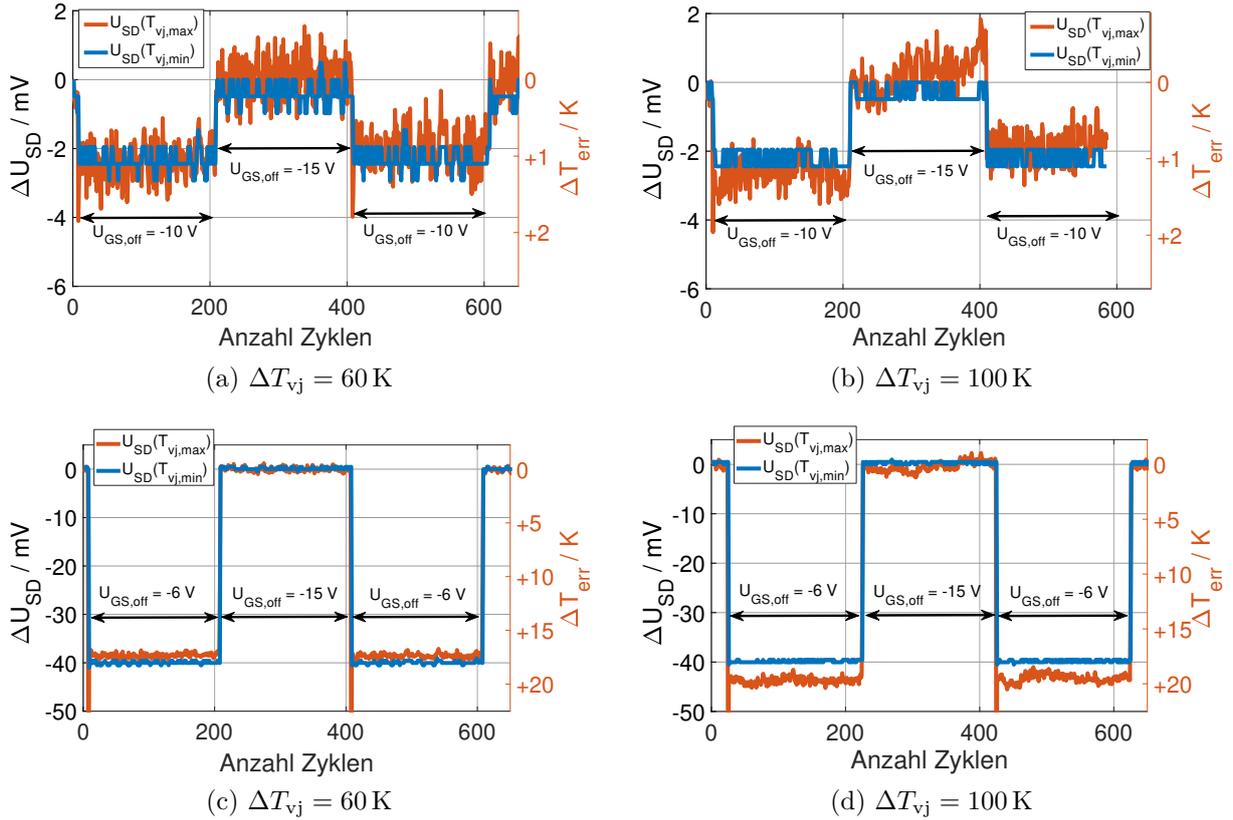


Abbildung 4.6: Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselzustand; Device A; $T_{vj,min} = 40\text{ }^{\circ}\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$

auch im Lastwechselzustand, wie in Abbildung 4.7 dargestellt. Aus der statischen Charakterisierung lässt sich ferner ablesen, dass bei $U_{GS,off} = -10\text{ V}$ die T_{vj} -Überschätzung im Temperaturbereich zwischen $90\text{ }^{\circ}\text{C}$ und $150\text{ }^{\circ}\text{C}$ temperaturunabhängig ca. 8 K beträgt. Bei Temperaturen um $30\text{ }^{\circ}\text{C}$, ist die T_{vj} -Überschätzung hingegen kleiner 5 K . Beides bestätigt sich sowohl qualitativ als auch quantitativ während der beispielhaften Lastwechseltests bei der $U_{SD}(T_{vj,max})$ -bzw. $U_{SD}(T_{vj,min})$ -Erfassung; vgl. Abbildung 4.7a bzw. 4.7b.

Beträgt $U_{GS,off} = -6\text{ V}$, lässt sich der statischen Charakterisierung (Abbildung 4.3c) eine T_{vj} -Überschätzung von ca. 40 K bei $T_{vj} = 40\text{ }^{\circ}\text{C}$ bzw. ca. 25 K bei $T_{vj} = 100\text{ }^{\circ}\text{C}$ und ca. 12 K bei $T_{vj} = 150\text{ }^{\circ}\text{C}$ entnehmen, was auch quantitativ recht gut zu den Messwerten während der beispielhaften Lastwechsel passt; vgl. Abbildung 4.7c bzw. 4.7d, wobei die Abweichung von $T_{vj,min}$ im Lastwechselzustand mit ca. 45 K etwas stärker und von $T_{vj,max}$ mit ca. 18 K bei $\Delta T_{vj} = 60\text{ K}$ bzw. ca. 10 K bei $\Delta T_{vj} = 100\text{ K}$ etwas geringer ausfällt. Zusätzlich fällt ein leichter Abfall der Messabweichung ΔT_{err} während der Lastwechselzyklen, wenn $U_{GS,off} = -6\text{ V}$ beträgt, auf, der nicht bei $U_{GS,off} = -15\text{ V}$ auftritt und, nachdem $U_{GS,off} = -15\text{ V}$ für eine Weile anlag, scheinbar wieder von vorn beginnt, was die Vermutung einer transienten U_{th} -Verschiebung nahelegt, die sich bei $U_{GS,off} = -6\text{ V}$ auch auf die Temperaturmessung niederschlägt. Dieser Versatz ist allerdings vergleichsweise gering und wurde daher nicht weiter untersucht.

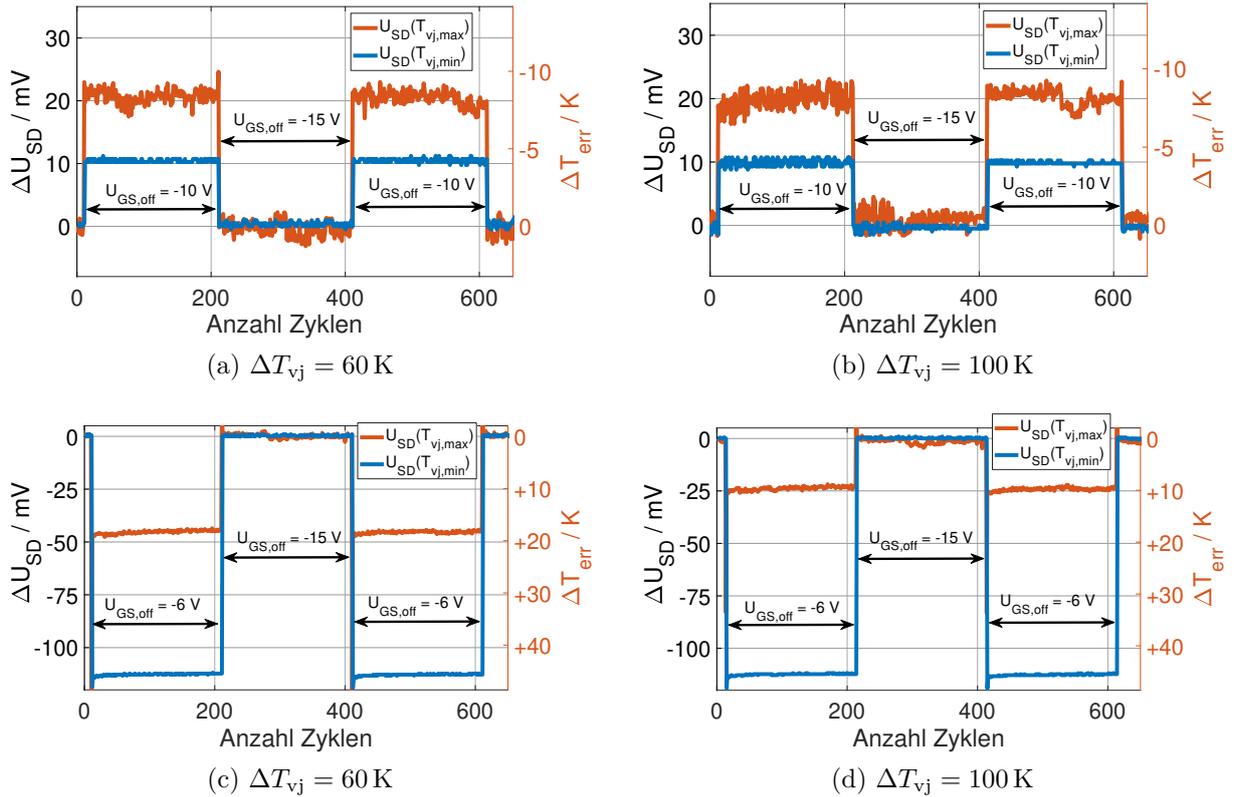


Abbildung 4.7: Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselzustand; Device C; $T_{vj,min} = 40 \text{ }^\circ\text{C}$; $t_{on} = 3 \text{ s}$; $t_{off} = 6 \text{ s}$; $I_{Mess} = 5 \text{ mA}$

Die bisherigen Betrachtungen entsprechen dem Fall, dass der Prüfling bei $U_{GS,off} = -15 \text{ V}$ kalibriert und mit $U_{GS,off} = -10 \text{ V}$ bzw. $U_{GS,off} = -6 \text{ V}$ gelastwechselt wird. Denkbar ist ebenso, dass die selbe $U_{GS,off}$ während der Kalibrierung anliegt, die auch im nachgelagerten Lastwechseltest zur Anwendung der $U_{SD}(T)$ -Methode appliziert wird. Dieses Vorgehen reduziert den Messfehler bei nicht vollständig geschlossenem Inversionskanal deutlich, wie **Abbildung 4.8** am Beispiel von $U_{GS,off} = -6 \text{ V}$ und device A sowie device C zeigt: Dabei wurden auf die in Abbildung 4.6 und 4.7 gezeigten Messungen, vorher aufgenommene Kalibrierkennlinien bei $U_{GS,off} = -6 \text{ V}$ bzw. $U_{GS,off} = -15 \text{ V}$ auf 200 Zyklen angewandt, bei denen die entsprechende $U_{GS,off}$ während des Lastwechseltests anlag. Mithilfe der gezeigten direkten Gegenüberstellung, lässt sich der Messfehler in den beiden beispielhaft gewählten Arbeitspunkten quantifizieren:

- Im Fall von device A betrifft die Messabweichung nur $T_{vj,max}$ und ist mit bis zu 4 K gering. Dabei wird, entgegen des vorher betrachteten Falls, bei Anwendung der selben $U_{GS,off}$ während der Kalibrierung und Testdurchführung und nicht vollständig geschlossenem Inversionskanal $T_{vj,max}$ und somit auch ΔT_{vj} unterschätzt — der Prüfling würde etwas zu harsch getestet werden.
- Im Fall von device C ist sowohl die $T_{vj,max}$ als auch $T_{vj,min}$ -Messung betroffen, wobei

$T_{vj,max}$ arbeitspunktabhängig unterschätzt und $T_{vj,min}$ überschätzt wird. In den beiden Arbeitspunkten ergäbe sich somit ebenfalls eine Unterschätzung des Temperaturhubes — der Prüfling würde bei $U_{GS,off} = -6\text{ V}$ zu harsch getestet und die Lebensdauer tendenziell unterschätzt werden.

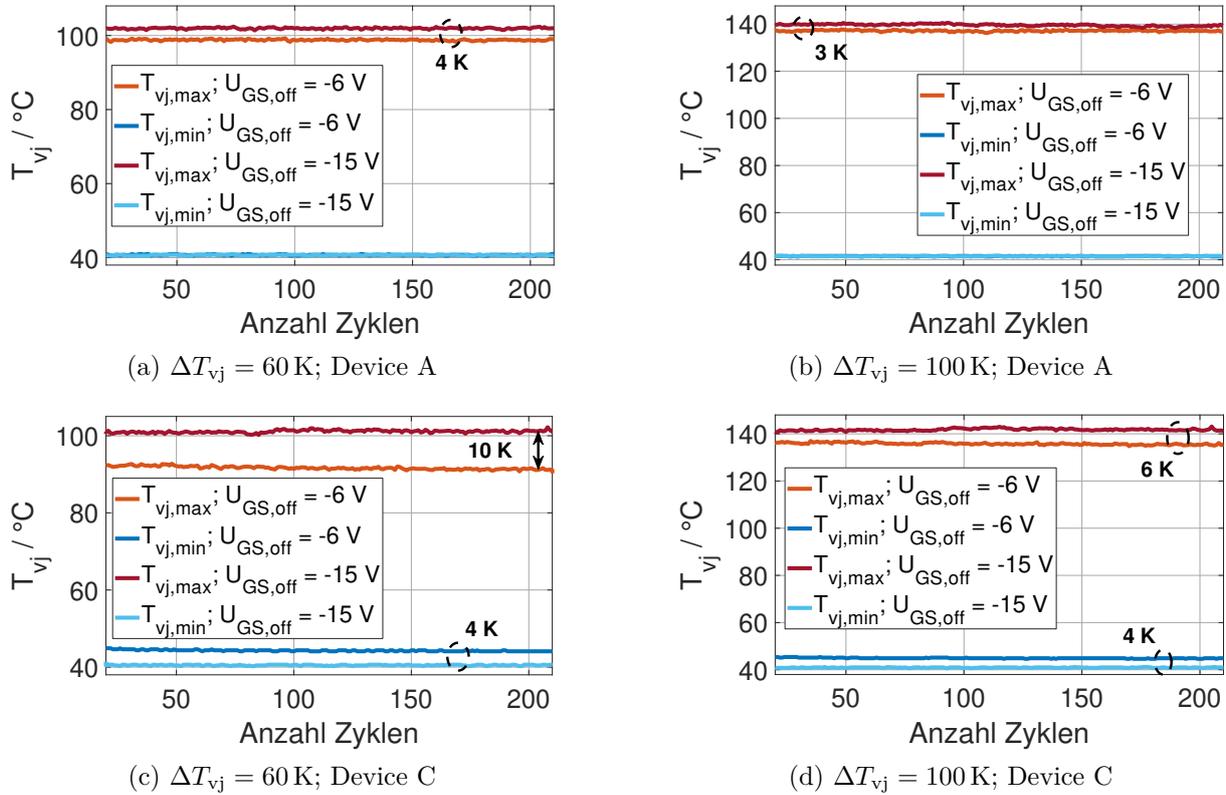


Abbildung 4.8: Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselstand; $T_{vj,min} = 40\text{ }^{\circ}\text{C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$

Diese Ergebnisse bestätigen die in [150] dokumentierten, bei denen zusätzlich die Ermittlung einer Referenztemperatur mittels Infrarotmessung (IR-Messung) aufgrund optisch zugänglicher DUTs möglich war: Die $U_{SD}(T)$ -Methode führt bei einigen SiC-MOSFETs zu großen Abweichungen in der Genauigkeit der Temperaturerfassung, weshalb die Anwendbarkeit der $U_{SD}(T)$ -Methode auf ein konkretes SiC-MOSFET-Design zur Absicherung der Lastwechselergebnisse zu überprüfen ist. Kritisch festzuhalten ist, dass für device C keine negative Gate-Spannung identifiziert werden konnte, die den Kanal vollständig schließt, weshalb auch bei $U_{GS,off} = -15\text{ V}$ ein Messfehler zu erwarten ist, der nicht genau quantifiziert werden kann. Die Anwendung der $U_{SD}(T)$ -Methode auf device C ist somit auch bei sehr negativen $U_{GS,off}$ fraglich, was die Frage alternativer Temperaturmessverfahren aufwirft, um eine Qualifizierung auch solcher SiC-MOSFETs zu ermöglichen, bei denen die $U_{SD}(T)$ -Methode zur zuverlässigen T_{vj} -Messung während eines Lastwechseltests nicht geeignet ist.

4.2 Direkte Temperaturmessung mittels chip-integriertem Sensor

Zum Übertemperaturschutz im Umrichterbetrieb sowie ggf. zur Zustandsüberwachung, weisen einige Leistungshalbleiterchips einen monolithisch integrierten Temperatursensor auf, der aus einer kleinen Diode oder einer Reihenschaltung mehrerer Dioden besteht und direkt auf der Chipoberfläche lokalisiert ist. Ist ein solcher Sensor vorhanden, kann dieser auch zur Sperrschichttemperaturerfassung während eines Lastwechseltests genutzt werden: Der temperaturabhängige Spannungsabfall in Vorwärtsrichtung über diese Dioden $U_{AK}(T)$, gemessen bei kleinem Messstrom, entspricht der etablierten $U_{CE}(T)$ -Methode angewandt auf die integrierten Temperaturmessdioden. Da durch den Sensor kein Laststrom fließt, erlaubt dessen Anwendung sowohl eine verzugsfreie, kontinuierliche Temperaturerfassung — auch während Laststromfluss —, wie in **Abbildung 4.9** beispielhaft gezeigt, als auch eine technologieübergreifende Temperaturerfassung beispielsweise von SiC-MOSFETs, bei denen die $U_{SD}(T)$ -Methode nicht anwendbar ist.

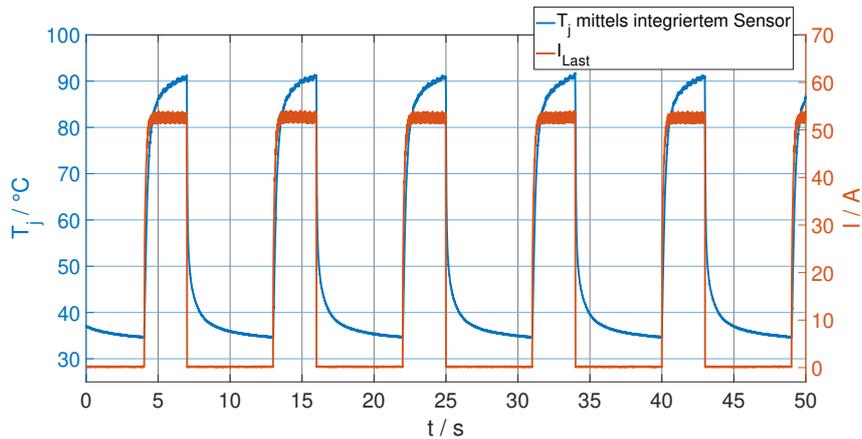


Abbildung 4.9: Kontinuierliche T_j -Erfassung während eines Lastwechseltests mittels chip-integriertem Temperatursensor

Dabei muss berücksichtigt werden, dass die Sensormessung einen lokalen Temperaturmesswert auf der Chipoberfläche wiedergibt, die $U_{CE}(T)$ - bzw. $U_{SD}(T)$ -Methode hingegen eine strom-gewichtete Mittelwertstemperatur [107], die der flächenbezogenen Mittelwerttemperatur der gesamten aktiven Chipfläche im thermisch eingeschwungenem Zustand entspricht [105] [107] und als virtuelle Sperrschichttemperatur T_{vj} definiert ist; vgl. Abschnitt 2.3.2. Aufgrund des negativen Temperaturkoeffizienten des pn-Überganges (vgl. Abbildung 4.2), fließt ein größerer Teil des Messstromes durch die stärker erhitzten Regionen der Chipoberfläche, was zu einer Übergewichtung dieser Areale führt, die nicht während der Kalibrierung unter homogenen Temperaturbedingungen, aber während Lastwechseltests auftritt. Infolge entsteht eine systematische Abweichung zwischen T_{vj} und der flächenbezogenen Mittelwertstemperatur, die desto größer ist je höher die lateralen Temperaturinhomogenitäten über der aktiven Chipfläche sind und folglich insbesondere

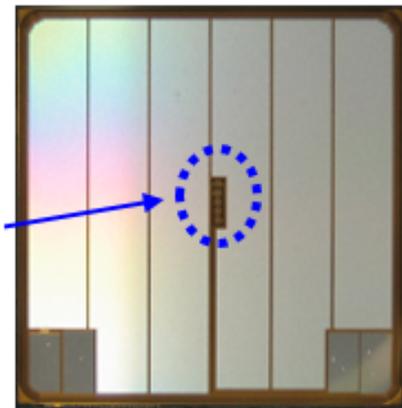
bei sehr kurzen Einschaltzeiten [106], hohen Leistungsdichten [151] und Inhomogenitäten in der Laststromaufteilung bei Multichip-Modulen zum Tragen kommt [152]. Im Fall von IGBTs — insbesondere höherer Spannungsklassen — besteht, infolge des pn-Überganges am chipunterseitigen Kollektor, eine weitere Abweichung, dessen Einfluss auf T_{vj} nur teilweise durch die flächenbezogene Mittelwerttemperatur auf der Chipoberfläche reflektiert wird [153] [154]. In Summe ist die Abweichung aber in der Regel klein genug, um die virtuelle Sperrschichttemperatur dennoch näherungsweise als flächenbezogene Mittelwerttemperatur aufzufassen [152], weshalb dies nachfolgend angenommen wird.

4.2.1 Untersuchte Versuchsträger

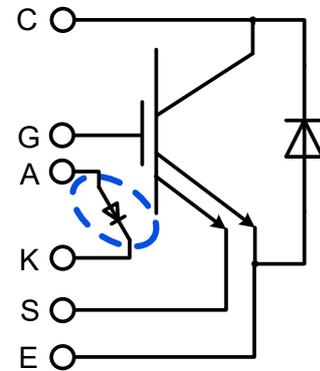
Um Lastwechselergebnisse vergleichen zu können, ist somit eine Korrelation der lokal erfassten Sensortemperatur T_j mit der virtuellen Sperrschichttemperatur T_{vj} bzw. der flächenbezogenen Mittelwerttemperatur, die bei Anwendung der etablierten Temperaturmessverfahren $U_{CE}(T)$ - bzw. $U_{SD}(T)$ -Methode gemessen wird, notwendig. Offensichtlich hat die Platzierung des T_j -Sensors auf der Chipfläche einen wesentlichen Einfluss auf diese Korrelation, weshalb nachfolgend beispielhaft zwei unterschiedliche Versuchsträger betrachtet werden: Ein Si-IGBT mit integriertem T_j -Sensor in der Chipmitte, dargestellt in **Abbildung 4.10**, und ein SiC-MOSFET mit integriertem T_j -Sensor in einer Ecke, leicht außerhalb der aktiven Chipfläche, wie **Abbildung 4.11** zeigt. Bei dem IGBT-Modul handelt es sich um ein 1200 V, 75 A Sixpack-Modul, bei dem beispielhaft der low-side-Chip der mittleren Halbbrücke betrachtet wird, und bei dem SiC-Modul um speziell angefertigte Forschungsmuster, die je Modul ein 1200 V SiC-MOSFET umfassen. In beiden Fällen besteht der monolithisch integrierte Temperatursensor aus einer Reihenschaltung von kleinen, integrierten Dioden mit eigenen Anschlüssen. Zur Untersuchung wurden vergleichende Messungen in beispielhaften Lastwechselarbeitspunkten, FEM-Simulationen und im Fall des SiC-Moduls, da auch ein Modul ohne Vergussmasse zur Verfügung stand, Infrarotmessungen (IR-Messungen) durchgeführt.

4.2.2 Simulationsmodell

Zusätzlich zu Untersuchungen im Lastwechselstand wurden dreidimensionale transient-thermische Simulationen mittels finite-Elementen-Methode in der Software ANSYS durchgeführt. Die entwickelten Simulationsmodelle zeigt **Abbildung 4.12**. Dabei wird die im Lastwechselstand gemessene Verlustleistung als Eingangsgröße gleichverteilt in das Modell gespeist, wobei die aktive Chipfläche — ausgenommen die Sensorfläche — als Wärmequelle und die mittels Thermoelement gemessene Bodenplattentemperatur als thermische Randbedingung unter der Wärmeleitpaste modelliert ist. Zur Berücksichtigung der

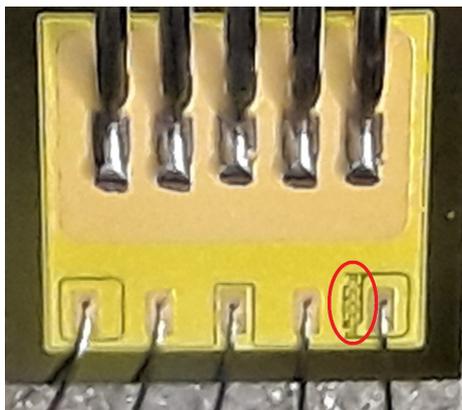


(a) Foto der Chipfläche

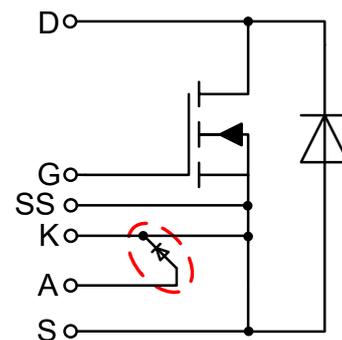


(b) Schaltbild mit integriertem Temperatursensor

Abbildung 4.10: Untersuchter Prüfling: Si-IGBT mit monolithisch integriertem T_j -Sensor in der Chipmitte und Stromspiegel (S)



(a) Foto der Chipfläche



(b) Schaltbild mit integriertem Temperatursensor

Abbildung 4.11: Untersuchter Prüfling: SiC-MOSFET mit integriertem T_j -Sensor am Chiprand und unabhängigem Sense-Source-Anschluss (SS) sowie Stromspiegel-Hilfsanschluss

Wärmespreizung im Modul wurde auch die Kupferanbindung in Chipnähe nachgebildet, die insbesondere bei dem Si-Modul einen Einfluss auf die laterale Temperaturverteilung der Chipoberfläche erwarten lässt, da die Kupferschicht, auf der der Leistungshalbleiter montiert ist, an den Seiten unterschiedlich übersteht [155]. Die simulierte flächenbezogene Mittelwerttemperatur der aktiven Chipfläche ist als T_{vj} und die lokale Sensortemperatur als T_j definiert. Das Simulationsmodell des IGBTs wurde in Zusammenarbeit mit einem Kollegen entwickelt und zur Anwendung auf den SiC-MOSFET eigenhändig angepasst.

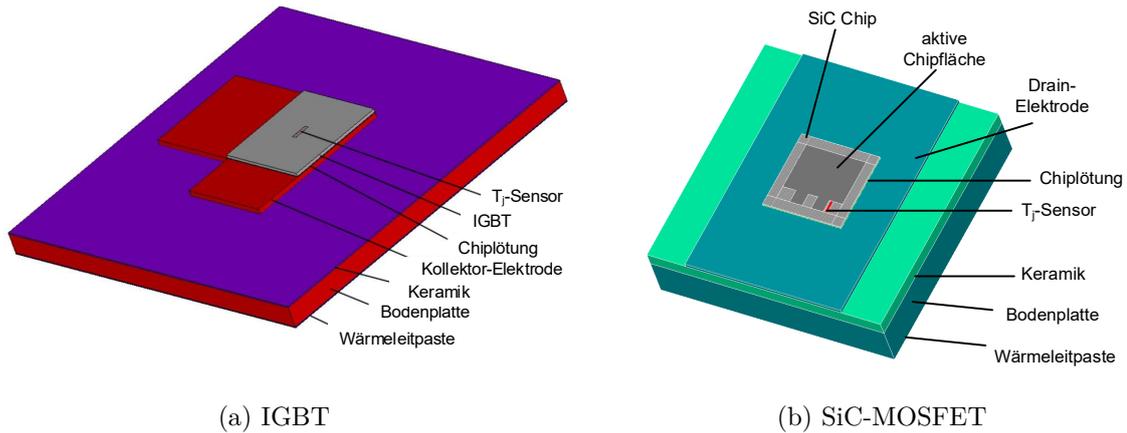


Abbildung 4.12: Dreidimensionale finite-Elementen-Modelle der Versuchsträger

4.2.3 Vergleich der Sensormessung mit der $U_{SD}(T)$ -Methode

Kalibrierung

Für beide Temperaturmessverfahren ist vorab eine Kalibrierung nötig, um die gemessene Spannung in eine korrespondierende Temperatur umzurechnen. Diese wurde in einer Klimakammer für jeden Prüfling durchgeführt, wobei Messstrom und Gate-Spannung während der Kalibrierung und späteren Lastwechseln identisch waren. Dabei wurde sichergestellt, dass der Inversionskanal des SiC-MOSFETs bei $U_{GS,off} = -10\text{ V}$ sicher geschlossen ist; vgl. Abschnitt 4.1.1. Eine Gegenüberstellung je einer aufgenommenen Kalibrierkennlinie am Beispiel des SiC-MOSFETs zeigt **Abbildung 4.13**: Sowohl $U_{SD}(T)$ als auch die Sensormessung weisen eine annähernd lineare Abhängigkeit von der Temperatur auf, wobei die Temperatursensitivität der Sensormessung mit $-6,62 \frac{\text{mV}}{\text{K}}$ mehr als dreimal größer ist, als die Temperatursensitivität der $U_{SD}(T)$ -Methode mit ca. $-2 \frac{\text{mV}}{\text{K}}$; vgl. auch Abbildung 4.2. Der Grund hierfür ist, dass der T_j -Sensor aus einer Reihenschaltung von vier Dioden besteht, sodass eine deutlich höhere Temperatursensitivität resultiert. Eine hohe Temperatursensitivität bedingt auch unmittelbar eine höhere Messauflösung und Rauschimmunität, was insbesondere zur Temperaturerfassung in rauen Umgebungsbedingungen, wie beispielsweise zur Zustandsüberwachung im Umrichterbetrieb, vorteilhaft ist. Darüber hinaus kann bei

der Sensormessung die Temperatursensitivität vom Chiphersteller über die Anzahl der in Reihe geschalteten Dioden skaliert werden.

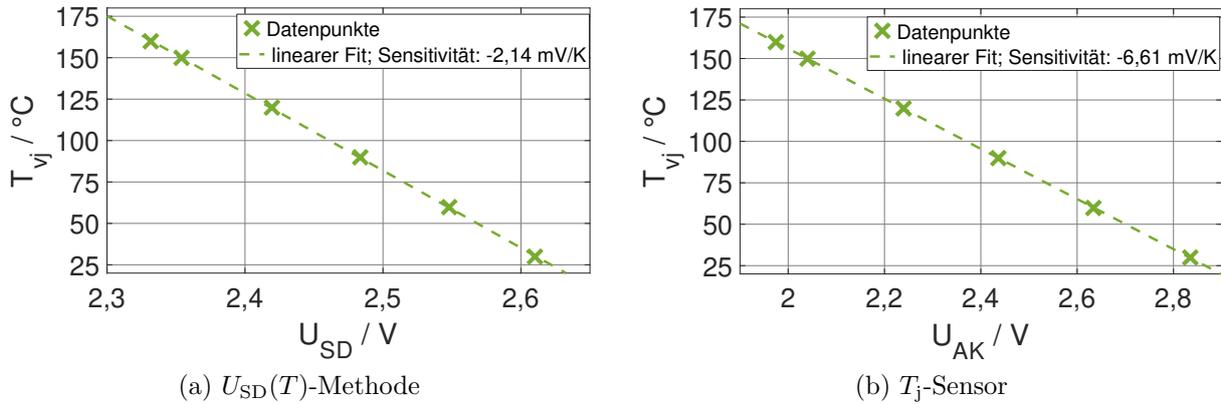


Abbildung 4.13: Gegenüberstellung der aufgenommenen Kalibrierkennlinien des SiC-MOSFETs; $I_{\text{Mess}} = 5 \text{ mA}$ für $U_{SD}(T)$ bzw. $I_{\text{Mess}} = 200 \mu\text{A}$ für $U_{AK}(T)$ (T_j -Sensor)

Ermittlung der Sperrschichttemperatur — T_j -Sensor im Zentrum der aktiven Chipfläche

Zum Vergleich der Sperrschichttemperaturerfassung mittels chip-integriertem Sensor in der Mitte der aktiven Chipfläche mit der $U_{CE}(T)$ -Methode wurden beispielhaft zwei Arbeitspunkte gemäß des PC_{sec} -Tests der Europäischen Anwendungsrichtlinie zur Qualifizierung von Leistungsmodulen für automobiler Anwendungen AQG324 [102] definiert:

- AP1: $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $\Delta T_{vj} = 30 \text{ K}$
- AP2: $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $\Delta T_{vj} = 70 \text{ K}$

Der Laststrom wurde entsprechend angepasst, um den gewünschten Temperaturhub einzustellen. Zur $T_{vj,\text{max}}$ -Ermittlung mittels $U_{CE}(T)$ -Methode wurde die \sqrt{t} -Methode gemäß Abbildung 2.13 angewandt; die $T_{j,\text{max}}$ -Erfassung mittels T_j -Sensor erfolgte während Laststromfluss am Ende von t_{on} . Beide Werte sind äquivalent während der Kalibrierung unter homogenen Temperaturbedingungen, können sich aber infolge eines inhomogenen Temperaturprofils während eines Lastwechsels unterscheiden. Zur Ermittlung der Temperaturverteilung auf der Chipoberfläche dienten zusätzliche FEM Simulationen, wie **Abbildung 4.14** für den zweiten Arbeitspunkt zeigt: In diesem Arbeitspunkt beträgt die maximale Temperaturdifferenz über der Chipoberfläche am Ende von t_{on} mehr als 30 K. Die Anbindung in die Kollektor-Elektrode im Modul beeinflusst die Wärmespreizung im Modul, was im Fall einer unsymmetrischen Anbindung — wie im betrachteten Prüfling, vgl. Abbildung 4.12a — zu einer unsymmetrischen Erwärmung der Chipflächen führt:

Die Seiten mit großflächiger Anbindung erwärmen sich weniger stark als die Seiten mit geringerer Anbindung. Gleichzeitig sind die Temperaturen an den Seiten geringer als in Zentrumsnähe, was folglich die maximale Temperatur in der Mitte der aktiven Chipfläche erwarten lässt. Da der Laststrom aber nicht über den Sensor fließt, trägt auch dessen Fläche nicht aktiv zur Erwärmung bei, was dazu führt, dass die lokale Chiptemperatur im Zentrum abfällt, sodass die lokale Chiptemperatur im Bereich des T_j -Sensors näherungsweise der flächenbezogenen Mittelwerttemperatur entspricht (vgl. Abbildung 4.14b), wie die **Tabellen 4.2 und 4.3** für die beiden exemplarischen Lastwechselarbeitspunkte zusammenfassen: Beide Temperaturmessverfahren führen zu vergleichbaren Ergebnissen mit geringen Abweichungen von ca. 1 K in AP1 bzw. ca. 2 K in AP2, die geringer sind, als die zu erwartende Messunsicherheit bei Anwendung der $U_{CE}(T)$ -Methode [18].

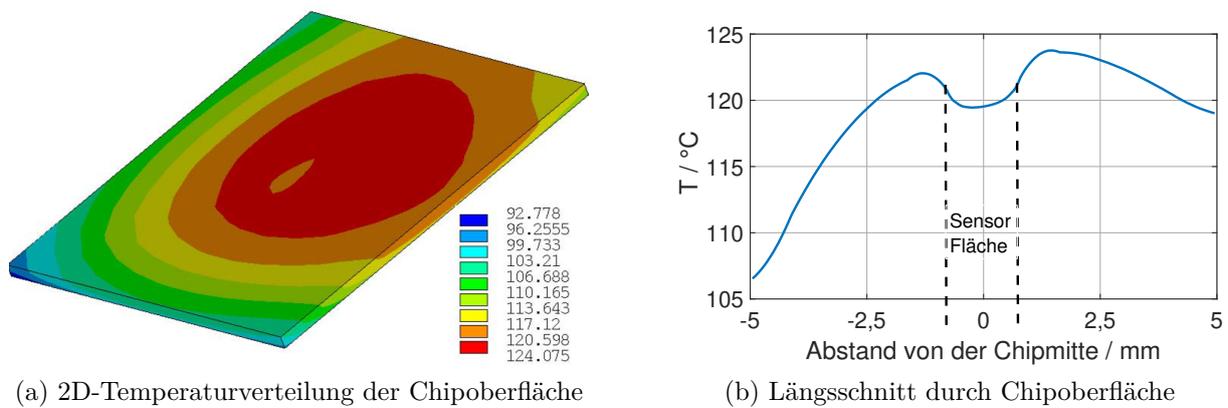


Abbildung 4.14: Simulierte Temperaturverteilung des IGBTs auf der Chipoberfläche am Ende von t_{on} bei $I_{Last} = 95$ A;
 maximale Chiptemperatur: 124,1 °C;
 minimale Chiptemperatur: 92,8 °C;
 flächenbezogene Mittelwerttemperatur: 117,5 °C;
 simulierte Sensortemperatur: 119,2 °C

Tabelle 4.2: Zusammenfassung der ermittelten Temperaturen im ersten Arbeitspunkt;
 $t_{on} = 3$ s, $t_{off} = 6$ s, $I_{Last} = 50$ A, $P_V = 74,1$ W

	ΔT_{vj} mittels $U_{CE}(T)$ -Methode	ΔT_j mittels Sensor	Abweichung
Messung	28,12 K	28,98 K	0,86 K
Simulation	27,94 K	29,13 K	1,19 K
Abweichung	0,18 K	0,15 K	

Eine vergleichbare Temperaturverteilung über der Chipoberfläche ergibt sich auch, wenn das Gate-Pad im Chipzentrum lokalisiert ist: Da dieses — wie der T_j -Sensor — nicht von Laststrom durchflossen wird und folglich nicht aktiv zur Erwärmung beiträgt, entspricht die Temperatur über dem Gate-Pad näherungsweise der flächenbezogenen Mittelwerttemperatur im thermisch eingeschwungenen Zustand [107] [156] [157], was in ähnlicher Weise in [158] auch für Multichip-Module festgestellt wurde. Dabei überschätzt die lokale

Tabelle 4.3: Zusammenfassung der ermittelten Temperaturen im zweiten Arbeitspunkt;
 $t_{\text{on}} = 3 \text{ s}$, $t_{\text{off}} = 6 \text{ s}$, $I_{\text{Last}} = 95 \text{ A}$, $P_V = 190,5 \text{ W}$

	ΔT_{vj} mittels $U_{\text{CE}}(T)$ -Methode	ΔT_{j} mittels Sensor	Abweichung
Messung	69,02 K	71,1 K	2,08 K
Simulation	71,83 K	73,54 K	1,71 K
Abweichung	2,81 K	2,44 K	

Temperaturerfassung im Chipzentrum leicht die flächenbezogene Mittelwerttemperatur. Wird zusätzlich der transiente Fall betrachtet, zeigt sich, passend zu den Ergebnissen in [158], eine transiente Erhöhung dieser Überschätzung, wie in **Abbildung 4.15** für AP2 dargestellt: Da die dem T_{j} -Sensor umgebende Chipfläche wärmer ist als die der Sensorfläche (vgl. Abbildung 4.14a), wirkt diese — infolge eines lateralen Wärmeflusses von der aktiven Chipfläche zum Sensor — wie eine thermische Kapazität, sodass die mittlere Chiptemperatur schneller sinkt, nachdem der Laststrom weggeschaltet ist, als die der Sensorfläche, was zu einem transienten Auseinanderlaufen der Abkühlkurven innerhalb der ersten ca. 1 ms bis 10 ms führt, mit einem Maximum von ca. 8 K nach ca. 5 ms in AP2. Nach ca. 200 ms entspricht die Sensortemperatur exakt der mittels $U_{\text{CE}}(T)$ -Methode gemessenen, sodass sich bei hinreichend langer Abkühlzeit keine Abweichung bei der Ermittlung der minimalen Sperrschichttemperatur ergibt. Da die Einschalt Dauern während eines Lastwechseltests typischerweise im Sekundenbereich liegen, kann diese transiente Abweichung für die Anwendung des T_{j} -Sensors für Lastwechsel vernachlässigt werden. Zur thermischen Charakterisierung und zum Temperaturmonitoring im Umrichterbetrieb sowie für anwendungsnahe Lastwechseltests im Schaltbetrieb [118] ist sie jedoch zu berücksichtigen.

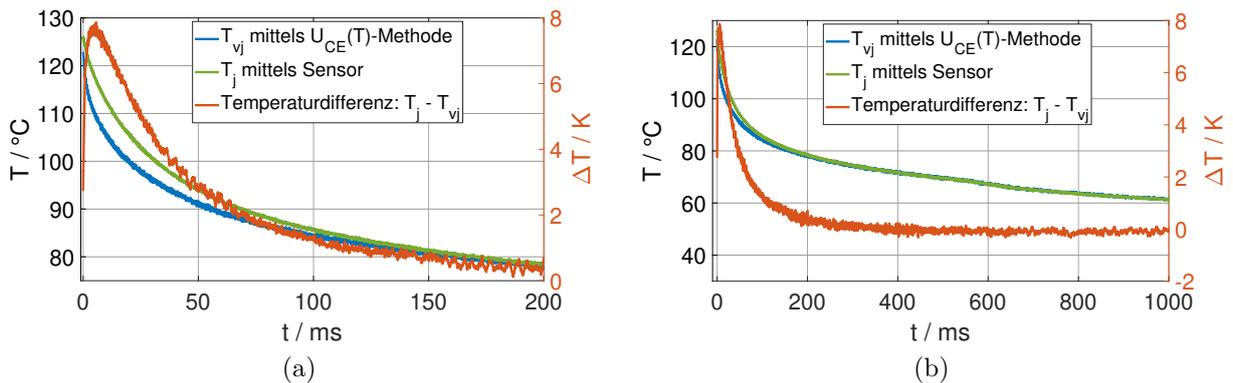


Abbildung 4.15: Gemessene Abkühlkurve bei $I_{\text{Last}} = 95 \text{ A}$ und transiente Temperaturdifferenz zwischen lokaler Sensortemperatur und mittels $U_{\text{CE}}(T)$ -Methode gemessener Mittelwerttemperatur; Ausschaltzeitpunkt bei $t = 0 \text{ s}$

Ermittlung der Sperrschichttemperatur — T_j -Sensor außerhalb der aktiven Chipfläche

Befindet sich der T_j -Sensor nicht im Chipzentrum, ergeben sich größere Abweichungen in der $T_{vj,max}$ -Ermittlung, wie **Abbildung 4.16** zeigt, sodass eine Korrelation der Messwerte nötig ist. Dabei wird zur $T_{vj,max}$ -Schätzung mittels $U_{SD}(T)$ -Methode U_{SD} nach dem Wegschalten kontinuierlich mit einer Zeitaufösung von $10\ \mu\text{s}$ gemessen und die \sqrt{t} -Methode angewandt, wobei die Messwerte der ersten $300\ \mu\text{s}$ nach dem Wegschalten des Laststromes ignoriert werden und die folgenden $2,56\ \text{ms}$ als Eingangsdaten für die Extrapolation dienen; vgl. **Abbildung 2.13**. Diese Einschränkung besteht nicht bei Anwendung der Sensormessung, sodass auch die direkte Messung von $T_{j,max}$ während Laststromfluss möglich ist, wie im Fall des IGBTs demonstriert. Die direkte Messung während Laststromfluss ist vorteilhaft, da die \sqrt{t} -Methode zu einer leichten Überschätzung der maximalen Temperatur neigt [18], was auch **Abbildung 4.16** bei Anwendung der \sqrt{t} -Methode auf die Sensormessung zeigt, wobei die Überschätzung im gezeigten Arbeitspunkt mit ca. $1\ \text{K}$ gering ausfällt. Zum methodischen Vergleich der Sensormessung mit der $U_{SD}(T)$ -Methode wird dennoch nachfolgend auch die \sqrt{t} -Methode auf die Sensormessung zur $T_{j,max}$ -Ermittlung angewandt, sodass alle Messungen simultan und mit der selben Messauswertung erfolgen.

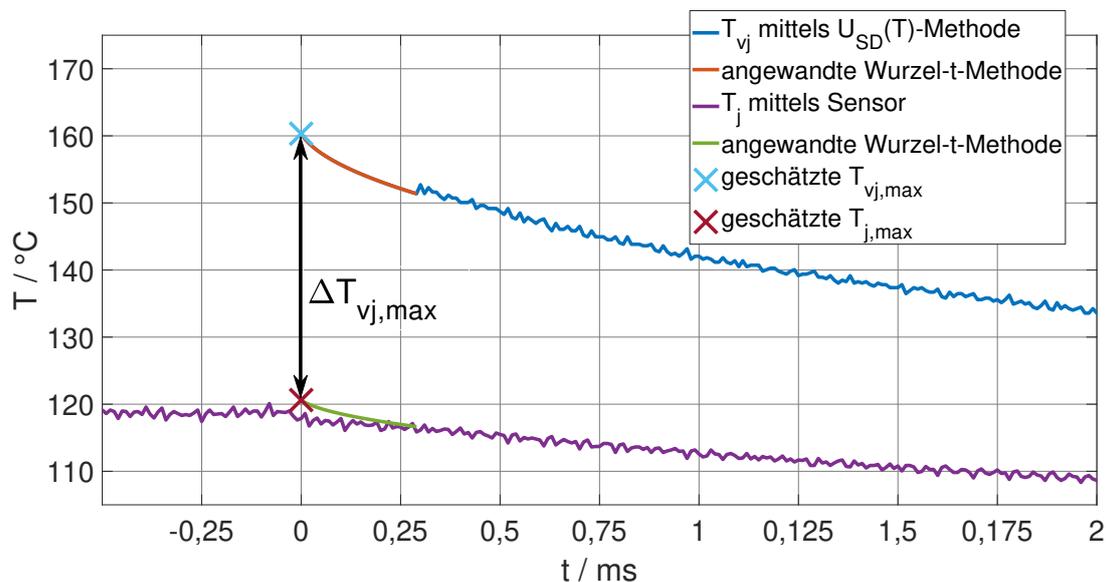


Abbildung 4.16: Vergleich der $T_{vj,max}$ -Messung mittels $U_{SD}(T)$ -Methode und T_j -Sensor; Ausschaltzeitpunkt bei $t = 0\ \text{s}$; $I_{\text{Last}} = 55\ \text{A}$; $U_{\text{GS,on}} = 15\ \text{V}$; $U_{\text{GS,off}} = -10\ \text{V}$

Wie der Vergleich aufgenommener Abkühlkurven in **Abbildung 4.17** zeigt, besteht die größte Abweichung bei Lokalisierung des T_j -Sensors am Rand bzw. leicht außerhalb der aktiven Chipfläche (vgl. **Abbildung 4.11a**) zum Zeitpunkt der $T_{vj,max}$ -Ermittlung und ist für hinreichend lange Abkühlzeiten $t_{\text{off}} \geq 1\ \text{s}$ zu vernachlässigen, sodass keine Abweichung zwischen der gemessenen minimalen Sperrschichttemperatur besteht.

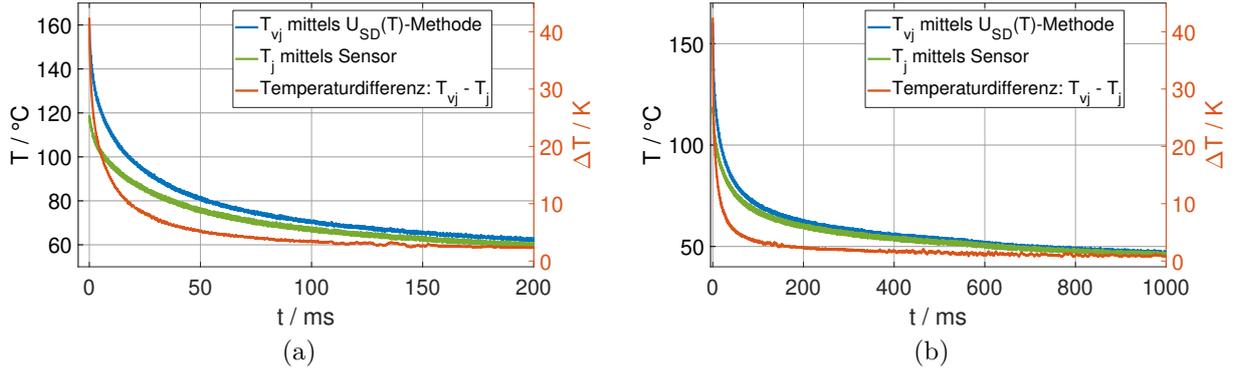


Abbildung 4.17: Gemessene Abkühlkurve bei $I_{\text{Last}} = 55 \text{ A}$ und transiente Temperaturdifferenz zwischen lokaler Sensortemperatur und mittels $U_{\text{SD}}(T)$ -Methode gemessener Mittelwertstemperatur; Ausschaltzeitpunkt bei $t = 0 \text{ s}$

Korrelationsansatz

Ist der Sensor am Rand oder außerhalb der aktiven Chipfläche platziert, ist zu erwarten, dass die Sensortemperatur geringer ist als die mittlere Temperatur der aktiven Chipfläche. Daher ist der einfachste Ansatz, den Temperaturunterschied zu modellieren, anzunehmen, dass sich der vertikale Wärmepfad von der aktiven Chipfläche zur Referenztemperatur, die z.B. die Bodenplattentemperatur oder Kühlkörpertemperatur darstellen kann, in zwei Pfade aufteilt: Der erste führt direkt von der aktiven Chipfläche — an der $T_{\text{vj}} - T_{\text{ref}}$ abfällt — über eine thermische Impedanz $Z_{\text{thvj,ref}}(t)$ zur Referenz, der zweite lateral über eine thermische Impedanz $Z_{\text{thvj,sensor}}(t)$ vom Ort, an dem T_{vj} abfällt, zum T_{j} -Sensor und von dort ferner vertikal über $Z_{\text{thj,ref}}(t)$ vom T_{j} -Sensor zur Referenz. Ein entsprechendes thermisches Ersatzschaltbild zeigt **Abbildung 4.18**.

Mit dem Temperaturteiler über $Z_{\text{thvj,sensor}}(t)$ und $Z_{\text{thj,ref}}(t)$:

$$T_{\text{j}} - T_{\text{ref}} = \frac{Z_{\text{thj,ref}}(t)}{Z_{\text{thj,ref}}(t) + Z_{\text{thvj,sensor}}(t)} \cdot (T_{\text{vj}} - T_{\text{ref}}) \quad (4.1)$$

kann die virtuelle Sperrschichttemperatur mit der Sensortemperatur korreliert werden:

$$T_{\text{vj}} = T_{\text{j}} + Z_{\text{th,ers}}(t) \cdot P_{\text{V}} \quad (4.2)$$

mit der thermischen Ersatzimpedanz $Z_{\text{th,ers}}(t)$

$$Z_{\text{th,ers}}(t) = \frac{Z_{\text{thvj,sensor}}(t) \cdot Z_{\text{thvj,ref}}(t)}{Z_{\text{thj,ref}}(t) + Z_{\text{thvj,ref}}(t) + Z_{\text{thvj,sensor}}(t)} \quad (4.3)$$

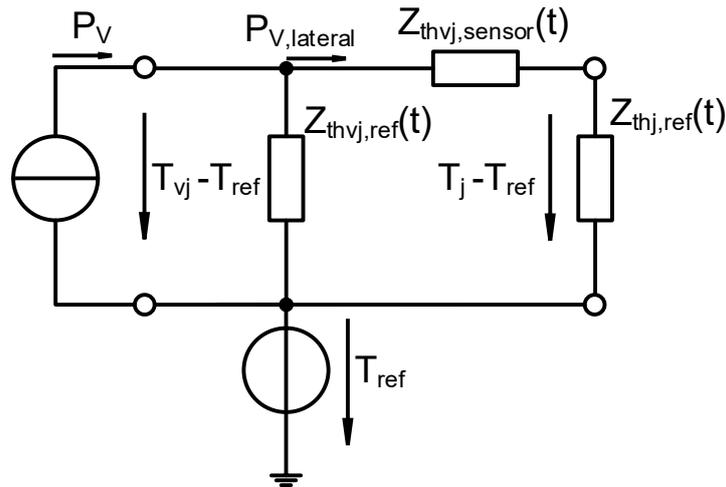


Abbildung 4.18: Vereinfachtes thermisches Ersatzschaltbild für Korrelation zwischen flächenbezogener Mittelwerttemperatur T_{vj} und lokaler Sensortemperatur T_j

Dieser lineare Ansatz lässt sich ferner zu einem stationären Modell vereinfachen, wenn die Pulslänge der Verlustleitung lang genug ist, um die thermischen Kapazitäten voll aufzuladen, sodass anstelle der zeitabhängigen thermischen Impedanz $Z_{th,ers}(t)$ ein thermischer Ersatzwiderstand zur Korrelation des Sensortemperatur mit der virtuellen Sperrschichttemperatur genutzt werden kann:

$$T_{vj} = T_j + P_V \cdot R_{th,ers} \quad (4.4)$$

Korrelationsergebnisse

Zur Validierung des Korrelationsansatzes, wurden exemplarische Lastwechselerbeitspunkte nach AQG324 [102] definiert: Zwei gemäß des PC_{sec} -Tests — je einer mit einem symmetrischen t_{on}/t_{off} Verhältnis und einer mit einem unsymmetrischen — sowie ein Arbeitspunkt gemäß des PC_{min} -Tests:

- AP1: $t_{on} = t_{off} = 2$ s
- AP2: $t_{on} = 3$ s; $t_{off} = 6$ s
- AP3: $t_{on} = t_{off} = 10$ s

In jedem Arbeitspunkt betrug die Gate-Spannung 15 V während t_{on} und -10 V während t_{off} , wobei Lastströme von jeweils 40 A, 50 A bzw. 55 A eingestellt wurden, sodass sich bei

einer konstanten Kühlwassertemperatur von 30 °C Temperaturhübe zwischen ca. 60 K und 120 K einstellten.

Um zunächst zu entscheiden, ob ein dynamisches Modell zur Korrelation notwendig oder ein stationäres hinreichend zur Anwendung auf Lastwechseltests ist, wurde $Z_{\text{th,ers}}(t)$ gemessen, wie in **Abbildung 4.19** gezeigt: Für ein vergossenes Modul wurde ein thermischer Widerstand $R_{\text{th,ers}}$ von $0,23 \frac{\text{K}}{\text{W}}$ gemessen, wobei 95% von $R_{\text{th,ers}}$ nach $\tau_{95} \approx 0,27 \text{ s}$ erreicht sind, was bei einer maximalen Temperaturdifferenz in den definierten Arbeitspunkten von ca. 40 K (vgl. Abbildung 4.17) zu einem Korrelationsfehler von 2 K führt bzw. für Pulslängen länger 1 s kleiner 1 K, sodass die Vereinfachung der Korrelation auf ein stationäres Modell auch für Lastwechseltests mit kurzen Pulsdauern — z.B. $t_{\text{on}} = 1 \text{ s}$ — zulässig ist. Die gemessene $Z_{\text{th,ers}}(t)$ -Kurve des unvergossenen Moduls zeigt, dass der stationäre Zustand etwas zeitiger erreicht ist und $R_{\text{th,ers}}$ mit $0,22 \frac{\text{K}}{\text{W}}$ etwas geringer ausfällt als beim vergossenen. Sowohl die Ermittlung von $R_{\text{th,ers}}$ mittels optischer IR-Messung als auch die FEM-Simulation liefern vergleichbare Werte, wobei der simulativ ermittelte $R_{\text{th,ers}}$ mit $0,2215 \frac{\text{K}}{\text{W}}$ fast exakt dem gemessenen thermischen Widerstand des unvergossenen Moduls entspricht und die IR-Messung diesen um ca. 6% überschätzt. Zur Durchführung der IR-Messungen wurde das offene Modul mit Kreidespray behandelt und der Emissionsgrad mittels des vom Hersteller der IR-Kamera empfohlenen Kalibrierungsprozesses eingestellt. Gleichwohl ergeben sich bei Temperaturmessung mittels IR-Kamera zusätzliche Ungenauigkeiten beispielsweise infolge von Verschattungen der Bonddrähte; vgl. Abbildung 4.11a.

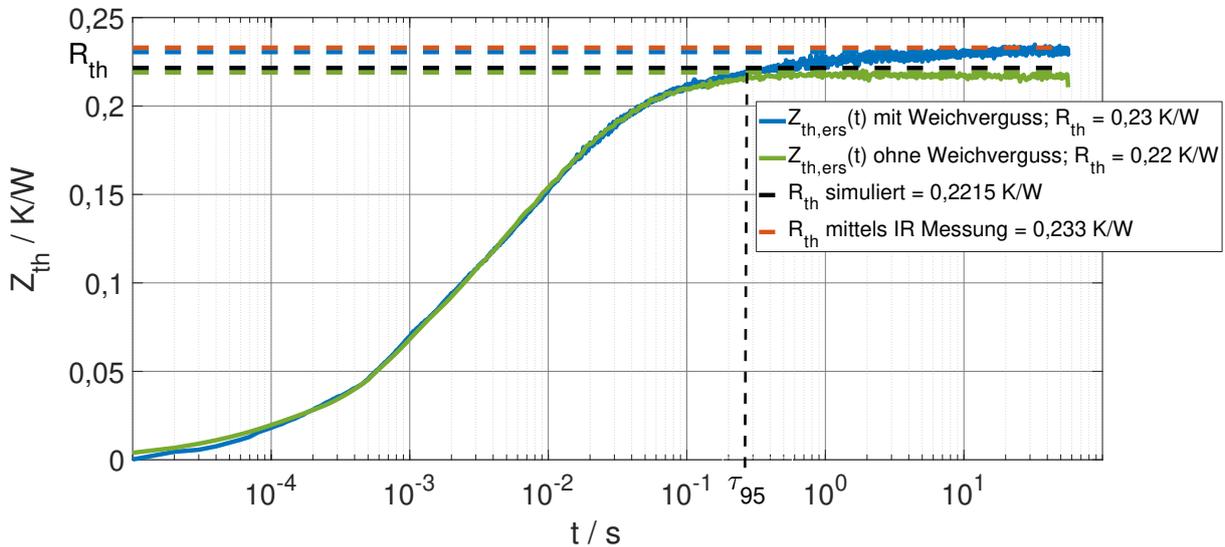
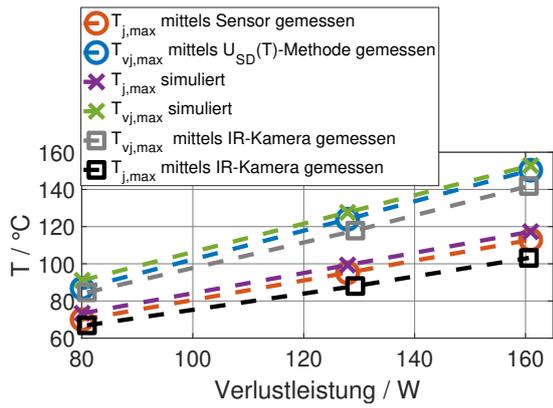


Abbildung 4.19: Gemessene und simulierte thermische Impedanzen zwischen der flächenbezogenen Mittelwerttemperatur T_{vj} und der lokalen Sensortemperatur T_j bei $I_{\text{Last}} = 50 \text{ A}$

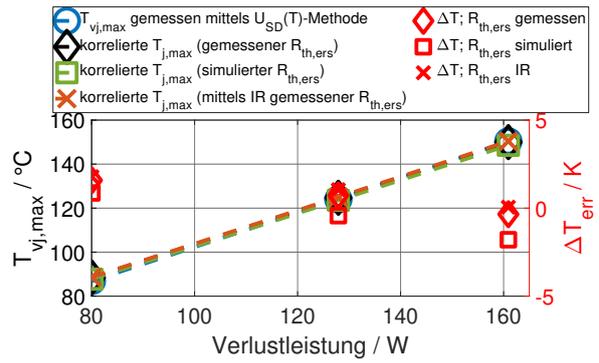
Der thermische Ersatzwiderstand wurde aus den gemessenen Abkühlkurven eines vergossenen Moduls bei $I_{\text{Last}} = 50 \text{ A}$ zu $R_{\text{th,ers}} = 0,23 \frac{\text{K}}{\text{W}}$ abgelesen und simulativ zu $R_{\text{th,ers}} = 0,2215 \frac{\text{K}}{\text{W}}$ bestimmt (vgl. Abbildung 4.19). Er wird im folgenden genutzt, um die

gemessene Sensortemperatur in den vorab definierten Arbeitspunkten mit denen mittels $U_{SD}(T)$ -Methode ermittelten Messwerten zu korrelieren. Zusätzlich zur Lastwechselmessung wurden sowohl alle Arbeitspunkte, wie im Abschnitt 4.2.2 beschrieben, simuliert, als auch mittels IR-Kamera vermessen. Dabei diente ein unvergossenes Modul als Versuchsmuster zur Ermittlung von $R_{th,ers}$ bei $I_{Last} = 50 \text{ A}$, was einen Wert von $0,233 \frac{\text{W}}{\text{K}}$ ergab und anschließend auf ein vergossenes Modul angewandt wurde. Dies entspricht dem praktischen Anwendungsfall, dass für einen Prüfling, für den die $U_{SD}(T)$ -Methode nicht anwendbar ist, ein vergleichbarer unvergossener Versuchsträger zur Korrelation dient. Da die Vergussmasse einen Einfluss auf das Lastwechselergebnis hat [159], sollten anschließende Lastwechsel anwendungsnah mit vergossenen Modulen durchgeführt werden. Die Ergebnisse sind für eine Ein- und Ausschaltzeit von jeweils 2 s in **Abbildung 4.20**, für eine Einschaltzeit von 3 s und eine Ausschaltzeit von 6 s in **Abbildung 4.21** sowie für eine Ein- und Ausschaltzeit von jeweils 10 s in **Abbildung 4.22** zusammengefasst: Wie erwartet, ist $T_{vj,max}$ in allen Arbeitspunkten höher als $T_{j,max}$, gemessen mittels Sensor. Ferner zeigt sich ein linearer Zusammenhang zwischen Verlustleistung und Temperaturdifferenz für alle sowohl gemessenen als auch simulierten Arbeitspunkte, was die Gültigkeit des gewählten Modellierungsansatzes belegt. Darüber hinaus zeigt die Anwendung der mittels Messung und Simulation ermittelten $R_{th,ers}$ und des kontinuierlichen Modells, dass sich $T_{j,max}$, gemessen mittels Sensor, gut mit $T_{vj,max}$, gemessen mit der etablierten $U_{SD}(T)$ -Methode, in allen Arbeitspunkten korrelieren lässt. Dabei beträgt die maximale Abweichung ΔT_{err} ca. 2 K, was kleiner ist, als die zu erwartende Messunsicherheit bei Anwendung der $U_{SD}(T)$ -Methode [18], was die Anforderung für eine alternative T_{vj} -Messmethode gemäß AQG324 [102] erfüllt. Auffallend ist zudem, dass die Abweichungen in allen Arbeitspunkten mit $I_{Last} = 50 \text{ A}$ — also dem Strom, mit dem $R_{th,ers}$ ermittelt wurde — deutlich kleiner 1 K sind, weshalb die Ermittlung von $R_{th,ers}$ vorzugsweise bei dem Laststrom beziehungsweise näherungsweise der Verlustleistung des darauffolgenden Lastwechseltests erfolgen sollte, um die Messabweichung zwischen lokaler Sensormessung und $U_{SD}(T)$ -Methode zu minimieren.

Die Simulation zeigt höhere $T_{j,max}$ als die Messungen, was sich durch Ungenauigkeiten in der Modellierung des thermischen Pfades, insbesondere der Grenzschichten sowie der Wärmeleitpaste, die anfällig für aufbaubedingte Toleranzen ist, erklären lässt. Um den Einfluss solcher Toleranzen auf das Korrelationsergebnis zu untersuchen, wurden Simulationen bei unterschiedlicher Dicke der Wärmeleitpaste durchgeführt und der Einfluss dieser Variation auf die Temperaturdifferenz $T_{vj,max} - T_{j,max}$ evaluiert, wie in **Abbildung 4.23** dargestellt: Die Dicke der Schicht der Wärmeleitpaste trägt wesentlich zum thermischen Widerstand zwischen Chip und Kühlkörper bei, weshalb eine höhere Schichtdicke in der Simulation zu deutlich höheren Temperaturen bei gleichbleibender Verlustleistung führt; vgl. **Abbildung 4.23a**. Gleichwohl ist die Temperaturdifferenz zwischen flächenbezogener Mittelwerttemperatur der aktiven Chipfläche und der lokalen Sensortemperatur näherungsweise unabhängig von dieser Parametervariation; vgl. **Abbildung 4.23b**.

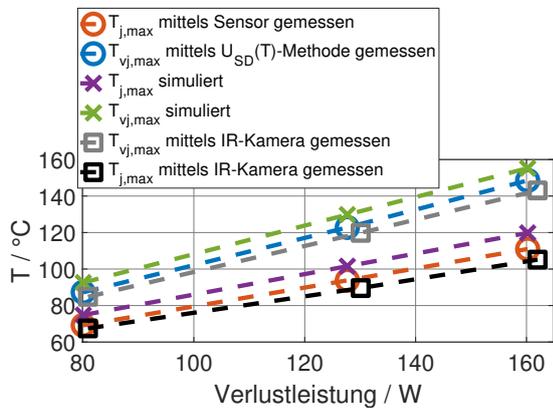


(a) Gemessene und simulierte $T_{vj,\max}$ bzw. $T_{j,\max}$

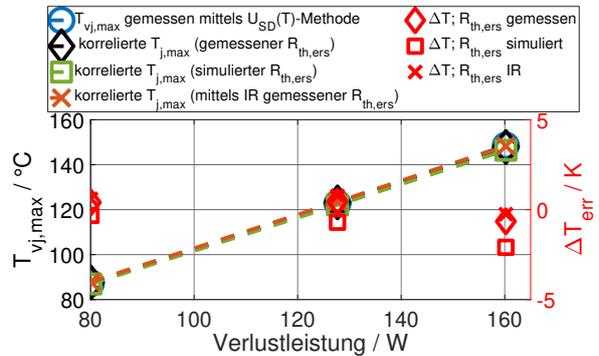


(b) Vergleich von gemessener $T_{vj,\max}$ mit korrelierter mittels Sensor gemessene $T_{j,\max}$

Abbildung 4.20: Anwendung des linearen steady-state Modells zur $T_{vj,\max}$ -Ermittlung während Lastwechseltests; $t_{on} = 2 \text{ s}$, $t_{off} = 2 \text{ s}$

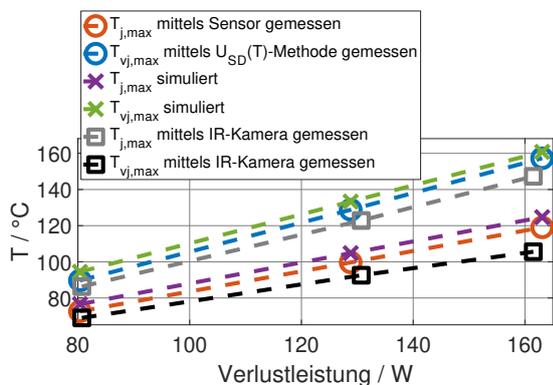


(a) Gemessene und simulierte $T_{vj,\max}$ bzw. $T_{j,\max}$

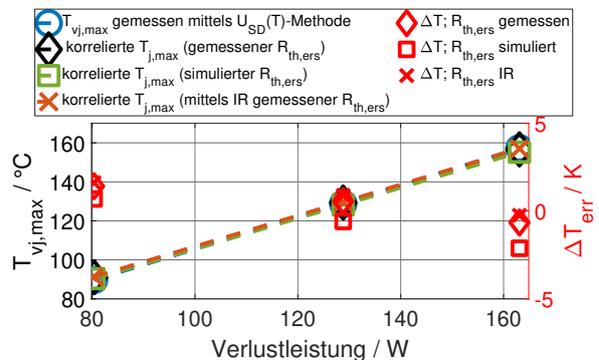


(b) Vergleich von gemessener $T_{vj,\max}$ mit korrelierter mittels Sensor gemessene $T_{j,\max}$

Abbildung 4.21: Anwendung des linearen steady-state Modells zur $T_{vj,\max}$ -Ermittlung während Lastwechseltests; $t_{on} = 3 \text{ s}$, $t_{off} = 6 \text{ s}$



(a) Gemessene und simulierte $T_{vj,\max}$ bzw. $T_{j,\max}$

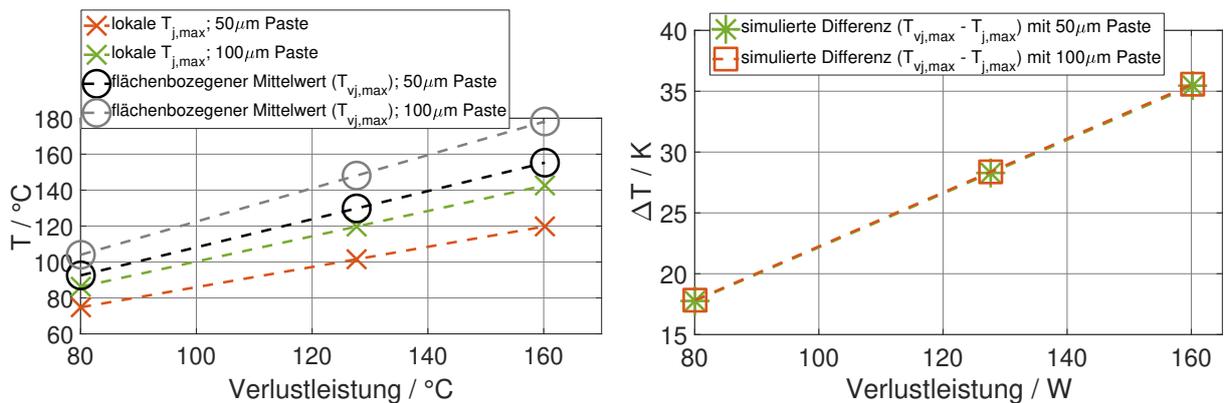


(b) Vergleich von gemessener $T_{vj,\max}$ mit korrelierter mittels Sensor gemessene $T_{j,\max}$

Abbildung 4.22: Anwendung des linearen steady-state Modells zur $T_{vj,\max}$ -Ermittlung während Lastwechseltests; $t_{on} = 10 \text{ s}$, $t_{off} = 10 \text{ s}$

Dieses Ergebnis ist aus zweierlei Gründen wichtig:

- Der simulativ ermittelte $R_{th,ers}$ wird kaum durch Variationen des thermischen Widerstandes zwischen aktiver Chipfläche und Kühlkörper beeinflusst, so lange die laterale Chip- und Sensorgeometrie bekannt und im Modell nachgebildet sind, was die Korrelation mittels Simulation deutlich vereinfacht.
- Darüber hinaus ist die Sensormessung robust gegenüber Degradationen im thermischen Pfad, was seine Eignung zur Temperaturerfassung während Lebensdauertests und zur Zustandsüberwachung im Umrichterbetrieb zeigt.



(a) Simulierte $T_{vj,max}$ und $T_{j,max}$ bei unterschiedlicher Dicke der Wärmeleitpaste
 (b) Simulierte Differenztemperatur zwischen $T_{vj,max}$ und $T_{j,max}$ bei unterschiedlicher Dicke der Wärmeleitpaste

Abbildung 4.23: Simulierter Einfluss der Wärmeleitpaste; $t_{on} = 3 \text{ s}$, $t_{off} = 6 \text{ s}$

Exemplarischer Lastwechseltest

Zur weiteren Validierung der Sensormessung als alternatives Messverfahren zur T_{vj} -Ermittlung während Lastwechseltests wurden EoL Lastwechseltests mit kombinierter Temperaturerfassung unter Nutzung des chip-integrierten Sensors, platziert außerhalb der aktiven Chipfläche (vgl. Abbildung 4.11a), sowie der etablierten $U_{SD}(T)$ -Methode, durchgeführt. Dabei wurden unter anderem $T_{vj,max}$ und $T_{j,max}$ in jedem Zyklus gemessen und die Sensortemperatur anhand des vorab aus der Abkühlkurve gemessenen $R_{th,ers}$ korreliert. Alle DUTs fielen durch Erreichen der $+5\%U_{DS,on}$ -Schwelle infolge von Bondabgängen aus; die Separation und Identifikation von Degradation und Ausfall im elektrischen Pfad wird in Kapitel 5 thematisiert.

Abbildung 4.24 zeigt exemplarisch zunächst die Ergebnisse der Temperaturerfassung des unvergossenen Moduls: Wie erwartet liefert der Sensor eine geringere Temperatur als die $U_{SD}(T)$ -Methode, die sich jedoch mithilfe des linearen Korrelationsansatzes (vgl.

Abschnitt 4.2.3) in eine äquivalente Temperatur umrechnen lässt. Die korrelierte Sensortemperatur entspricht dabei fast exakt der mittels $U_{SD}(T)$ -Methode gemessenen, was die Eignung des chip-integrierten Sensors in Kombination mit der entwickelten Korrelationsmethode zur Temperaturerfassung während EoL-Lastwechseltests zeigt.

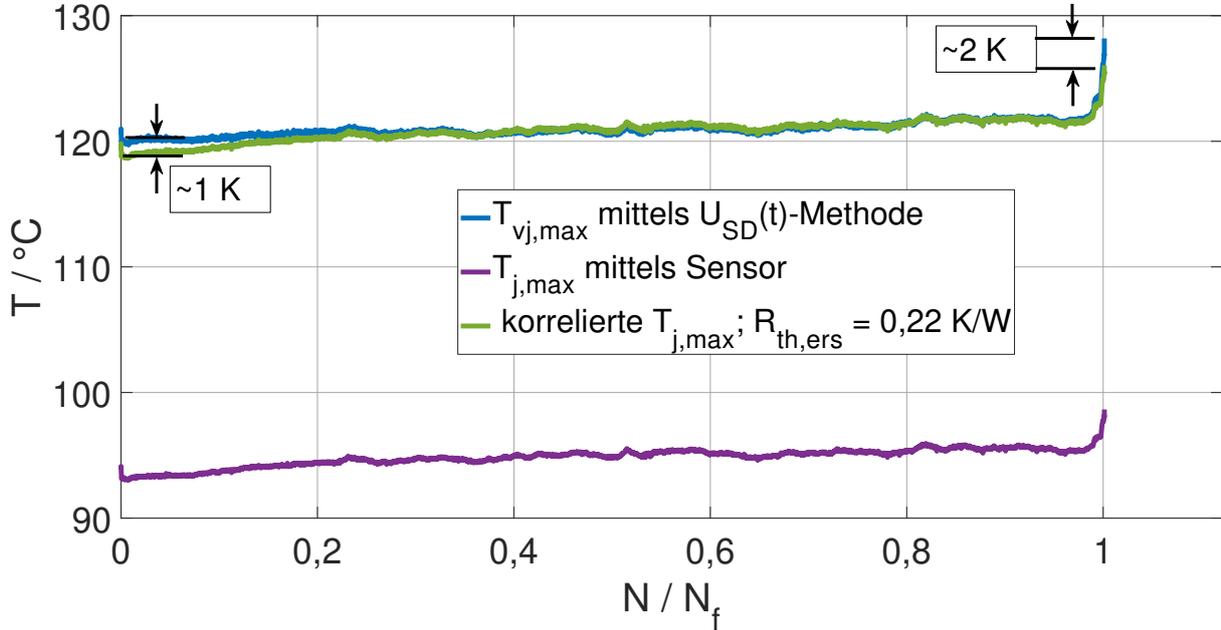


Abbildung 4.24: Korrelation von $T_{j,max}$ gemessen mittels chip-integriertem Sensor mit $T_{vj,max}$ gemessen mittels $U_{SD}(T)$ -Methode während eines EoL-Lastwechseltests; $\Delta T_{vj} = 80 \text{ K}$; $T_{vj,min} = 40 \text{ °C}$; $U_{GS,on} = 15 \text{ V}$; $U_{GS,off} = -10 \text{ V}$; $t_{on} = 3 \text{ s}$; $t_{off} = 6 \text{ s}$

Um ferner auszuschließen, dass auftretende Degradationen die Korrelation beeinflussen, wurde $Z_{th,ers}(t)$ während der Testdurchführung zur mehreren Zeitpunkten erfasst; die Ergebnisse zeigt **Abbildung 4.25**. Der ermittelte $R_{th,ers}$ variiert während des Testdurchlaufs um ca. 6 %, wobei die Messungen vor dem Lastwechseltest mit $0,22 \frac{\text{K}}{\text{W}}$ und nach Erreichen des Ausfallkriteriums bei $\frac{N}{N_f} = 1$ mit $0,216 \frac{\text{K}}{\text{W}}$ näherungsweise die selben Ergebnisse liefern, was darauf hindeutet, dass die Varianz von ca. 5 % auf Messtoleranzen zurückzuführen ist.

Abbildung 4.26 zeigt eine aufgenommene IR-Messung nach Ausfall während der Aufheizphase. Dabei ist ersichtlich, dass drei der fünf Bonddrähte (vgl. **Abbildung 4.11a**) nicht mehr stromführend sind, was zum einen ursächlich für das Erreichen des Fehlerkriteriums ist und zum anderen lokal an den Bondfüßen die Temperaturverteilung auf der Chipoberfläche beeinflusst: In der Nähe der noch stromführenden Bonds entstehen Wärmeinseln und in der Nähe der nicht mehr stromführenden entsprechend geringere Temperaturen, was zwar die laterale Temperaturverteilung auf der Chipoberfläche beeinflusst, die Korrelation zwischen Sensormessung und flächenbezogener Mittelwerttemperatur aber näherungsweise unverändert lässt, wie **Abbildungen 4.24** und **4.25** zeigen. Hieraus kann auch die

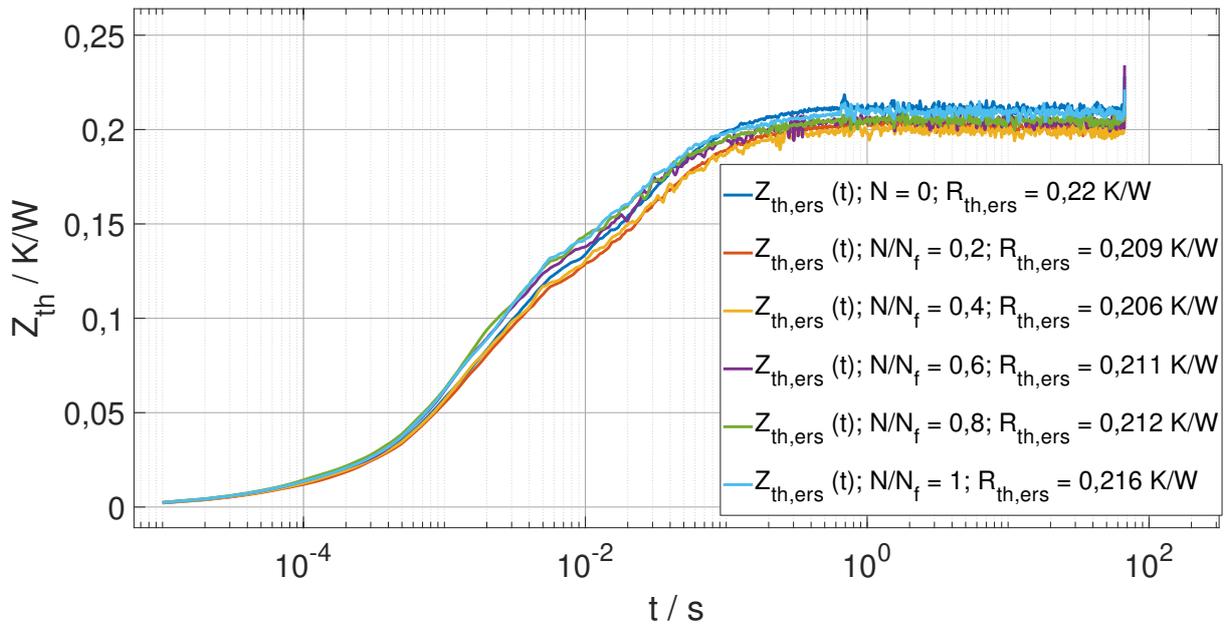


Abbildung 4.25: Gemessene thermische Impedanzen zwischen der flächenbezogenen Mittelwerttemperatur T_{vj} und der lokalen Sensortemperatur T_j bei $I_{Last} = 50$ A während des EoL-Lastwechseltests

Forderung abgeleitet werden, den chip-integrierten T_j -Sensor nicht in unmittelbarer Nähe der stromführenden Source-Bonddrähte zu platzieren.

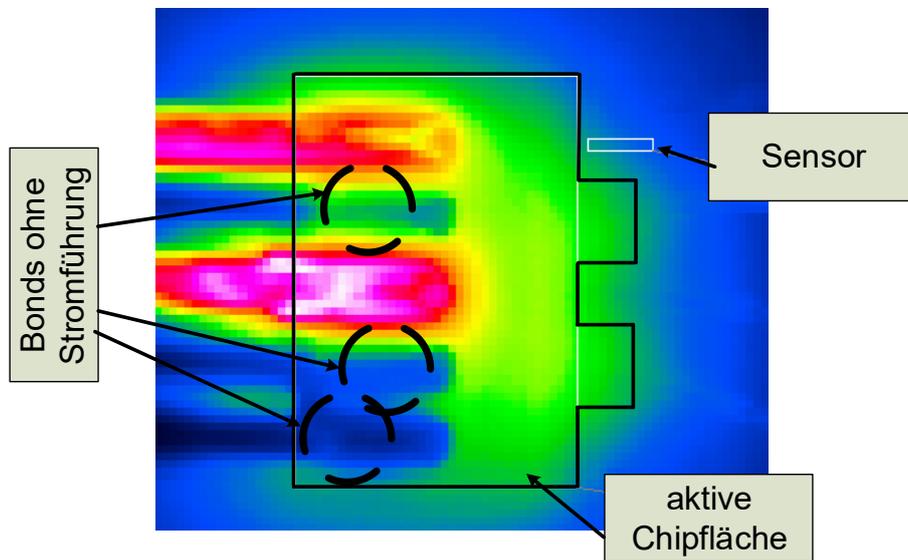


Abbildung 4.26: Aufgenommene IR-Messung nach EoL: Drei Bonddrähte sind nicht mehr stromführend

4.3 Fazit

Die wesentlichen Ergebnisse dieses Kapitels lassen sich wie folgt zusammenfassen:

- Zur Absicherung der Anwendbarkeit der $U_{SD}(T)$ -Methode ist sicherzustellen, dass eine negative $U_{GS,off}$ gewählt wird, die den Inversionskanal vollständig schließt. Eine statische Betrachtung ist hierzu hinreichend: Sobald U_{SD} unabhängig von einer Änderung von $U_{GS,off}$ ist, ist der Kanal geschlossen. Diese Charakterisierung sollte sowohl bei niedrigen als auch hohen Temperaturen erfolgen, da die Abhängigkeit der U_{SD} von $U_{GS,off}$ auch temperaturabhängig ist. Ferner hilft eine relative Darstellung sowie eine dynamische Charakterisierung im Lastwechselstand, den ggf. zu erwartenden Messfehler zu quantifizieren.
- Es kann keine universelle $U_{GS,off}$ definiert werden, die den Inversionskanal aller SiC-MOSFETs sicher schließt bzw. die Anwendbarkeit der $U_{SD}(T)$ -Methode zur zuverlässigen T_{vj} -Erfassung garantiert, weshalb eine individuelle Charakterisierung notwendig ist. Zur Minimierung des Messfehlers sollten ferner während Kalibrierung und Lastwechseltest die gleiche $U_{GS,off}$ anliegen.
- Ein chip-integrierter T_j -Sensor kann alternativ zur T_{vj} -Bestimmung genutzt werden, was insbesondere hilfreich ist, wenn die $U_{SD}(T)$ -Methode nicht anwendbar ist — beispielsweise, weil keine $U_{GS,off}$ gefunden wurde, die den Kanal vollständig schließt, oder weil eine anti-parallele Schottky-Diode verbaut ist. Ist der Sensor in der Chipmitte platziert, entspricht dessen Messwert näherungsweise der flächenbezogenen Mittelwerttemperatur im thermisch eingeschwungenen Zustand und damit der $U_{SD}(T)$ -Methode. Ist der Sensor am Rand oder gar leicht außerhalb der aktiven Chipfläche lokalisiert, ist eine Korrelation nötig. Hierzu ist für den betrachteten Fall eine lineare und stationäre Modellierung über einen thermischen Ersatzwiderstand $R_{th,ers}$ für Lastwechseltests hinreichend, was für andersartige DUTs mit der entwickelten Methode überprüft werden sollte.
- Die Ermittlung des $R_{th,ers}$ kann sowohl messtechnisch als auch simulativ erfolgen, wobei die Lokalisierung des Sensors im Chip und die laterale Chipgeometrie für die Simulation entscheidend sind. Toleranzen im thermischen Pfad zwischen Chip und Kühlung sind hingegen zu vernachlässigen. Zur Minimierung des Korrelationsfehlers sollte zur Ermittlung von $R_{th,ers}$ der gleiche Strom bzw. näherungsweise die gleiche Verlustleistung wie im späteren Lastwechseltest appliziert werden.

5 Separation und Identifikation von Degradation und Ausfall im elektrischen Pfad

5.1 Herausforderungen

Ein Anstieg der Vorwärtsspannung bei Laststromfluss $U_{DS,on}$ um 5 % sowie ein Anstieg des thermischen Widerstandes $R_{thj,ref}$ um 20 % dienen zur Fehleridentifikation im elektrischen bzw. thermischen Pfad während eines EoL-Lastwechseltests gemäß AQC324 [102] [160] (vgl. Abschnitt 2.3.3). Dabei sind die Messbedingungen — insbesondere der Messzeitpunkt der $U_{DS,on}$ -Erfassung im Lastwechselzyklus — nicht eindeutig definiert [160], weshalb sowohl Lastwechselergebnisse von Leistungshalbleiterbauelementen mit SiC-MOSFETs mit einer Messung zu Beginn des Laststromflusses als $U_{DS,on,kalt}$ [105] [132] als auch am Ende als $U_{DS,on,warm}$ [137] publiziert sind. Dabei beeinflussen überlagernde Degradationen im thermischen Pfad — die zu einem Anstieg von $R_{thj,ref}$ führen — insbesondere die $U_{DS,on,warm}$ -Erfassung, weshalb der Abtastzeitpunkt das Erreichen der +5 % $U_{DS,on}$ -Fehlerschwelle und somit das Lastwechselergebnis beeinflusst [161], wobei die $U_{DS,on,warm}$ -Erfassung typischerweise zu einer geringeren Lebensdauer als die $U_{DS,on,kalt}$ -Erfassung führt und der Einfluss bei SiC-MOSFETs wesentlich größer als bei IGBTs ist [160]. Die alleinige Erfassung von $U_{DS,on,kalt}$ birgt hingegen das Risiko, aufgetretene Degradationen im elektrischen Pfad, wie Bondabgänge in umpressten Aufbauten, nicht zu erfassen, da die Umpressmasse die bereits gelösten elektrischen Kontakte im kalten Zustand zusammen drückt [160]; eine Erfassung von sowohl $U_{DS,on,kalt}$ als auch $U_{DS,on,warm}$ erscheint folglich zweckmäßig [160]. Ferner vorgeschlagene Ansätze wie das Anheben der Fehlerschwelle [161] [162] oder das Einführen zusätzlicher Messzyklen in den Prüfablauf [160] sind nicht AQC324-konform [102] [160].

Eine Langzeit- U_{th} -Verschiebung beeinflusst zusätzlich die Fehleridentifikation im elektrischen Pfad: Ein Anstieg von U_{th} während des Lastwechseltests, wie er einzig aufgrund des anliegenden Gate-Profiles entsteht (vgl. Abschnitt 3.3), erhöht gemäß (2.8) den Kanalwiderstand und somit gemäß (2.4) $R_{DS,on}$ bzw. $U_{DS,on}$. Der $R_{DS,on}$ -Anstieg infolge von ΔU_{th} hängt ferner wesentlich vom Anteil des Kanalwiderstandes am Gesamtwiderstand ab, weshalb zu erwarten ist, dass $U_{DS,on,kalt}$ stärker durch ΔU_{th} beeinflusst wird als $U_{DS,on,warm}$; vgl. Abschnitt 3.3.2. Der Einfluss von ΔU_{th} auf das Lastwechselergebnis von SiC-MOSFETs ist bisweilen unbekannt. Da sowohl ΔU_{th} als auch die resultierende Arbeitspunktverschiebung über $\Delta R_{DS,on}$ zwischen SiC-MOSFETs unterschiedlicher Hersteller und

Chipgenerationen und darüber hinaus auch in Abhängigkeit der Parametereinstellungen eines Lastwechseltests — insbesondere der Gate-Spannung — stark variieren kann (vgl. Abschnitt 3.3), ist ΔU_{th} zu erfassen. Eine Messung mittels Kennlinienschreiber vor und nach erfolgtem Lastwechseltest ist für SiC-MOSFETs mit Unsicherheiten behaftet (vgl. Abschnitt 3.1.1), weshalb eine kontinuierliche ΔU_{th} -Erfassung, wie im Abschnitt 3.1.2 beschrieben, implementiert werden sollte.

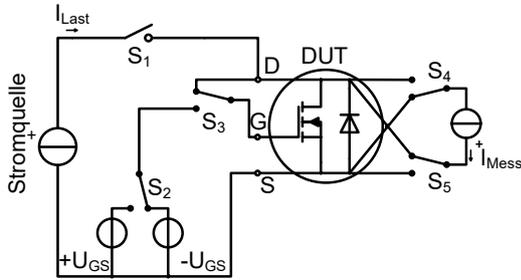
Ein Einfluss der Wahl von $U_{\text{GS,on}}$ auf die Fehleridentifikation im elektrischen Pfad ist ferner zu erwarten, da $U_{\text{GS,on}}$ gemäß (2.8) und (2.4) maßgeblich den Anteil des Kanalwiderstandes am Gesamtwiderstand und somit sowohl dessen Temperaturabhängigkeit [163] — damit den Einfluss auftretender Degradationen im thermischen Pfad auf $U_{\text{DS,on,warm}}$ und die zunehmende Testbeschleunigung bei auftretenden Degradationen — als auch den Einfluss von ΔU_{th} auf $U_{\text{DS,on}}$ — insbesondere $U_{\text{DS,on,kalt}}$ — bestimmt. Die einmalige Anpassung der positiven Gate-Spannung zur Einstellung des Temperaturhubes über Anpassung der Verlustleistung bei gegebenem Laststrom vor einem Lastwechseltest ist für IGBTs gängige Praxis, wie beispielsweise in der im Abschnitt 2.3.5 beschriebenen Fallstudie ausgeführt, und AQG324-konform [102], aber auf Eignung für SiC-MOSFETs zu überprüfen.

5.2 Separation und Quantifizierung des Einflusses der sich überlappenden Degradationsmechanismen mittels erweiterter Datenerfassung

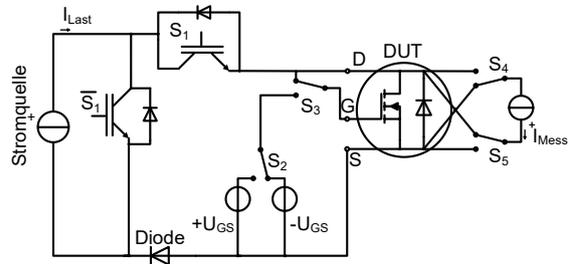
5.2.1 Schaltungs- und Messkonzept

Zur Erfassung einer Langzeit- U_{th} -Verschiebung während eines Lastwechseltests wurde das in **Abbildung 5.1** gezeigte Schaltungskonzept umgesetzt: **Abbildung 5.1a** zeigt eine vereinfachte Darstellung zum Lastwechseln von SiC-MOSFETs, wie im Abschnitt 2.3.6 erläutert, wobei der Messaufbau um drei Kleinstleistungsschalter S_3 , S_4 und S_5 zur ΔU_{th} -Messung ergänzt ist, wie im Abschnitt 3.1.2 beschrieben. Dabei liefert die Stromquelle einen konstanten Laststrom, der über den Leistungsschalter S_1 , welcher mit zwei gegensinnig angesteuerten IGBT-Modulen realisiert ist (**Abbildung 5.1b**), entweder während t_{on} (**Abbildung 5.1c**) über den Prüfling oder während t_{off} über einen Freilaufpfad (**Abbildung 5.1d**) fließt, sodass das $t_{\text{on}}/t_{\text{off}}$ -Verhältnis frei einstellbar ist. Zur T_{vj} -Erfassung wird dem Prüfling während t_{off} über den Gate-Treiber S_1 eine hinreichend negative Gate-Spannung $U_{\text{GS,off}}$ appliziert und der Messstrom über die inverse Body-Diode geleitet (**Abbildung 5.1d**; vgl. Abschnitt 4.1). Ebenfalls während t_{off} wird U_{th} des jeweiligen Zyklus gemessen, wobei sowohl eine Erfassung nach einem kurzen positiven Vorkonditionierungspuls als $U_{\text{th}}^{\text{pos}}$ (**Abbildung 5.1e**) und eine sich anschließende Erfassung nach einem kurzen negativen

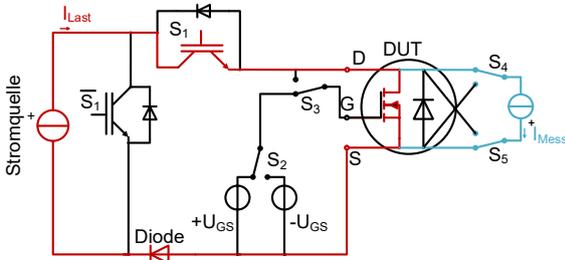
Vorkonditionierungspuls als U_{th}^{neg} (Abbildung 5.1f) am Ende von t_{off} umgesetzt wurde; vgl. Abbildung 3.9. Um den Parallelpfad über die inverse Diode von S_1 und den IGBT des Feilaufpfades während der U_{th} -Messung zu sperren, ist eine zusätzliche Leistungsdiode nötig, die im Laststromrücklaufpfad in Reihe mit dem Prüfling geschaltet ist.



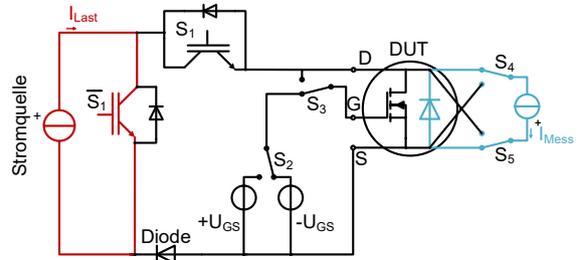
(a) vereinfachte Darstellung



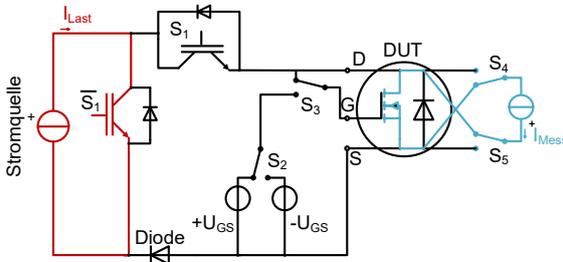
(b) Darstellung mit Freilaufpfad



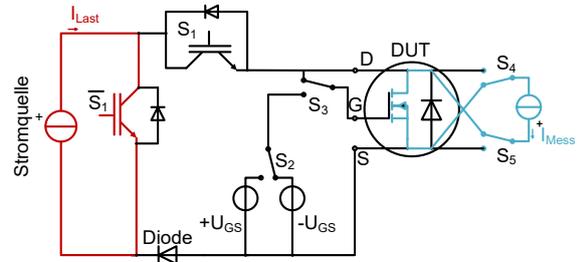
(c) $U_{DS,on}$ Messung während t_{on}



(d) $U_{SD}(T)$ Messung während t_{off}



(e) U_{th}^{pos} Messung während t_{off}



(f) U_{th}^{neg} Messung während t_{off}

Abbildung 5.1: Umgesetztes Schaltungskonzept sowie Schalterstellung und Stromflüsse während der einzelnen Messzeitpunkte beispielhaft gezeigt mit einem Prüfling; üblicherweise erfolgt die Lastwechselprüfung mehrerer in Reihe geschalteter Prüflinge.

Die Schalterstellungen, Messzeitpunkte und jeweils aufgenommenen Messdaten während eines jeden Lastwechselzyklus fassen **Abbildung 5.2** und **Tabelle 5.1** zusammen; die Synchronisierung der Messdatenerfassung ist dabei über ein FPGA-basiertes Messsystem realisiert und erfolgt anhand der gemessenen Laststromflanken, sodass die Abtastung aller Prüflinge stets simultan mit einer zeitlichen Auflösung von $10 \mu s$ erfolgt: Die Erfassung von

$U_{\text{DS,on}}$ erfolgt sowohl zu Beginn von t_{on} als $U_{\text{DS,on,kalt}}$ (t_1) als auch kurz, bevor der Laststrom weggeschaltet wird, als $U_{\text{DS,on,warm}}$ (t_2). Zu diesen Zeitpunkten wird simultan auch der Laststrom abgetastet. Bei Prüflingen mit unabhängigem Sense-Source-Anschluss (vgl. **Abbildung 5.3**) wird ferner sowohl $U_{\text{DS,on}}$ als auch $U_{\text{DSS,on}}$ zu beiden Zeitpunkten abgetastet. Dem liegt die Arbeitshypothese zugrunde, dass letztere unabhängig von Degradationen der laststromführenden Bonddrähte ist, sodass näherungsweise der Einfluss von parasitären Drifteffekten auf den Vorwärtsspannungsabfall direkt gemessen und quantifiziert werden kann. Zudem lässt sich aus der Differenz der beiden Spannungen der Spannungsabfall über den stromführenden Bonddrähten ermitteln:

$$U_{\text{BW}} = U_{\text{DS,on}} - U_{\text{DSS,on}} \quad \text{bzw.} \quad R_{\text{BW}} = \frac{U_{\text{DS,on}} - U_{\text{DSS,on}}}{I_{\text{Last}}} \quad (5.1)$$

wodurch ein von ΔU_{th} unabhängiger Indikator für Degradationen an den Bonddrähten, wie beispielsweise eine Rissbildung an den Bondfüßen oder Bondabgänge, zur Verfügung steht. Wird zusätzlich angenommen, dass die Degradationen an den Bondfüßen im elektrischen Pfad dominieren und die Abtastung zu Beginn des Lastpulses $R_{\text{BW,kalt}}$ von Degradationen im thermischen Pfad entkoppelt ist, kann der Einfluss der sich überlappenden Effekte — Degradation im elektrischen Pfad, Degradation im thermischen Pfad und Halbleiterinduzierte Drifteffekte, insbesondere ΔU_{th} (vgl. Abschnitt 3.3) — auf das Erreichen der $+5\% U_{\text{DS,on}}/R_{\text{DS,on}}$ -Fehlerschwelle quantifiziert werden. Die Auswertung von $R_{\text{DS,on}}$ anstatt $U_{\text{DS,on}}$ ermöglicht ferner die Berücksichtigung möglicher nicht-idealer Einflüsse der Laststromquelle, bedingt aber eine simultane Abtastung von $U_{\text{DS,on,kalt}}$ und $I_{\text{Last,kalt}}$ bzw. $U_{\text{DS,on,warm}}$ und $I_{\text{Last,warm}}$. Aus letzteren wird die Verlustleistung berechnet, die in die Ermittlung des thermischen Widerstandes gemäß (2.24) eingeht. T_{ref} wird hierzu ebenfalls zu t_2 simultan mit der selben Messtechnik über Thermoelemente gemessen, wofür zusätzlich eine Thermoelementenmesskarte entwickelt wurde, die die Thermoelementendifferenzspannung mit hoher Bandbreite verstärkt und in ein absolutes Temperaturmesssignal mit $5 \frac{\text{mV}}{\text{K}}$ wandelt, sodass alle Messsignale von der selben Spannungsmesskarte simultan ausgewertet werden können.

Während t_{off} erfolgt die T_{vj} -Ermittlung über die $U_{\text{SD}}(T)$ -Methode, wobei, kurz nachdem der Laststrom weggeschaltet wurde, über eine Zeitspanne U_{SD} gemessen und mittels der \sqrt{t} -Methode, wie im Zusammenhang mit Abbildung 2.13 beschrieben, $T_{\text{vj,max}}$ geschätzt wird (t_3) und kurz bevor der Laststrom wieder zugeschaltet wird $T_{\text{vj,min}}$ erfasst wird. Am Ende von t_{off} erfolgt ebenfalls die ΔU_{th} -Erfassung, wie in Abschnitt 3.1.2 bereits erläutert. Bei Prüflingen mit monolithisch integriertem Temperatursensor (vgl. Abschnitt 4.2) wird ferner zu jedem Messzeitpunkt auch die Sensortemperatur mit erfasst, sodass beispielsweise zusätzlich Temperaturänderungen zum Messzeitpunkt von $U_{\text{DS,on,kalt}}$ und $U_{\text{DS,on,warm}}$ gemessen werden, wodurch die Entkopplung von $U_{\text{DS,on,kalt}}$ von Degradationen im thermischen

Pfad abgesichert werden kann.

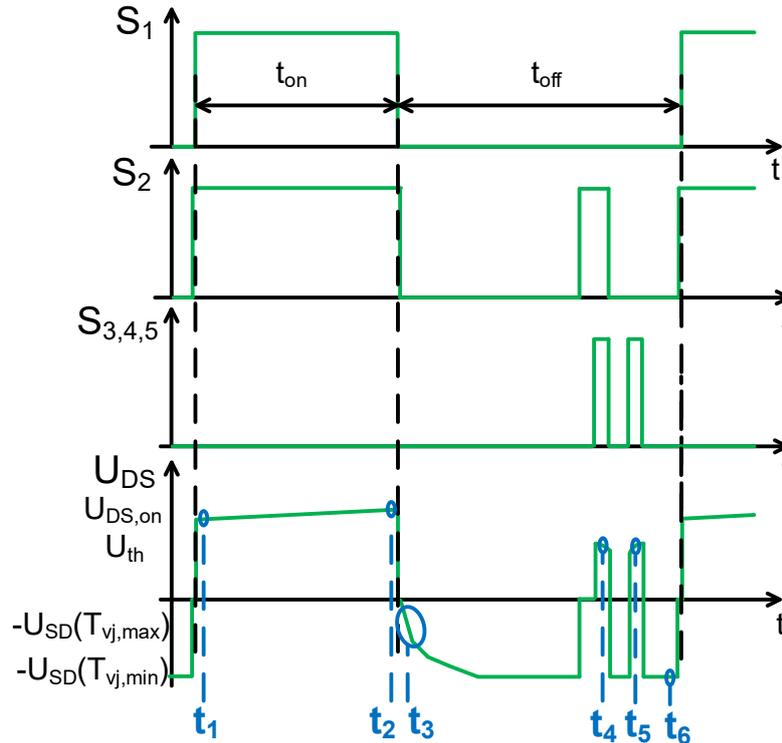


Abbildung 5.2: Schalterstellungen und Messzeitpunkte während eines Lastwechseltests mit erweitertem Datenmonitoring

Tabelle 5.1: Erweiterte Datenerfassung

* Prüflinge mit integriertem T_j -Sensor

** mittels \sqrt{t} -Methode; vgl. Abbildung 2.13

*** Prüflinge mit unabhängigem Sense-Source Anschluss

	t_1	t_2	t_3	t_4	t_5	t_6
gemessene Werte	$U_{DS,on,kalt}$	$U_{DS,on,warm}$	$T_{vj,max}^{**}$	U_{th}^{pos}	U_{th}^{neg}	$T_{vj,min}$
	$I_{Last,kalt}$	$I_{Last,warm}$		$T_j^*(U_{th}^{pos})$	$T_j^*(U_{th}^{neg})$	$T_{j,min}^*$
	$T_{j,kalt}^*$	$T_{j,warm}^*$				
	$U_{DSS,on,kalt}^{***}$	$U_{DSS,on,warm}^{***}$				
		T_{ref}				
errechnete Werte	$R_{DS,on,kalt}$	$R_{DS,on,warm}$				
	$R_{DSS,on,kalt}^{***}$	$R_{DSS,on,warm}^{***}$	ΔT_{vj}	ΔU_{th}		
	$R_{BW,kalt}^{***}$	$R_{BW,warm}^{***}$				
		$R_{thj,ref}$				

5.2.2 Experimentelle Validierung

Sowohl die Versuchsmuster mit integriertem T_j -Sensor (vgl. Abschnitt 4.2.3) als auch device A verfügen über einen unabhängigen Sense-Source-Anschluss, wie in Abbildung 5.3

gezeigt, weshalb der Spannungsabfall über die stromführenden Source-Bonds gemäß (5.1) während eines Lastwechseltests erfassbar ist. Bei beiden exemplarischen Prüflingen handelt es sich um 1200 V SiC-MOSFETs.

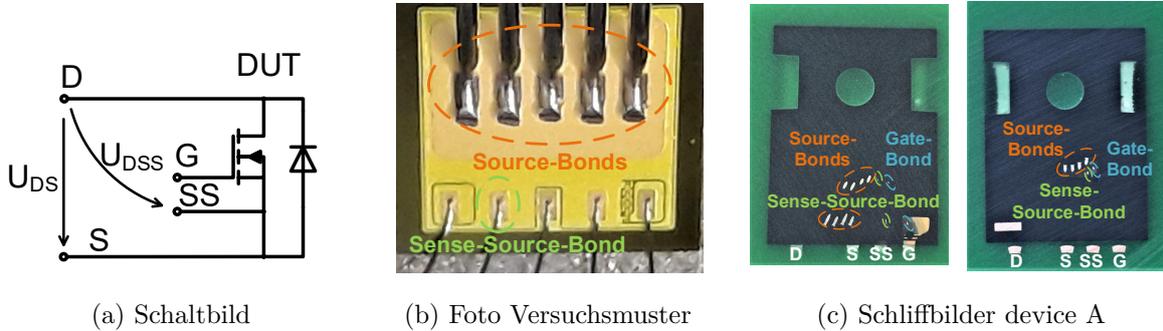
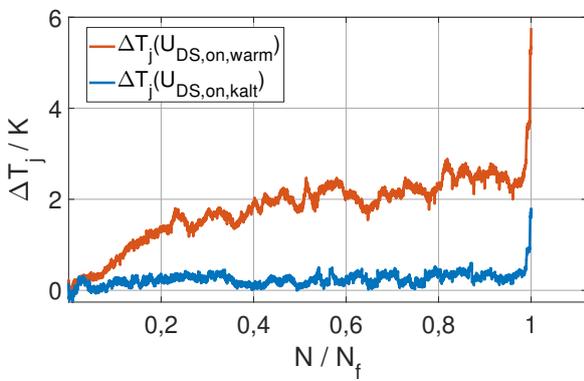


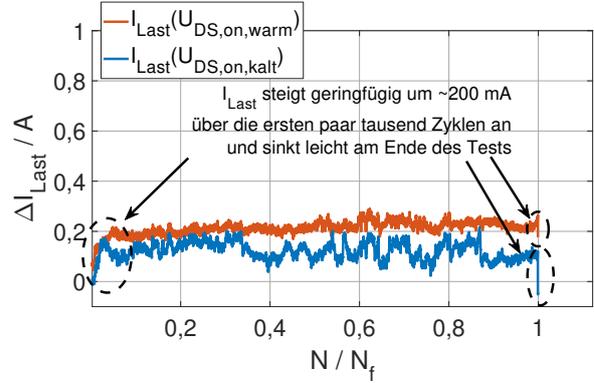
Abbildung 5.3: Beispielpfing mit unabhängigen Sense-Source-Anschluss

Zunächst sei das unvergossene Versuchsmuster betrachtet, dessen Temperaturverlauf während des exemplarisch durchgeführten Lastwechseltests mit $\Delta T_{vj} = 80 \text{ K}$ in Abschnitt 4.2.3 diskutiert wurde. Die aufgenommenen Messdaten während des Testdurchlaufs fasst **Abbildung 5.4** zusammen. Der integrierte T_j -Sensor ermöglicht die Temperaturmessung während Laststromfluss, wodurch die Temperaturänderung zum Zeitpunkt der $U_{DS,on,kalt}$ und $U_{DS,on,warm}$ -Erfassung gemessen werden kann, wie in **Abbildung 5.4a** gezeigt: Dabei wurde $U_{DS,on,kalt}$ 100 ms nach Beginn des Laststromflusses durch den Prüfling abgetastet und $U_{DS,on,warm}$ kurz bevor der Laststrom weggeschaltet wurde. Zu sehen ist, dass $T_j(U_{DS,on,warm})$ während des Testdurchlaufes kontinuierlich ansteigt, $T_j(U_{DS,on,kalt})$ bleibt hingegen näherungsweise konstant. Ein kleiner Anstieg von ca. 0,2 K zeigt sich zu Testbeginn, der sich mit einem geringen Anstieg des Laststromes infolge des nicht-idealen Verhaltens der Laststromquelle um ca. 200 mA erklären lässt, wie **Abbildung 5.4b** zeigt, und sich auch in einem Anstieg von $U_{DS,on}$ sowie $U_{DSS,on}$ um ca. 0,5 % zeigt, der sich durch Auswertung von $R_{DS,on}$ anstelle von $U_{DS,on}$ vermeiden lässt; vgl. **Abbildung 5.4c** und **5.4d**. Während des Lastwechseltests laufen die Kurven von $U_{DS,on}$ und $U_{DSS,on}$ kontinuierlich auseinander, wobei sich die Kalt- und Warmwerte kaum unterscheiden, was auf eine fortlaufende Degradation an den stromführenden Bonddrähten ohne signifikanten Einfluss von Degradationen im thermischen Pfad hindeutet. Da $U_{DSS,on}$ während des Testdurchlaufes kaum ansteigt, kann ferner auf einen vernachlässigbaren Einfluss von ΔU_{th} ausgegangen werden (eine Erfassung von ΔU_{th} erfolgte während dieses Testlaufes aufgrund der installierten IR-Kamera nicht), wobei die Auswertung von $\Delta R_{DS,on}$ (**Abbildung 5.4d**) bzw. ΔR_{BW} (**Abbildung 5.4e**) und $\Delta R_{DSS,on}$ (**Abbildung 5.4f**) eine genauere Quantifizierung ermöglicht: Bis vor dem ersten Bondabgang steigt $\Delta R_{DS,on}$ um ca. 1,45 % an, wobei — bezogen auf $R_{DS,on,kalt}$ — maximal ca. 0,35 % auf ΔU_{th} und ca. 1,1 % auf Degradationen an den stromführenden Bonds zurückzuführen sind. $R_{DSS,on,kalt}$ wird dabei stärker von ΔU_{th} beeinflusst, da bei niedrigeren Temperaturen der Anteil von R_{ch} an $R_{DS,on}$ höher ist; vgl.

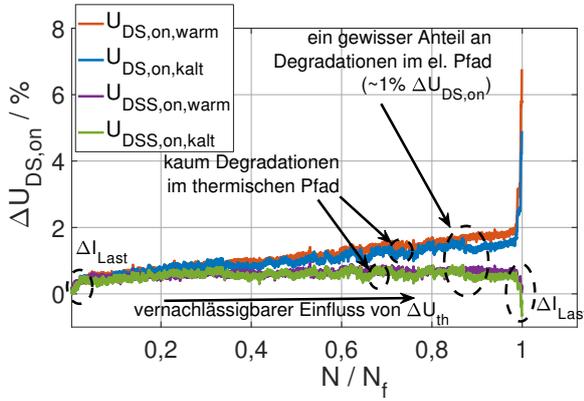
Abschnitt 3.3.2. ΔR_{BW} steigt während des Tests kontinuierlich an, was auf eine kontinuierliche Rissbildung in den Bondfüßen hindeutet. Fehlerursache ist der Abgang von drei Bonddrähten, wie mittels IR-Messung gezeigt; vgl. Abbildung 4.26.



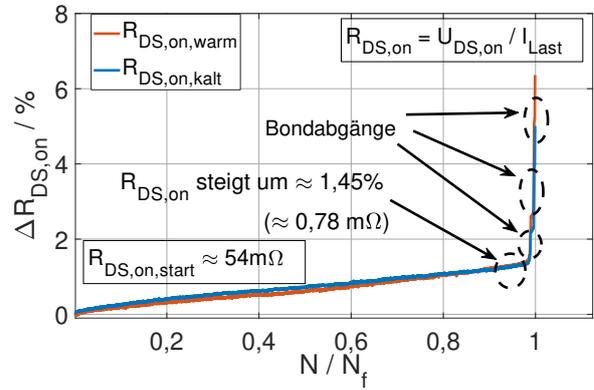
(a) ΔT_j zum Zeitpunkt der $U_{DS,on}$ Messungen



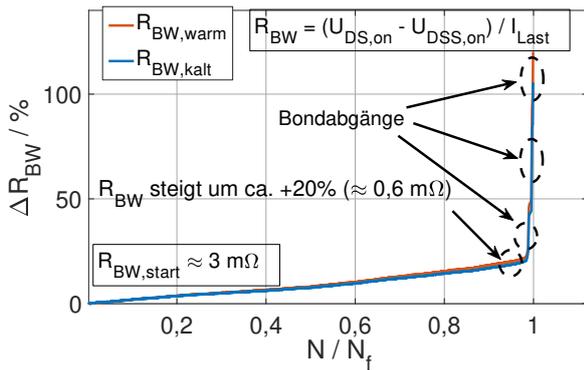
(b) ΔI_{Last} zum Zeitpunkt der $U_{DS,on}$ Messungen



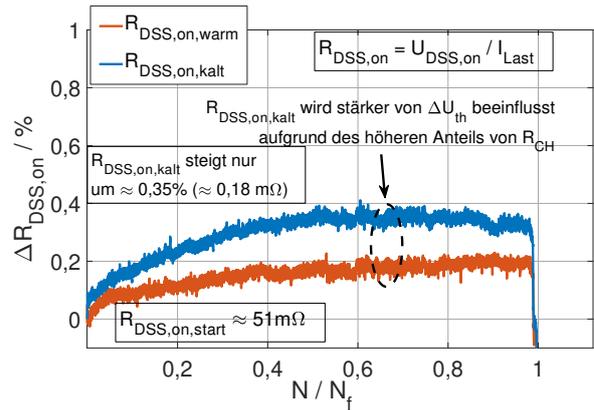
(c) $\Delta U_{DS,on}$



(d) $\Delta R_{DS,on}$



(e) ΔR_{BW}



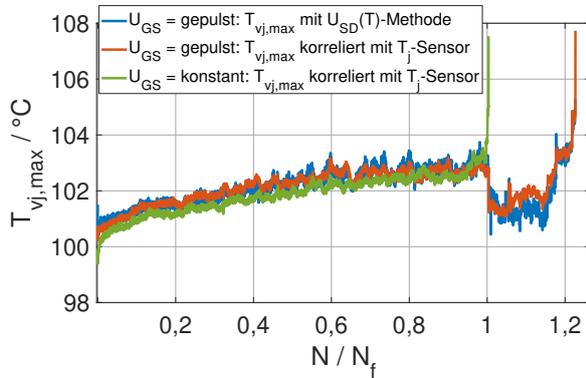
(f) $\Delta R_{DSS,on}$

Abbildung 5.4: Quantifizierende Separation des Einflusses der sich überlagernden Degradationsmechanismen auf die Fehleridentifikation im elektrischen Pfad am Beispiel des offenen Versuchsmusters; $\Delta T_{vj} = 80 \text{ K}$; $T_{vj,min} = 40 \text{ }^\circ\text{C}$; $U_{GS,on} = 15 \text{ V}$; $U_{GS,off} = -10 \text{ V}$; $t_{on} = 3 \text{ s}$; $t_{off} = 6 \text{ s}$

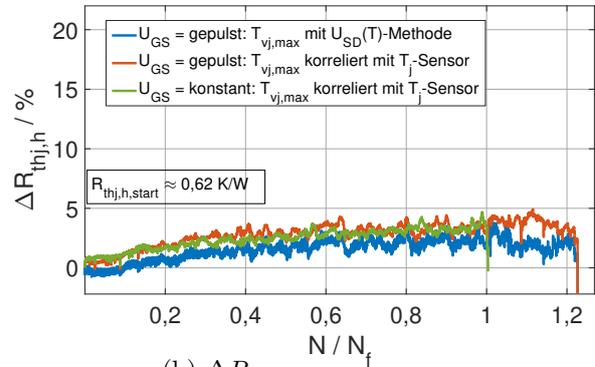
Vergleich des Einflusses eines gepulsten und konstanten Gate-Profiles

Verfügt ein SiC-MOSFET über einen chipintegrierten T_j -Sensor, ist die Anwendung der $U_{SD}(T)$ -Methode — und damit das Schalten des Prüflings während des Lastwechseltests — optional, was die Frage aufwirft, ob ein Gate-Spannungsprofil mit $U_{GS,on} = \text{konstant}$ im Vergleich zu einer gepulsten Gate-Spannung einen Einfluss auf das Lastwechselergebnis hat, wie von der durchgeführten Charakterisierung bei konstanter Temperatur angedeutet; vgl. Abschnitt 3.3.2. **Abbildung 5.5** zeigt hierzu die aufgenommenen Messdaten eines exemplarischen Lastwechseltests zweier Versuchsmuster bei $\Delta T_{vj} = 60 \text{ K}$, wobei beide Module in Reihe geschaltet sowie auf den selben Kühlkörper montiert sind und einem ein gepulstes Gate-Spannungsprofil ($U_{GS,on} = 15 \text{ V}$ für 3 s und $U_{GS,off} = -10 \text{ V}$ für 6 s) bzw. dem anderen eine konstante Gate-Spannung ($U_{GS,on} = 15 \text{ V}$; $t_{Zyklus} = 9 \text{ s}$) appliziert wurde. Die Anzahl der Lastwechselzyklen N ist dabei normiert auf die Zyklen bis zum Ausfall N_f des ersten ausgefallenen Moduls dargestellt, wobei dieses nach erkanntem Ausfall aus dem Strompfad entfernt wurde und der Lastwechsel anschließend fortgesetzt wurde. Aufgrund des Wegfalls der thermischen Kopplung beider Prüflinge verringert sich T_c des weiter bestromten Prüflings zu diesem Zeitpunkt, was sich in einer Reduktion von $T_{vj,max}$ (vgl. **Abbildung 5.5a**) und $R_{DS,on}$ sowie einer Erhöhung von U_{th} (vgl. **Abbildung 5.5c**) zeigt.

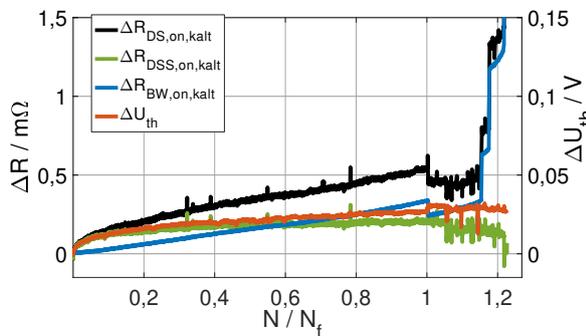
Während des Tests steigt $T_{vj,max}$ beider Prüflinge kontinuierlich bis um ca. 2 K an, dabei ändert sich $R_{thj,h}$ nur geringfügig um ca. 3,5 % und ohne merklichen Unterschied zwischen beiden Prüflingen; vgl. **Abbildung 5.5b**. Auch $R_{BW,kalt}$ beider Prüflinge steigt während des Lastwechseltests kontinuierlich bis um ca. 0,4 m Ω vor dem ersten Bondabgang an, was etwas geringer ist als der Anstieg des unvergossenen Moduls bei $\Delta T_{vj} = 80 \text{ K}$ (**Abbildung 5.4**). Beide Module fallen durch Erreichen der +5 % $U_{DS,on,kalt}/R_{DS,on,kalt}$ -Schwelle infolge mehrerer Bondabgänge aus. Ein deutlicher Unterschied zeigt sich jedoch im gemessenen U_{th} -Anstieg: Dieser fällt — in Übereinstimmung mit der Charakterisierung bei konstanter Temperatur, vgl. Abschnitt 3.3.2 — bei konstanter Gate-Spannung deutlich stärker aus als bei gepulster (vgl. **Abbildung 5.5c** mit **5.5d**), was sich auch in einem deutlich stärkeren Anstieg von $R_{DSS,on,kalt}$ bei konstanter Gate-Spannung widerspiegelt, der insbesondere am Anfang des Lastwechseltests zu einem stärkeren $R_{DS,on}$ -Anstieg führt. Bei konstanter Gate-Spannung ist das Ausfallkriterium bereits vor dem ersten Bondabgang zur Hälfte erfüllt (Anstieg um +2,5 % $R_{DS,on,kalt}$; vgl. **Abbildung 5.5f**), bei gepulster Gate-Spannung nur zu ca. 15 % (Anstieg um +0,75 % $R_{DS,on,kalt}$; vgl. **Abbildung 5.5e**), wobei bei gepulster Gate-Spannung der Anteil an Degradationen im elektrischen Pfad und bei konstanter Gate-Spannung der Einfluss des Schwellspannungsanstiegs überwiegt. Ebenso ist die Lebensdauer des Prüflings mit gepulster Gate-Spannung um ca. 20 % höher (**Abbildung 5.5d**), was ein deutliches Indiz dafür ist, dass ΔU_{th} — und somit u.a. das applizierte Gate-Spannungsprofil — einen Einfluss auf die Lastwechselfestigkeit von SiC-MOSFETs hat.



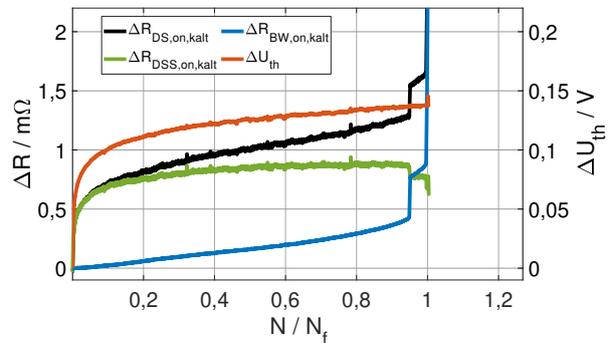
(a) $T_{vj,max}$



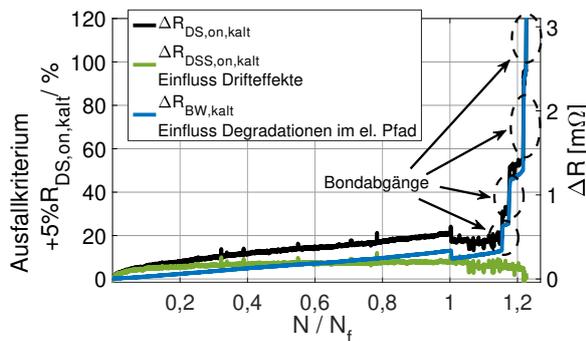
(b) $\Delta R_{thj,h}$



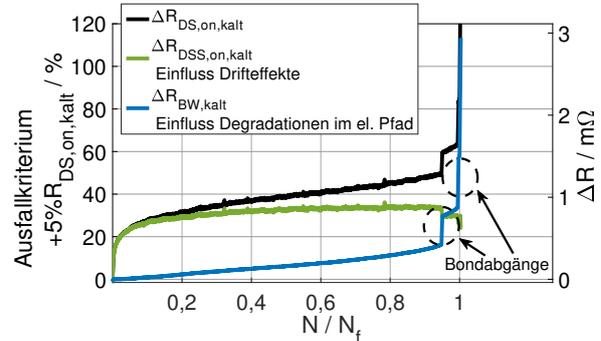
(c) Separation der überlappenden Einflüsse am $R_{DS,on,kalt}$ -Anstieg; U_{GS} = gepulst



(d) Separation der überlappenden Einflüsse am $R_{DS,on,kalt}$ -Anstieg; U_{GS} = konstant



(e) Quantifizierung des Anteils am Erreichen der Fehlerschwelle; U_{GS} = gepulst



(f) Quantifizierung des Anteils am Erreichen der Fehlerschwelle; U_{GS} = konstant

Abbildung 5.5: Vergleich des Einflusses eines gepulsten und eines konstanten Gate-Spannungsprofils am Beispiel eines exemplarischen Lastwechseltests der Versuchsmuster mit integriertem T_j -Sensor bei $\Delta T_{vj} = 60 \text{ K}$; $T_{vj,min} = 40 \text{ }^\circ\text{C}$; $U_{GS,on} = 15 \text{ V}$; $U_{GS,off} = -10 \text{ V}$; $t_{on} = 3 \text{ s}$; $t_{off} = 6 \text{ s}$; $I_{Last} = 44 \text{ A}$; Anzahl der Zyklen normiert auf ersten erkanntem Ausfall im Testdurchlauf.

Einfluss des Abtastzeitpunktes und von $U_{GS,on}$

In [160] wird als notwendige Bedingung zur Kaltmessung genannt, dass der Laststrom zum Zeitpunkt der Messung konstant ist, was für den entwickelten Versuchsstand (vgl. Abbildung 5.1) bei Prüfung von einem device A nach ca. 10 ms der Fall ist, wie **Abbildung 5.6a** zeigt. Werden mehrere in Reihe geschaltete Prüflinge gelastwechselt, ändert sich die Dynamik der lastabhängigen Sprungantwort beim Einschalten. Zur statistischen Absicherung einer Qualifizierung ist die gleichzeitige Prüfung mehrerer in Reihe geschalteter Prüflinge zweckmäßig, ändert jedoch die Prüfbedingungen der übrigen Prüflinge, sobald ausgefallene aus dem Strompfad entfernt werden (vgl. Abbildung 5.5a), weshalb für die nachfolgenden methodischen Untersuchungen Einzeltestungen durchgeführt werden. Das hat auch den Vorteil, dass bei diskreten Prüflingen (vgl. Abbildung 2.11a) auf elektrisch isolierende Wärmeleitfolie verzichtet werden kann. Die bei Anwendung der $U_{SD}(T)$ -Methode prinzipbedingte Messverzögerung beim Ausschalten (vgl. Abschnitt 2.3.6) beträgt ca. 20 μs ; vgl. Abbildung 5.6b. Diese ist infolge des aktiven Umschaltens des Strompfades über S_1 lastunabhängig (vgl. Abbildung 5.1).

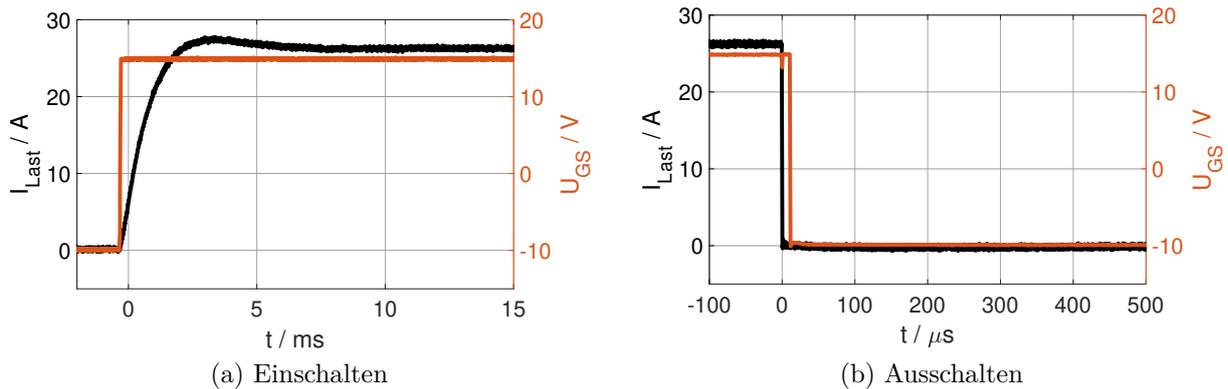


Abbildung 5.6: Sprungantwort der Laststromquelle am Beispiel von device A bei $U_{GS,on} = 15 \text{ V}$; $U_{GS,off} = -10 \text{ V}$; $\Delta T_{vj} = 100 \text{ K}$

Zur Untersuchung des Einflusses von $U_{GS,on}$ sowie des Zeitpunktes der Abtastung von $U_{DS,on}/R_{DS,on}$ während t_{on} (als $U_{DS,on,kalt}/R_{DS,on,kalt}$ bzw. $U_{DS,on,warm}/R_{DS,on,warm}$) wurden jeweils sechs EoL-Lastwechseltests mit $U_{GS,on} = 10 \text{ V}$ bzw. $U_{GS,on} = 15 \text{ V}$ und device A als beispielhaftem Versuchsträger durchgeführt. Der beispielhafte Lastwechselarbeitspunkt wurde wie folgt definiert:

- $\Delta T_{vj} = 100 \text{ K}$, $T_{vj,min} = 40 \text{ }^\circ\text{C}$, $t_{on} = 3 \text{ s}$, $t_{off} = 6 \text{ s}$, $U_{GS,off} = -10 \text{ V}$

Dabei wurde der Laststrom zu Beginn des Lastwechseltests entsprechend des gewünschten Temperaturhubes eingestellt und während der Testdurchführung konstant gehalten, sodass

— beispielsweise durch auftretende Degradationen — die Temperatur während des Testdurchlaufs weiter ansteigt. Alle Prüflinge fielen durch das Erreichen der +5 % $R_{DS,on}/U_{DS,on}$ -Fehlerschwelle aus; es wurden keine Ausreißer aus der Darstellung entfernt.

Im Ergebnis zeigt sich, dass der Zeitpunkt der Abtastung von $U_{DS,on}/R_{DS,on}$ einen Einfluss auf das Lastwechselergebnis haben kann, wie auch bereits im Abschnitt 5.1 diskutiert. Dieser ist zusätzlich abhängig von der applizierten $U_{GS,on}$, wie **Abbildung 5.7** anhand aufgenommener Lastwechseldaten zeigt, wobei die Lastwechselzyklen N auf den ersten erkannten Ausfall N_f normiert sind; **Abbildung 5.8** fasst die ausgewerteten Lastwechselergebnisse anhand von Weibull-Analysen (vgl. Abschnitt 2.3.4) zusammen, wobei die Anzahl der Lastwechselzyklen N jeweils auf die charakteristische Lebensdauer der jeweiligen Testbedingung mit den geringsten Zyklen bis zum Ausfall N_f normiert ist:

- $U_{GS,on} = 15\text{ V}$: Die Warmmessung ist mit einem vorzeitigen Erreichen der +5 % $U_{DS,on}/R_{DS,on}$ -Fehlerschwelle assoziiert [160], was sich für device A bei $U_{GS,on} = 15\text{ V}$ bestätigt und sich in einer um ca. 70 % reduzierten charakteristischen Lebensdauer in **Abbildung 5.8a** zeigt. Dabei zeigt sich eine gute Korrelation zwischen den gemessenen $R_{DS,on,warm}$ und $\Delta R_{thj,h}$, wie in **Abbildung 5.7a** anhand des gezeigten beispielhaften Lastwechseltests zu sehen, wobei der thermische Widerstand mit Bezug zur Kühlkörpertemperatur $\Delta R_{thj,h}$ lediglich um ca. 5 % ansteigt, bis die Fehlerschwelle bei Auswertung der Warmmessung erreicht ist. Offensichtlich wird bei Auswertung der Warmmessung die Fehleridentifikation im elektrischen Pfad stark von Degradationen im thermischen Pfad beeinflusst, was zu fehlerhaften Fehlerindikationen führen kann und folglich das Lastwechselergebnis verfälscht.

Ein Unterschied in der Fehleridentifikation bei einer Kaltmessung nach 10 ms bzw. 100 ms besteht hingegen nicht, wie in **Abbildung 5.7c** und **Abbildung 5.8a** zu sehen, was zeigt, dass die Auswertung der Kaltmessung geeignet ist, um die Identifikation von Ausfällen im elektrischen Pfad von Degradationen im thermischen Pfad zu entkoppeln. Dabei steigt ΔU_{th} während der Lastwechseltests um ca. 95 mV an (vgl. **Abbildung 5.7c**), wobei $R_{DSS,on,kalt}$ um ca. 1,65 % vor dem ersten Bondabgang ansteigt; ΔR_{BW} lediglich um ca. 0,4 %. Dies deutet auf einen signifikanten Einfluss Halbleiter-induzierter Drifteffekte auf die Kaltmessung hin, wobei dies nicht zu einem vorzeitig erkannten Ausfall führt. Fehlerursache sind Bondabgänge, wobei im Fall der Warmmessung — infolge des überlappenden Einflusses von Degradationen im thermischen Pfad — die Fehlerschwelle bei dem in **Abbildung 5.7a** beispielhaft gezeigten Lastwechseltest bereits vor dem ersten Bondabgang gerissen wird, bei Kaltmessung bei allen Lastwechseltests mit $U_{GS,on} = 15\text{ V}$ erst nach dem zweiten; vgl. **Abbildung 5.7a**. Bei Auswertung der Warmmessung zeigte sich zudem eine hohe

Streuung der Ergebnisse, was sich auch in dem geringen Formfaktor $\alpha = 1,85$ der Weibull-Analyse widerspiegelt; vgl. Abbildung 5.8a.

- $U_{GS,on} = 10\text{ V}$: Da eine weniger positive $U_{GS,on}$ den Anteil des Kanalwiderstandes R_{ch} an $R_{DS,on}$ gemäß (2.8) und (2.4) erhöht, ist zum einen die Temperaturabhängigkeit von $R_{DS,on}$ reduziert [163], wodurch ΔR_{th} einen deutlich geringeren Einfluss auf $R_{DS,on,warm}$ hat, und zum anderen ist der Einfluss von ΔU_{th} auf $\Delta R_{DS,on}$ deutlich erhöht (vgl. Abschnitt 3.3.2). Da der Anteil von R_{ch} an $R_{DS,on}$ bei niedrigeren Temperaturen erhöht ist, wird ferner die Kaltmessung stärker von ΔU_{th} beeinflusst, was in Kombination — komplementär zu $U_{GS,on} = 15\text{ V}$ und zur Literatur, beispielsweise [160] — zu einer geringeren Lebensdauer bei Auswertung von $U_{DS,on,kalt}/R_{DS,on,kalt}$ im Vergleich zur Abtastung am Ende von t_{on} führt: Im beispielhaft gewählten Arbeitspunkt zeigt sich bei Abtastung zu Beginn des Lastpulses nach 10 ms eine reduzierte charakteristische Lebensdauer um ca. 20 % im Vergleich zu einer Abtastung nach 100 ms und um ca. 70 % im Vergleich zu einer Abtastung am Ende des Lastpulses (vgl. Abbildung 5.8b). Dabei zeigt der beispielhafte Lastwechseltest in Abbildung 5.7b, dass die Fehlerschwelle bei Kaltmessung nach 10 ms bereits vor dem ersten Bondabgang gerissen wird, bei Kaltmessung nach 100 ms nach dem ersten und bei Warmmessung nach dem zweiten, woraus eine deutliche Abhängigkeit des Lastwechselergebnisses vom Abtastzeitpunkt von $U_{DS,on}/R_{DS,on}$ resultiert. $\Delta R_{DS,on}$ nach 10 ms korreliert dabei sehr gut mit ΔU_{th} (vgl. Abbildung 5.7d), bedingt einen Anstieg von $R_{DSS,on,kalt}$ vor dem ersten Bondabgang um ca. 6 % und ist folglich — bei Kaltmessung —, trotz des geringeren Anstiegs von U_{th} um ca. 50 mV, lebensdauerbegrenzend.

Die Wahl von $U_{GS,on}$ hat in Abhängigkeit des Abtastzeitpunktes von $U_{DS,on}/R_{DS,on}$ offensichtlich einen deutlichen Einfluss auf das Lastwechselergebnis von SiC-MOSFETs: In der beispielhaft untersuchten Stichprobe ist bei Kaltmessung nach 10 ms die charakteristische Lebensdauer bei $U_{GS,on} = 15\text{ V}$ im Vergleich zu $U_{GS,on} = 10\text{ V}$ — infolge des stärkeren Einflusses Halbleiter-induzierter Drifteffekte bei geringerer $U_{GS,on}$ — fast verdoppelt (vgl. Abbildung 5.8c), bei Auswertung der Warmmessung hingegen — infolge des stärkeren Einflusses von Degradationen im thermischen Pfad bei höherer $U_{GS,on}$ — um ca. 50 % reduziert (vgl. Abbildung 5.8d), was zeigt, dass sowohl $U_{GS,on}$ als auch der Abtastzeitpunkt von $U_{DS,on}/R_{DS,on}$ wesentliche Parameter eines Lastwechseltests von SiC-MOSFETs sind und somit eine Notwendigkeit besteht, beide Parameter eindeutig zu definieren, um eine Vergleichbarkeit von Lastwechselergebnissen zu gewährleisten. Die Auswertung der Kaltmessung und Wahl von $U_{GS,on}$ entsprechend der typischen Gate-Spannung in der Anwendung erscheint mit der Zielstellung einer anwendungsnahen Qualifizierung zweckmäßig.

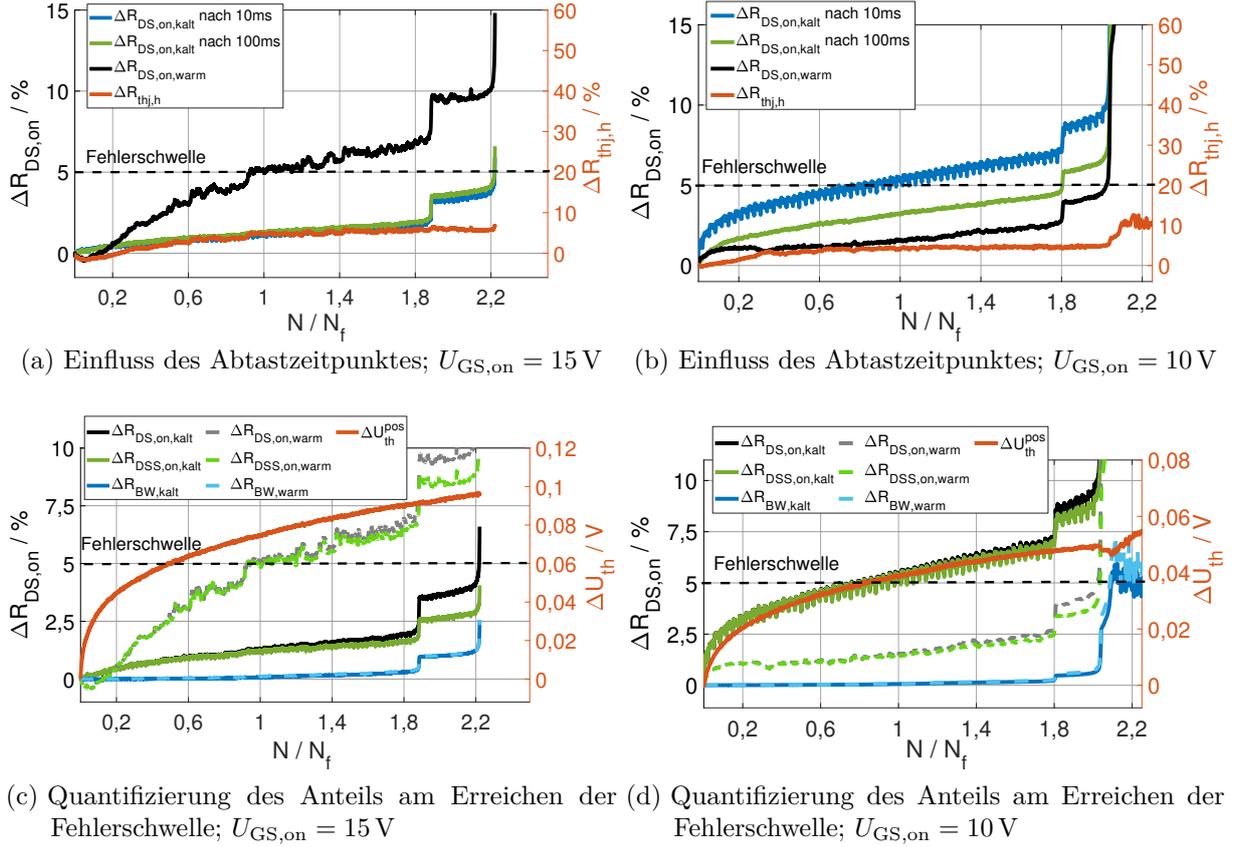
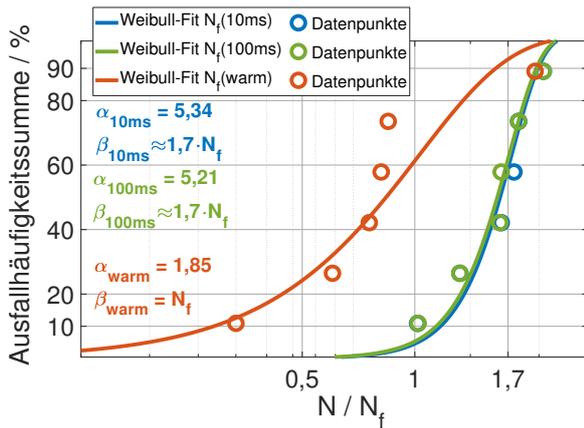


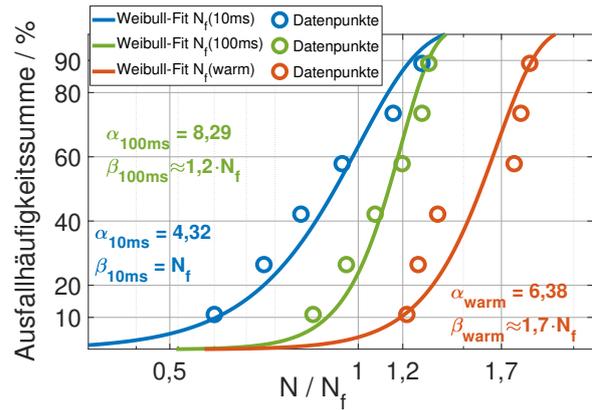
Abbildung 5.7: Vergleich des Einflusses des Abtastzeitpunktes auf die Fehleridentifikation im elektrischen Pfad während eines exemplarischen Lastwechseltests in Abhängigkeit von $U_{GS,on}$ am Beispiel von device A bei $\Delta T_{vj} = 100\text{ K}$; $T_{vj,min} = 40\text{ }^\circ\text{C}$; $U_{GS,off} = -10\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$

5.3 Kompensation der Langzeit- U_{th} -Verschiebung mittels Vorkonditionierung

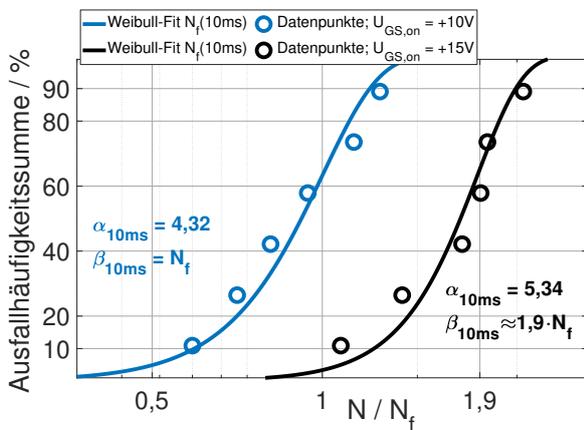
Ein vielversprechender Ansatz zur Unterdrückung einer parasitären Langzeit- U_{th} -Verschiebung während eines Lastwechseltests ist die Durchführung einer vorgelagerten Gate-Konditionierung, in dem den SiC-MOSFETs bei konstanter Temperatur und ohne Laststromfluss — also ohne Degradation der AVT — ein lastwechseltypisches Gate-Spannungs-Profil appliziert wird; vgl. Abschnitt 3.3. Da ΔU_{th} exponentiell mit einem Exponenten kleiner Eins ansteigt und unter Annahme, dass dieser Anstieg permanent ist, ist zu erwarten, dass ΔU_{th} während des nachgelagerten Lastwechseltests näherungsweise konstant bleibt, wie im Zusammenhang mit Abbildung 3.39 diskutiert. Dieser Ansatz wird nachfolgend als Vorkonditionierung bezeichnet, wobei das optimale Gate-Spannungsprofil sowie die optimale Dauer und Temperatur unbekannt sind. Daher werden diese beispielhaft auf $U_{GS,on} = 15\text{ V}$, $U_{GS,off} = -10\text{ V}$, $t_{on} = 3\text{ s}$, $t_{off} = 6\text{ s}$ und $T_{vj} = 150\text{ }^\circ\text{C}$ (konstant) festgelegt und einigen Proben von device A für jeweils 4, 8 und 12 Wochen appliziert. Da sich bereits, abweichend zur diskutierten



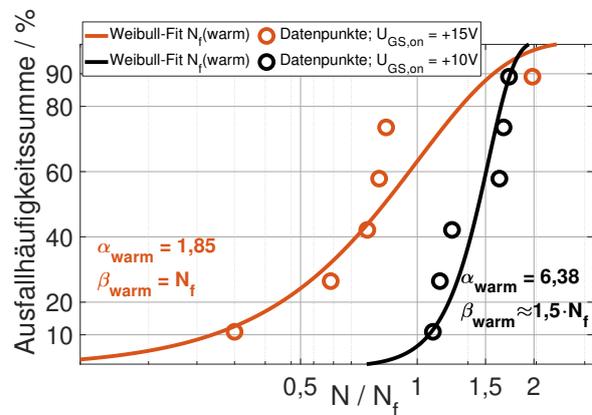
(a) Einfluss des Abtastzeitpunktes auf N_f bei $U_{GS,on} = 15V$



(b) Einfluss des Abtastzeitpunktes auf N_f bei $U_{GS,on} = 10V$



(c) Einfluss der Gate-Spannung auf N_f bei Abtastung zu Beginn des Lastpulses



(d) Einfluss der Gate-Spannung auf N_f bei Abtastung am Ende des Lastpulses

Abbildung 5.8: Vergleich des Einflusses des Abtastzeitpunktes auf das Lastwechsellergnis in Abhängigkeit von $U_{GS,on}$ anhand von Weibull-Analysen am Beispiel von device A bei: $\Delta T_{vj} = 100K$; $T_{vj,min} = 40^\circ C$; $U_{GS,off} = -10V$; $t_{on} = 3s$; $t_{off} = 6s$

Abschätzung im Zusammenhang mit Abbildung 3.39, nach 8 Wochen Vorkonditionierung ein leichter Rückgang der gemessenen Schwellspannungsverschiebung während der Lastwechselprüfung zeigte und aufgrund der überraschend langen Testdauer der vorkonditionierten Prüflinge, konzentriert sich die nachfolgende Darstellung auf die zum Zeitpunkt der Fertigstellung dieser Arbeit abgeschlossenen Testläufe mit 4 und 8 Wochen Vorkonditionierung im Vergleich zu Prüflingen ohne Vorkonditionierung.

5.3.1 Einfluss einer Vorkonditionierung auf die Fehleridentifikation im elektrischen Pfad

Abbildungen 5.9 und 5.10 zeigen beispielhaft aufgenommene Lastwechselmessdaten bei $\Delta T_{vj} = 100K$ und $U_{GS,on} = 15V$ bzw. $U_{GS,on} = 10V$ von device A ohne und mit Vorkondi-

tionierung, wobei die Anzahl der Lastwechselzyklen N normiert auf den ersten erkannten Ausfall N_f dargestellt sind und ein Ausfall erst dann als erreicht interpretiert wurde, sobald der kontinuierlich erfasste Messdatenverlauf ganzumfänglich oberhalb der Fehlerschwelle lag. Dabei zeigt sich ein Einfluss der Vorkonditionierung auf die Fehleridentifikation im elektrischen Pfad in Abhängigkeit der applizierten $U_{GS,on}$ während des Lastwechseltests, der sich wie folgt zusammenfassen lässt:

- $U_{GS,on} = 15\text{ V}$: Ohne Vorkonditionierung steigt ΔU_{th} während des Testdurchlaufs im beispielhaft gewählten Arbeitspunkt um ca. 90 mV (vgl. Abbildung 5.9b) bis 100 mV (vgl. Abbildung 5.7c) an. In Korrelation zu ΔU_{th} steigt auch $\Delta R_{DSS,on,kalt}$ vor dem ersten Bondabgang an. Erfolgt der Lastwechseltest nach 4-wöchiger Vorkonditionierung (vgl. Abbildung 5.9d), ist ΔU_{th} und $\Delta R_{DSS,on,kalt}$ deutlich reduziert bzw. nach 8-wöchiger (vgl. Abbildung 5.9f) zeigt sich bereits ein leichter Rückgang von ΔU_{th} und ein stabiler $\Delta R_{DSS,on,kalt}$ bis zum ersten Bondabgang, was zeigt, dass die Vorkonditionierung eine geeignete Methode zu Unterdrückung Halbleiter-induzierter Drifteffekte ist. Darüber zeigt sich allerdings auch, dass es die Möglichkeit einer Überkompensation (sinkende ΔU_{th} während des Lastwechseltests) gibt, die sich bereits bei Applikation des selben Gate-Profiles einstellen kann. ΔU_{th} nach einem gepulsten Gate-Profil ist somit nicht irreversibel und lässt sich (zumindest im Fall von device A und dem beispielhaft gewählten Arbeitspunkt) einzig aufgrund der wechselnder Temperatur während des Lastwechseltests — verglichen mit den konstanten 150 °C während der Vorkonditionierung — kompensieren.

Die Vorkonditionierung ist zwar eine geeignete Methode, um Halbleiter-induzierte Drifteffekte während eines Lastwechseltests zu unterdrücken, verhindert aber keine vorzeitige Fehleridentifikation, wenn $\Delta R_{DS,on}$ am Ende von t_{on} abgetastet wird, wie Abbildungen 5.9c und 5.9e zeigen: $\Delta R_{DS,on,warm}$ korreliert mit $\Delta R_{thj,h}$ und führt zu einem vorzeitig erkannten Ausfall in allen Testdurchläufen, weshalb $R_{DS,on}$ bzw. $U_{DS,on}$ — mit dem Ziel Ausfälle im elektrischen Pfad zu detektieren — zu Beginn von t_{on} abgetastet werden sollte, wie bereits diskutiert.

- $U_{GS,on} = 10\text{ V}$: Ohne Vorkonditionierung steigt ΔU_{th} während des Lastwechseltests um ca. 50 mV (vgl. Abbildung 5.10b) an, was bei $U_{GS,on} = 10\text{ V}$ — aufgrund des erhöhtem Anteils von R_{ch} an $R_{DS,on}$ (vgl. Abschnitt 3.3.2) — ausreicht, um bei Abtastung von $R_{DS,on}$ zu Beginn von t_{on} vorzeitig einen Fehler im elektrischen Pfad zu detektieren (vgl. Abbildung 5.10a). Dabei korreliert das Lastwechselergebnis mit dem Messzeitpunkt (vgl. Abbildung 5.8b) und somit dem Anteil von R_{ch} an $R_{DS,on}$ zum Zeitpunkt der Messung, der mit steigender Temperatur sinkt (vgl. Abschnitt 3.3.2), was einen signifikanten Einfluss von ΔU_{th} auf das Lastwechselergebnis belegt, der sich durch Anwendung der Vorkonditionierung kompensieren lässt: Nach 4-wöchiger

Vorkonditionierung (vgl. Abbildung 5.10d) sinkt ΔU_{th} bereits um ca. 26 mV bzw. nach 8-wöchiger um ca. 50 mV (vgl. Abbildung 5.10f) während des nachgelagerten Lastwechseltests, wobei $\Delta R_{DS,on,kalt}$ in allen Fällen mit ΔU_{th} korreliert. Ferner zeigt sich, dass durch Unterdrückung Halbleiter-induzierter Drifteffekte mittels Vorkonditionierung auch die Abhängigkeit der Fehleridentifikation im elektrischen Pfad vom Abtastzeitpunkt während t_{on} hinreichend kompensiert ist: In dem beispielhaft gewählten Arbeitspunkt wird in den Lastwechseltests nach Vorkonditionierung die +5 % $R_{DS,on}$ -Fehlerschwelle immer erst nach dem zweiten Bondabgang gerissen; vgl. Abbildung 5.10.

5.3.2 Einfluss der Vorkonditionierung auf das Lastwechselergebnis

Ein Vergleich der aufgenommenen Lastwechseldaten $\Delta R_{DS,on,kalt}$ und ΔU_{th} bei $U_{GS,on} = 15\text{ V}$ bzw. $U_{GS,on} = 10\text{ V}$ mit und ohne vorab applizierter Vorkonditionierung zeigt **Abbildung 5.11**, in **Abbildung 5.12** ist der Vergleich der Lastwechselergebnisse anhand von Weibull-Analysen bei $U_{GS,on} = 15\text{ V}$ dargestellt sowie in **Tabelle 5.2** eine Zusammenfassung der für diese Untersuchung durchgeführten Lastwechseltests. In allen Darstellungen wird $\Delta R_{DS,on,kalt}$, gemessen 100 ms nach der Einschaltstromflanke, als Fehlerindikator verwendet, wobei in Abbildung 5.11 die Anzahl der Lastwechselzyklen N normiert auf die Zyklen bis zum ersten erkannten Ausfall N_f sowie in Abbildung 5.12 und Tabelle 5.2 normiert auf die charakteristische Lebensdauer (vgl. Abschnitt 2.3.4) bei $U_{GS,on} = 15\text{ V}$ ohne vorheriger Vorkonditionierung dargestellt ist. Es wurden keine Ausreißer aus der Darstellung entfernt und alle Prüflinge fielen durch Bondabgänge, charakterisiert durch einen typischen sprunghaften Anstieg von $U_{DS,on}$ bzw. $R_{DS,on}$, aus.

Die Dauer der applizierten Vorkonditionierung beeinflusst direkt die Langzeit- U_{th} -Verschiebung während eines nachgelagerten Lastwechseltests, wie Abbildung 5.11 zeigt. Es zeigt sich zudem eine überraschend starke Beeinflussung des Lastwechselergebnisses durch Kompensation der parasitären Langzeit- U_{th} -Verschiebung: Prüflinge, die vorab einer Vorkonditionierung unterzogen worden, zeigen eine vielfach höhere Lastwechselfestigkeit. Da bei $U_{GS,on} = 10\text{ V}$ der Einfluss von ΔU_{th} lebensdauerbegrenzend ist (wie im Abschnitt 5.2.2 diskutiert), ist der Einfluss einer Vorkonditionierung auf das Lastwechselergebnis bei $U_{GS,on} = 10\text{ V}$ besonders hoch, wie Abbildung 5.11b mit einer um den Faktor sechs bzw. sieben höheren Lastwechselfestigkeit bei 4- bzw. 8-wöchiger Vorkonditionierung zeigt. Dabei korreliert ΔU_{th} mit $\Delta R_{DS,on}$ und bedingt bereits nach einer 4-wöchigen Vorkonditionierung einen Rückgang von U_{th} während und von $R_{DS,on}$ zu Beginn des Lastwechseltests. Auch bei $U_{GS,on} = 15\text{ V}$ führt die vorherige Applikation einer Vorkonditionierung zu einer Vervielfachung der erreichbaren Zyklen, wie Abbildung 5.12 zeigt: Nach 4-wöchiger Vorkonditionierung ist die charakteristische Lebensdauer bereits um den Faktor 2,6 bzw. nach

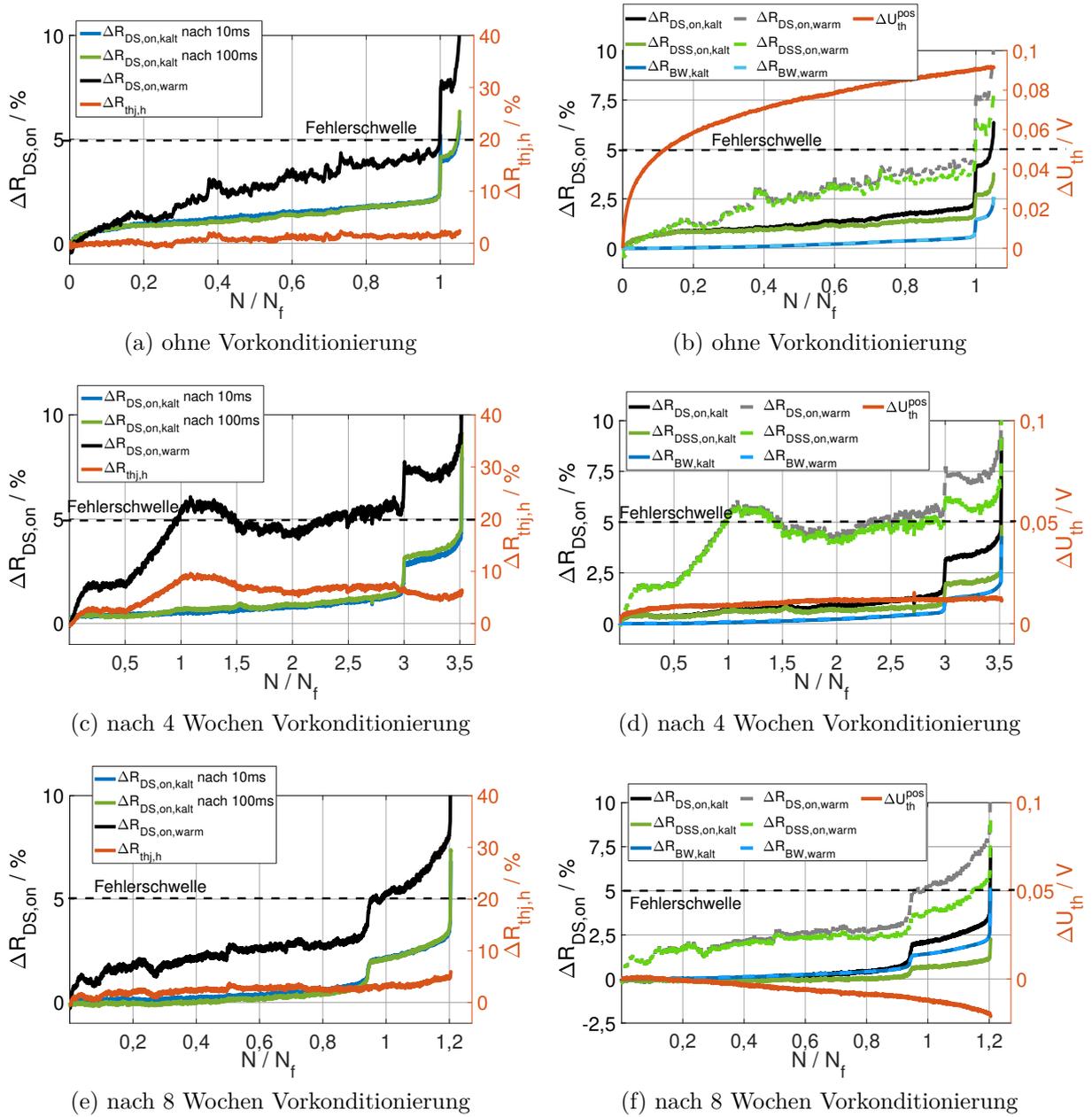
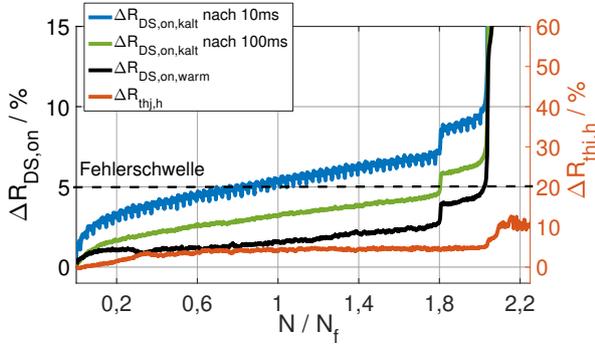
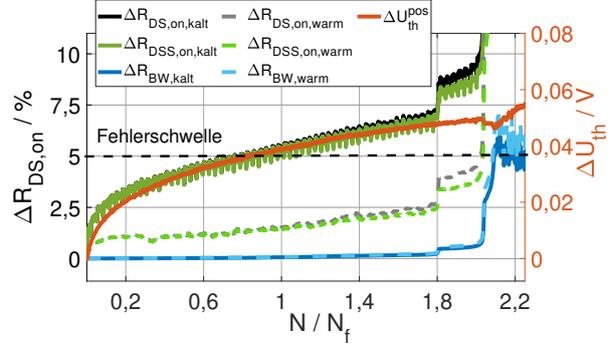


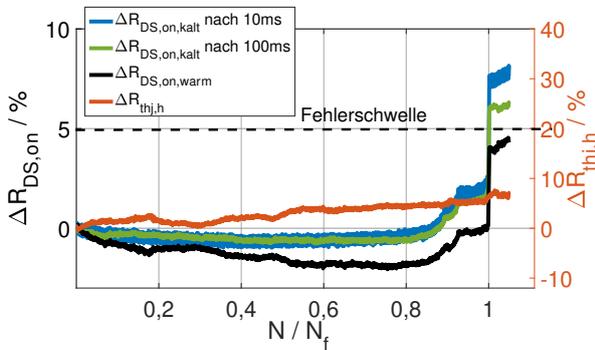
Abbildung 5.9: Vergleich des Einflusses einer Vorkonditionierung auf die Fehleridentifikation im elektrischen Pfad während eines Lastwechseltests am Beispiel von device A bei: $\Delta T_{vj} = 100\text{ K}$; $T_{vj,min} = 40\text{ }^\circ\text{C}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$



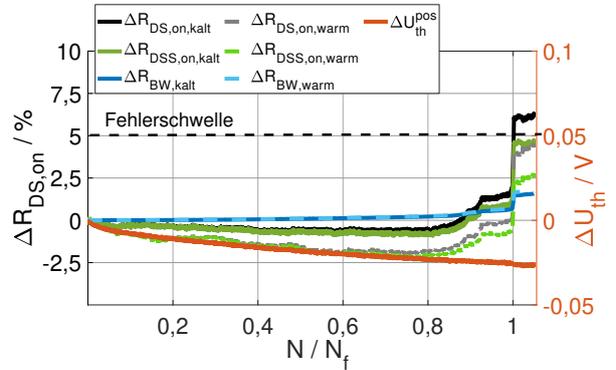
(a) ohne Vorkonditionierung



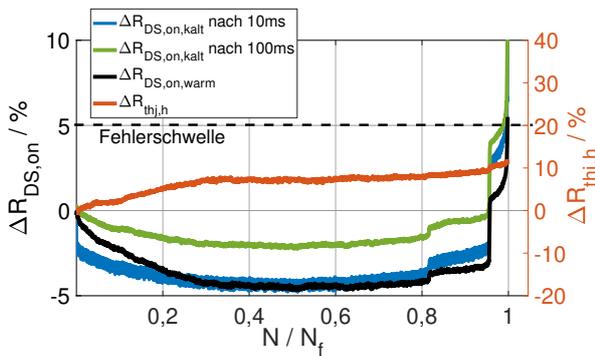
(b) ohne Vorkonditionierung



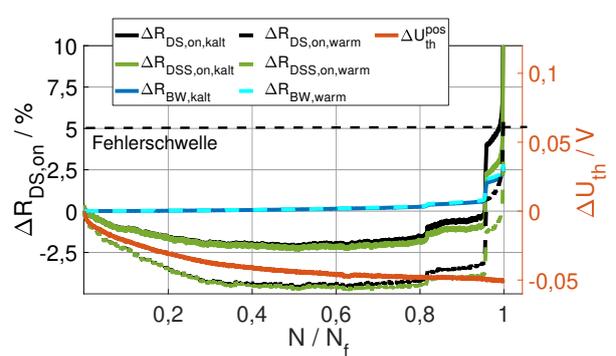
(c) nach 4 Wochen Vorkonditionierung



(d) nach 4 Wochen Vorkonditionierung



(e) nach 8 Wochen Vorkonditionierung



(f) nach 8 Wochen Vorkonditionierung

Abbildung 5.10: Vergleich des Einflusses einer Vorkonditionierung auf die Fehleridentifikation im elektrischen Pfad während eines Lastwechseltests am Beispiel von device A bei: $\Delta T_{vj} = 100 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{on}} = 10 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$

8-wöchiger um den Faktor 5,4 erhöht. In allen durchgeführten Lastwechseltests korreliert die Dauer der durchgeführten Vorkonditionierung mit der gemessenen ΔU_{th} -Unterdrückung während des nachgelagerten Lastwechseltests (vgl. Tabelle 5.2), was zum einen belegt, dass die Vorkonditionierung eine geeignete Methode zur Unterdrückung unerwünschter Halbleiter-induzierter Drifteffekte während eines Lastwechseltests von SiC-MOSFETs ist, und zum anderen, dass das umgesetzte Konzept der kontinuierlichen ΔU_{th} -Messung während des Lastwechseltests eine geeignete Methode zum Monitoring solch parasitärer Einflüsse ist.

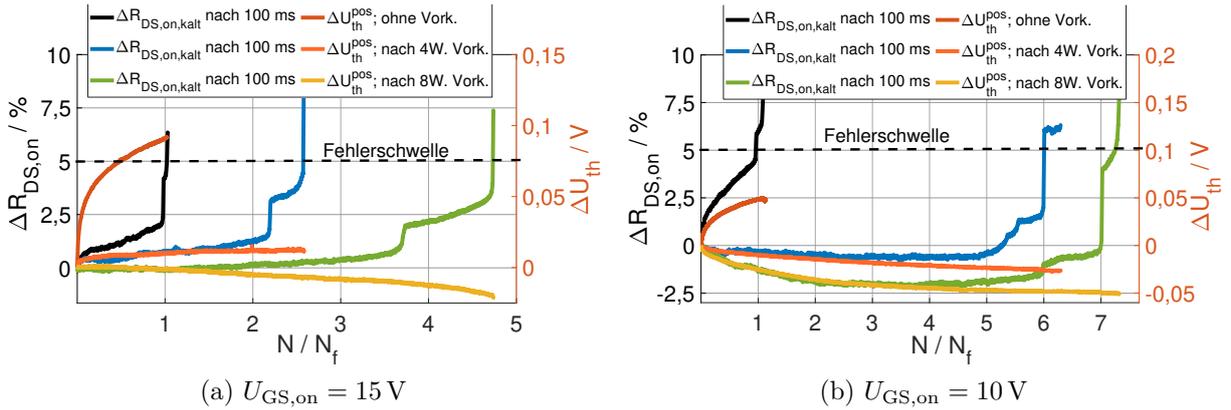


Abbildung 5.11: Einfluss der Vorkonditionierung auf das Lastwechselergebnis am Beispiel von device A in Abhängigkeit von $U_{GS,on}$; $\Delta T_{vj} = 100 K$; $T_{vj,min} = 40 ^\circ C$; $U_{GS,off} = -10 V$; $t_{on} = 3 s$; $t_{off} = 6 s$

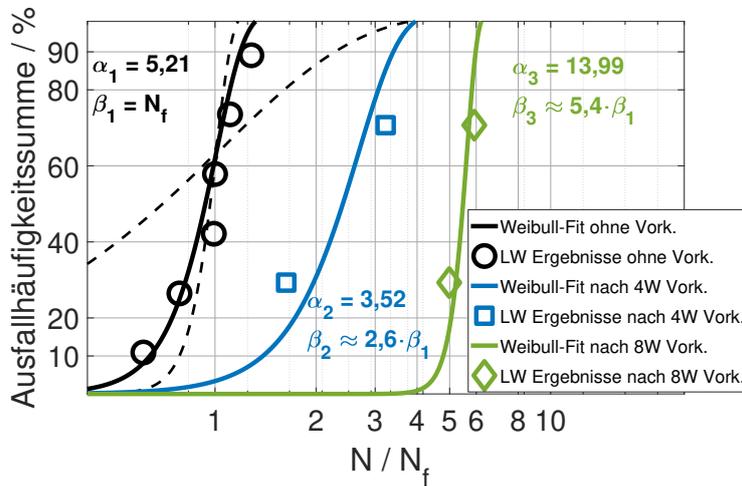


Abbildung 5.12: Einfluss der Vorkonditionierung auf das Lastwechselergebnis am Beispiel von device A anhand von Weibull-Analysen: Die Lebensdauer steigt signifikant mit der Dauer der vorab durchgeführten Vorkonditionierung und gemessenen ΔU_{th} -Unterdrückung während des Lastwechseltests. $\Delta T_{vj} = 100 K$; $T_{vj,min} = 40 ^\circ C$; $U_{GS,on} = 15 V$; $U_{GS,off} = -10 V$; $t_{on} = 3 s$; $t_{off} = 6 s$

Gleichwohl ist die Höhe des Einflusses der Vorkonditionierung auf das Lastwechselergebnis überraschend. Diese ist offensichtlich nicht durch zusätzliche Degradationen im thermi-

Tabelle 5.2: Zusammenfassung der Lastwechselergebnisse; N_f normiert auf die charakteristische Lebensdauer bei $U_{GS,on} = 15\text{ V}$ ohne Vorkonditionierung bei Abtastung von $\Delta R_{DS,on}$ nach 100 ms

Dauer Vorkonditionierung	$U_{GS,on}$ (Anzahl DUTs)	N/N_f	$\varnothing \Delta R_{thj,h}$	$\varnothing \Delta U_{th}$
ohne	15 V (#6)	1	6 %	96 mV
4 Wochen	15 V (#2)	2,6	11,2 %	13 mV
8 Wochen	15 V (#2)	5,4	7,8 %	-22 mV
ohne	10 V (#6)	0,6	7,3 %	47 mV
4 Wochen	10 V (#1)	3,6	6,5 %	-26 mV
8 Wochen	10 V (#1)	4,4	11,2 %	-50 mV

schen Pfad, wie Degradationen der Chipplötung oder des Wärmeleitmaterials, verursacht, wie die Zusammenfassung in Tabelle 5.2 zeigt: Bei $U_{GS,on} = 10\text{ V}$ ist der Einfluss von Degradationen im thermischen Pfad auf $R_{DS,on}$ und somit auf eine Verschiebung des Lastwechselarbeitspunktes begrenzt, bei $U_{GS,on} = 15\text{ V}$ kann diese den Lastwechseltest aber wesentlich beeinflussen (vgl. Abschnitt 5.2.2). Degradationen im thermischen Pfad lassen sich mit $\Delta R_{thj,h}$ quantifizieren, der für die durchgeführten Lastwechseltests mit $U_{GS,on} = 15\text{ V}$ nach Vorkonditionierung im Durchschnitt um ca. 11,2 % bzw. 7,8 % bis zum Testende sogar etwas stärker ansteigt als bei den Lastwechseltests ohne Vorkonditionierung, bei denen $\Delta R_{thj,h}$ nur um 6 % im Durchschnitt ansteigt (vgl. Tabelle 5.2). Dies deutet darauf hin, dass die Lastwechselfestigkeit von SiC-MOSFETs maßgeblich durch die vorab applizierte Gate-Spannungshistorie beeinflusst werden kann. Es ist zu vermuten, dass der Einfluss auf die Lebensdauer stark zwischen verschiedenen SiC-MOSFETs und Lastwechselfparametern variieren kann; device A zeigte hierbei während der durchgeführten Charakterisierung unter lastwechseltypischem Gate-Profil bei konstanter Temperatur sowohl einen geringeren U_{th} -Anstieg als auch einen geringeren $R_{DS,on}$ -Anstieg verglichen mit den sonstigen untersuchten SiC-MOSFETs device B und device C (vgl. Abbildung 3.25), weshalb zu vermuten ist, dass auch deren Schwellspannungsinstabilität einen signifikanten Einfluss auf deren Lastwechselfestigkeit haben kann. Die noch geringe Prüflingszahl muss hierbei kritisch angemerkt und bei der Interpretation der Ergebnisse berücksichtigt werden, weshalb weitere Untersuchungen nötig sind, um den hohen Einfluss einer vorab applizierter Vorkonditionierung auf das Lastwechselergebnis von SiC-MOSFETs zu bestätigen oder zu widerlegen. Die entwickelten Methoden — Vorkonditionierung und kontinuierliche ΔU_{th} -Erfassung — stellen geeignete Werkzeuge dar, um den Einfluss einer Langzeit- U_{th} -Verschiebung von Degradationen der AVT zu separieren und so Lastwechseltests mit und

ohne ΔU_{th} zu vergleichen. Somit besteht erstmals die Möglichkeit, den Einfluss von ΔU_{th} auf das Lastwechselergebnis von SiC-MOSFETs zu quantifizieren.

5.4 Fazit

Die wesentlichen Ergebnisse dieses Kapitels lassen sich wie folgt zusammenfassen:

- Der Abtastzeitpunkt von $U_{\text{DS,on}}$ kann in Abhängigkeit von $U_{\text{GS,on}}$ maßgeblich das Lastwechselergebnis von SiC-MOSFETs beeinflussen. Positivere $U_{\text{GS,on}}$ reduzieren den Anteil von R_{ch} an $R_{\text{DS,on}}$, wodurch $U_{\text{DS,on}}$ stärker von Degradationen im thermischen Pfad beeinflusst wird und tendenziell bei Abtastung von $U_{\text{DS,on}}$ am Ende von t_{on} als $U_{\text{DS,on,warm}}$ zu einem vorzeitig erkanntem Ausfall führt. Durch Abtastung zu Beginn von t_{on} als $U_{\text{DS,on,kalt}}$ wird eine (teilweise) Entkopplung der Erfassung von Degradationen im elektrischen Pfad von auftretenden Degradationen im thermischen Pfad erreicht, weshalb diese zur Fehlerindikation vorzuziehen ist. Bei weniger positiven $U_{\text{GS,on}}$ ist der Anteil von R_{ch} an $R_{\text{DS,on}}$ erhöht, weshalb $U_{\text{DS,on}}$ stärker von ΔU_{th} beeinflusst wird. Da der Anteil von R_{ch} an $R_{\text{DS,on}}$ mit steigender Temperatur abnimmt, ist hiervon insbesondere $U_{\text{DS,on,kalt}}$ betroffen. Daher kann bei weniger positiven $U_{\text{GS,on}}$ die Auswertung von $U_{\text{DS,on,kalt}}$ zu einem vorzeitig erkanntem Ausfall führen. Sowohl der Abtastzeitpunkt von $U_{\text{DS,on}}$ als auch $U_{\text{GS,on}}$ sollten — mit dem Ziel einer vergleichbaren und applikationsnahen Qualifizierung von SiC-MOSFETs — standardisiert werden, wobei zur Fehleridentifikation die Abtastung zu Beginn von t_{on} und das Anlegen der typischen $U_{\text{GS,on}}$ gemäß Spezifikation des Prüflings während des Lastwechseltests zweckmäßig erscheinen.
- Ein vorgelagerter Gate-Schalttest (Vorkonditionierung) ist geeignet, um eine Langzeit- U_{th} -Verschiebung während eines Lastwechseltests von SiC-MOSFETs zu unterdrücken. Zusammen mit einer kontinuierlichen ΔU_{th} -Messung während des Lastwechseltests steht so erstmals eine Methode zur quantifizierenden Untersuchung des Einflusses solch parasitärer Drifteffekte auf das Lastwechselergebnis zur Verfügung. Erste Ergebnisse deuten auf einen signifikanten Einfluss hin.
- Es ist zu vermuten, dass ΔU_{th} stark von den Lastwechselparametern und untersuchten Prüflingen abhängt. Da die durchgeführten Untersuchungen einen signifikanten Einfluss von ΔU_{th} auf das Lastwechselergebnis zeigen, sollte ΔU_{th} während der Lastwechselprüfung von SiC-MOSFETs erfasst werden. Mit der entwickelten und umgesetzten kontinuierlichen ΔU_{th} -Messung steht hierzu eine geeignete Realisierungsmöglichkeit zur Verfügung, die sich leicht in bestehende Prüfstandslösungen integrieren lässt.

6 Zusammenfassung

Neuartige Leistungshalbleiterbauelemente auf Basis von SiC-MOSFETs sind, infolge besserer elektrischer und thermischer Materialeigenschaften von 4H-SiC im Vergleich zu Si, vorteilhaft für zahlreiche Anwendungen. Die Anwendung von etablierten Testroutinen auf SiC-MOSFETs ist wünschenswert, aber mit Herausforderungen verbunden: Lastwechseltests werden zur applikationsnahen und beschleunigten Qualifizierung der Aufbau- und Verbindungstechnik von Leistungshalbleiterbauelementen unter thermo-mechanischer Wechselbeanspruchung durchgeführt. Halbleiter-induzierte Effekte, wie die Instabilität der Schwellspannung von SiC-MOSFETs, beeinflussen die notwendige Sperrschichttemperaturmessung während des Testdurchführung, die Identifikation und Separation von Degradation und Ausfall sowie, über eine Verschiebung des eingestellten Arbeitspunktes, das Ergebnis und die Vergleichbarkeit der durchgeführten Lastwechseltests.

In dieser Arbeit erfolgt eine umfangreiche Charakterisierung von Schwellspannungsinstabilitäten unter lastwechseltypischer Gate-Belastung, die die wesentlichen Einflussfaktoren herausstellt: Entscheidend ist der Einfluss einer Langzeit- U_{th} -Verschiebung auf $R_{DS,on}$ während des Lastwechseltests, die wesentlich vom Anteil des Kanalwiderstandes R_{ch} an $R_{DS,on}$ beeinflusst wird. Daher bedingen höhere Temperaturen und positivere $U_{GS,on}$ zwar einen ausgeprägteren U_{th} -Anstieg, reduzieren aber dessen Einfluss auf $R_{DS,on}$. Daher sind insbesondere negativere $U_{GS,off}$ für einen ausgeprägteren Halbleiter-induzierten $R_{DS,on}$ -Anstieg kritisch und Bauelemente kleinerer Spannungsklassen stärker betroffen. Die Kompensation des Einflusses von ΔU_{th} auf $R_{DS,on}$ mittels einer entwickelten Gate-Spannungsregelung offenbart ferner, dass eine Halbleiter-induzierte Driftkomponente existiert, die unabhängig von ΔU_{th} ist und durch Unterschreiten einer $U_{GS,off}$ -Schwelle getriggert wird. Beide Effekte korrelieren mit der Anzahl an Schaltzyklen, wobei ein lastwechseltypischer Schaltzyklus — vermutlich durch die längere t_{on} — deutlich stärker zum U_{th} -Anstieg beiträgt als ein applikationsnaher. Daher können auf Grundlage von applikationsnahen Gate-Schalttests keine Aussagen über Drifteffekte während Lastwechseltests getroffen werden und umgekehrt. Bei der Durchführung von Gate-Schalttests mit dem Ziel, die worst-case EoL-Parameterverschiebung für eine Anwendung zu ermitteln, ist zudem zusätzlich zum Erfassen von ΔU_{th} , auch die Messung von $\Delta R_{DS,on}$ nötig, da die Berechnung von $\Delta R_{DS,on}$ auf Grundlage des gemessenen U_{th} -Anstiegs diesen deutlich unterschätzen kann.

Zur Durchführung eines Lastwechseltests muss die Sperrschichttemperatur gemessen werden, wozu üblicherweise die Temperaturabhängigkeit eines elektrischen Parameters genutzt

wird. Schwellspannungsinstabilitäten führen dazu, dass sich zahlreiche Parameter im Fall von SiC-MOSFETs nicht zur zuverlässigen Temperaturerfassung eignen, weshalb der Spannungsabfall über der inversen Body-Diode bei kleinem Messstrom als TSEP genutzt wird. Hierzu muss während der Temperaturmessung eine $U_{GS,off}$ angelegt werden, die den Inversionskanal vollständig schließt, was der Fall ist, wenn die mittels kleinem Messstrom gemessene U_{SD} unabhängig von weiteren $U_{GS,off}$ -Änderungen ist. Untersuchungen an SiC-MOSFETs unterschiedlicher Hersteller zeigen, dass keine universelle $U_{GS,off}$ definiert werden kann, die die Anwendbarkeit der $U_{SD}(T)$ -Methode garantiert, weshalb eine individuelle Charakterisierung notwendig ist. Ein chip-integrierter Sensor kann alternativ genutzt werden, was insbesondere bei DUTs hilfreich ist, bei denen die Anwendbarkeit der $U_{SD}(T)$ -Methode nicht gegeben ist. Hierbei ist zu beachten, dass der Sensor eine lokale Temperatur erfasst, die $U_{SD}(T)$ -Methode hingegen einen Mittelwert über der aktiven Chipfläche. Ist der Sensor in der Chipmitte platziert, entspricht dessen Temperatur näherungsweise der flächenbezogenen Mittelwerttemperatur. Ist der Sensor hingegen beispielsweise am Chiprand lokalisiert, ist eine Korrelation nötig, die sowohl messtechnisch als auch simulativ ermittelt werden kann. Eine geeignete Korrelationsmethode wurde in dieser Arbeit beschrieben und anhand exemplarischer Versuchsmuster validiert.

Sowohl der Abtastzeitpunkt von $U_{DS,on}$ als auch die angelegte $U_{GS,on}$ während eines Lastwechseltests beeinflussen dessen Ergebnis, weshalb eine Notwendigkeit besteht, beide Parameter eindeutig zu definieren. Dabei erscheint, mit dem Ziel einer applikationsnahen Qualifizierung, die Wahl von $U_{GS,on}$ entsprechend des typisch spezifizierten Wertes des jeweiligen DUT und die Abtastung von $U_{DS,on,kalt}$ zu Beginn von t_{on} , mit dem Ziel, Ausfälle und Degradation im elektrischen Pfad zu detektieren, zweckmäßig. ΔU_{th} beeinflusst $U_{DS,on,kalt}$ und sollte zur Gewährleistung der Vergleichbarkeit von Lastwechselergebnissen während eines Lastwechseltests von SiC-MOSFETs zusätzlich gemessen werden. Eine entsprechende Methode, die sich mit wenig Aufwand in bestehende Prüfstandslösungen integrieren lässt, wurde im Rahmen dieser Arbeit entwickelt und umgesetzt.

Mittels Vorkonditionierung und kontinuierlicher ΔU_{th} -Erfassung während des nachgelagerten Lastwechseltests konnte gezeigt werden, dass eine Unterdrückung einer Langzeit- U_{th} -Verschiebung während eines Lastwechseltests möglich ist. Somit besteht erstmals die Möglichkeit, den Einfluss solch parasitärer Drieffekte von Degradationen der AVT während eines Lastwechseltests von SiC-MOSFETs zu separieren und zu quantifizieren. Erste Lastwechselergebnisse deuten auf einen signifikanten Einfluss auf das Lastwechselergebnis hin.

Literaturverzeichnis

- [1] J. Popović-Gerber, J. A. Oliver, N. Cordero, T. Harder, J. A. Cobos, M. Hayes, S. C. O’Mathuna, and E. Prem, “Power Electronics Enabling Efficient Energy Usage: Energy Savings Potential and Technological Challenges,” *IEEE Transactions on Power Electronics*, vol. 27, no. 5, pp. 2338–2353, 2012.
- [2] J. Lutz, “Semiconductor Power Devices as Key Technology for a Future Sustainable Society,” in *Power Electronic Components and their Applications 2017; 7. ETG-Symposium*, 2017, pp. 1–15.
- [3] I. Colak, E. Kabalci, G. Fulli, and S. Lazarou, “A survey on the contributions of power electronics to smart grid systems,” *Renewable and Sustainable Energy Reviews*, vol. 47, pp. 562–579, 2015. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S1364032115001847>
- [4] M. G. Molina, “Energy Storage and Power Electronics Technologies: A Strong Combination to Empower the Transformation to the Smart Grid,” *Proceedings of the IEEE*, vol. 105, no. 11, pp. 2191–2219, 2017.
- [5] F. Blaabjerg, F. Iov, R. Teodorescu, and Z. Chen, “Power Electronics in Renewable Energy Systems,” in *2006 12th International Power Electronics and Motion Control Conference*, 2006, pp. 1–17.
- [6] F. Iov and F. Blaabjerg, “Power electronics and control for wind power systems,” in *2009 IEEE Power Electronics and Machines in Wind Applications*, 2009, pp. 1–16.
- [7] F. Blaabjerg, Y. Yang, K. Ma, and X. Wang, “Power electronics - the key technology for renewable energy system integration,” in *2015 International Conference on Renewable Energy Research and Applications (ICRERA)*, 2015, pp. 1618–1626.
- [8] B. K. Bose, “Global Energy Scenario and Impact of Power Electronics in 21st Century,” *IEEE Transactions on Industrial Electronics*, vol. 60, no. 7, pp. 2638–2651, 2013.
- [9] X. She, A. Q. Huang, Ó. Lucía, and B. Ozpineci, “Review of Silicon Carbide Power Devices and Their Applications,” *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8193–8205, Oct 2017.

- [10] F. F. Wang and Z. Zhang, “Overview of silicon carbide technology: Device, converter, system, and application,” *CPSS Transactions on Power Electronics and Applications*, vol. 1, no. 1, pp. 13–32, Dec 2016.
- [11] H. A. Mantooth, M. D. Glover, and P. Shepherd, “Wide Bandgap Technologies and Their Implications on Miniaturizing Power Electronic Systems,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 2, no. 3, pp. 374–385, Sep. 2014.
- [12] T. Kestler, V. Damec, and M.-M. Bakran, “Differences in Dimensioning SiC MOSFETs and Si IGBTs for Traction Inverters,” in *2018 20th European Conference on Power Electronics and Applications (EPE’18 ECCE Europe)*, 2018, pp. P.1–P.9.
- [13] N. Soltau, E. Wiesner, E. Stumpf, S. Idaka, and K. Hatori, “Electric-Energy Savings using 3.3 kV Full-SiC Power-Modules in Traction Applications,” in *2020 Fifteenth International Conference on Ecological Vehicles and Renewable Energies (EVER)*, 2020, pp. 1–5.
- [14] *Technologie-Roadmap: „Next Generation“*, ZVEI, 2019.
- [15] *Positionspapier: Starke Mikroelektronik in Europa*, ZVEI, 2021.
- [16] J. Lutz, “Power cycling – methods, measurement accuracy, comparability,” in *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, 2020, pp. 1–8.
- [17] M. Gerlach, P. Seidel, and J. Lutz, “Specific aspects regarding evaluation of power cycling tests with SiC devices,” in *2020 IEEE International Reliability Physics Symposium (IRPS)*, 2020, pp. 1–6.
- [18] C. Herold, J. Franke, R. Bhojani, A. Schleicher, and J. Lutz, “Requirements in power cycling for precise lifetime estimation,” *Microelectronics Reliability*, vol. 58, pp. 82 – 89, 2016, reliability Issues in Power Electronics.
- [19] J. Lutz, H. Schlangenotto, U. Scheuermann, and R. De Doncker, *Semiconductor Power Devices: Physics, Characteristics, Reliability*, 2nd ed. Springer International Publishing, 2018.
- [20] A. Wintrich; U. Nicolai; W. Tursky; T. Reimann, *Applikationshandbuch Leistungshalbleiter*. SEMIKRON International GmbH, 2015.
- [21] D. Peters, R. Siemieniec, T. Aichinger, T. Basler, R. Esteve, W. Bergner, and D. Kueck, “Performance and ruggedness of 1200V SiC — Trench — MOSFET,” in *2017 29th International Symposium on Power Semiconductor Devices and IC’s (ISPSD)*, 2017, pp. 239–242.

- [22] T. Nakamura, Y. Nakano, M. Aketa, R. Nakamura, S. Mitani, H. Sakairi, and Y. Yokotsuji, "High Performance SiC Trench Devices with Ultra-low Ron," in *2011 International Electron Devices Meeting*, 2011, pp. 26.5.1–26.5.3.
- [23] D. Peters, T. Basler, B. Zippelius, T. Aichinger, W. Bergner, R. Esteve, D. Kueck, and R. Siemieniec, "The New CoolSiC™ Trench MOSFET Technology for Low Gate Oxide Stress and High Performance," in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, pp. 1–7.
- [24] M. Zhang, J. Wei, H. Jiang, K. J. Chen, and C. H. Cheng, "A New SiC Trench MOSFET Structure With Protruded p-Base for Low Oxide Field and Enhanced Switching Performance," *IEEE Transactions on Device and Materials Reliability*, vol. 17, no. 2, pp. 432–437, 2017.
- [25] L. Lorenz and M. März, "CoolMOS™ - a new approach towards high efficiency power supplies," in *Proceedings of the 39th PCIM Nuremberg*, 1999, pp. 25–33.
- [26] G. Deboy, N. Marz, J.-P. Stengl, H. Strack, J. Tihanyi, and H. Weber, "A new generation of high voltage MOSFETs breaks the limit line of silicon," in *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, 1998, pp. 683–685.
- [27] K. Kawahara, S. Hino, K. Sadamatsu, Y. Nakao, Y. Yamashiro, Y. Yamamoto, T. Iwamatsu, S. Nakata, S. Tomohisa, and S. Yamakawa, "6.5 kV Schottky-barrier-diode-embedded SiC-MOSFET for compact full-unipolar module," in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, pp. 41–44.
- [28] Y. Kondo, T. Takahashi, K. Ishii, Y. Hayashi, E. Sakuma, S. Misawa, H. Daimon, M. Yamanaka, and S. Yoshida, "Experimental 3C-SiC MOSFET," *IEEE Electron Device Letters*, vol. 7, no. 7, pp. 404–406, 1986.
- [29] J. Shenoy, J. Cooper, and M. Melloch, "High-voltage double-implanted power MOSFET's in 6H-SiC," *IEEE Electron Device Letters*, vol. 18, no. 3, pp. 93–95, 1997.
- [30] G. Liu, B. R. Tuttle, and S. Dhar, "Silicon carbide: A unique platform for metal-oxide-semiconductor physics," *Applied Physics Reviews*, vol. 2, no. 2, 6 2015. [Online]. Available: <https://www.osti.gov/biblio/22483210>
- [31] N. Kaminski, "State of the art and the future of wide band-gap devices," in *2009 13th European Conference on Power Electronics and Applications*, 2009, pp. 1–9.

- [32] B. Baliga, “Semiconductors for high-voltage, vertical channel FET’s,” *Journal of Applied Physics*, vol. 53, pp. 1759–1764, 1982.
- [33] T. Kimoto, “Material science and device physics in SiC technology for high-voltage power devices,” *Japanese Journal of Applied Physics*, vol. 54, no. 4, p. 040103, mar 2015. [Online]. Available: <https://doi.org/10.7567/jjap.54.040103>
- [34] K. Tsunenobu and C. James, A., *Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices, and Applications*. John Wiley & Sons, Ltd, 2014, ch. Appendix C: Major Physical Properties of Common SiC Polytypes, pp. 521–524. [Online]. Available: <https://onlinelibrary.wiley.com/doi/abs/10.1002/9781118313534.app3>
- [35] L. Fengchao and Z. Bin, “The Linear Coefficient of Thermal Expansion of Silicon at Room Temperature,” *Powder Diffraction*, vol. 6, no. 3, p. 147–152, 1991.
- [36] M. Nakabayashi, T. Fujimoto, M. Katsuno, and N. Ohtani, “Precise Determination of Thermal Expansion Coefficients Observed in 4H-SiC Single Crystals,” in *Silicon Carbide and Related Materials 2005*, ser. Materials Science Forum, vol. 527. Trans Tech Publications Ltd, 10 2006, pp. 699–702.
- [37] M. A. Hopcroft, W. D. Nix, and T. W. Kenny, “What is the Young’s Modulus of Silicon?” *Journal of Microelectromechanical Systems*, vol. 19, no. 2, pp. 229–238, 2010.
- [38] Q. He, X. Luo, T. Liao, J. Wei, G. Deng, T. Sun, J. Fang, and F. Yang, “4H-SiC superjunction trench MOSFET with reduced saturation current,” *Superlattices and Microstructures*, vol. 125, pp. 58–65, 2019. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0749603618316653>
- [39] Y. Kobayashi, S. Kyogoku, T. Morimoto, T. Kumazawa, Y. Yamashiro, M. Takei, and S. Harada, “High-temperature Performance of 1.2 kV-class SiC Super Junction MOSFET,” in *2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2019, pp. 31–34.
- [40] R. Singh, S. Sundaresan, E. Lieser, and M. Digangi, “1200 V SiC “Super” Junction Transistors operating at 250 °C with extremely low energy losses for power conversion applications,” in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 2516–2520.
- [41] H. W. Tsunenobu Kimoto, “Defect engineering in SiC technology for high-voltage power devices,” *Appl. Phys. Express*, vol. 13, 2020.

- [42] S. L. Rumyantsev, M. S. Shur, M. E. Levinshtein, P. A. Ivanov, J. W. Palmour, A. K. Agarwal, B. A. Hull, and Sei-Hyung Ryu, "Channel mobility and on-resistance of vertical double implanted 4H-SiC MOSFETs at elevated temperatures," *Semiconductor Science and Technology*, vol. 24, no. 7, p. 075011, jun 2009.
- [43] V. Uhnevionak, A. Burenkov, C. Strenger, G. Ortiz, E. Bedel-Pereira, V. Mortet, F. Cristiano, A. J. Bauer, and P. Pichler, "Comprehensive Study of the Electron Scattering Mechanisms in 4H-SiC MOSFETs," *IEEE Transactions on Electron Devices*, vol. 62, no. 8, pp. 2562–2570, 2015.
- [44] T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano, and H. Matsunami, "Interface Properties of Metal-Oxide-Semiconductor Structures on 4H-SiC $\{0001\}$ and $(11\bar{2}0)$ Formed by N_2O Oxidation," *Japanese Journal of Applied Physics*, vol. 44, no. 3, pp. 1213–1218, mar 2005. [Online]. Available: <https://doi.org/10.1143/jjap.44.1213>
- [45] Y. Fukui, K. Sugawara, R. Tanaka, H. Koketsu, H. Hatta, Y. Miyata, H. Suzuki, K. Taguchi, Y. Kagawa, S. Tomohisa, and N. Miura, "Effects of Grounding Bottom Oxide Protection Layer in Trench-Gate SiC-MOSFET by Tilted Al Implantation," *Materials Science Forum*, vol. 1004, pp. 764 – 769, 2019.
- [46] H. Yano, T. Hirao, T. Kimoto, and H. Matsunami, "High Channel Mobility in Inversion Layer of SiC MOSFETs for Power Switching Transistors," *Japanese Journal of Applied Physics*, vol. 39, no. Part 1, No. 4B, pp. 2008–2011, apr 2000. [Online]. Available: <https://doi.org/10.1143/jjap.39.2008>
- [47] J. Senzaki, K. Kojima, S. Harada, R. Kosugi, S. Suzuki, T. Suzuki, and K. Fukuda, "Excellent effects of hydrogen postoxidation annealing on inversion channel mobility of 4H-SiC MOSFET fabricated on $(11\ 2\ 0)$ face," *IEEE Electron Device Letters*, vol. 23, no. 1, pp. 13–15, 2002.
- [48] A. Ortiz-Conde, J. Rodriguez, F. Garca Sánchez, and J. Liou, "An improved definition for modeling the threshold voltage of MOSFETs," *Solid-State Electronics*, vol. 42, no. 9, pp. 1743–1746, 1998. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0038110198001385>
- [49] J. Salcedo, A. Ortiz-Conde, E. Sanchez, J. Muci, J. Liou, and Y. Yue, "New approach for defining the threshold voltage of MOSFETs," *IEEE Transactions on Electron Devices*, vol. 48, no. 4, pp. 809–813, 2001.
- [50] J. Benson, N. D'Halleweyn, W. Redman-White, C. Easson, M. Uren, O. Faynot, and J.-L. Pelloie, "A physically based relation between extracted threshold voltage and surface potential flat band voltage for MOSFET compact modeling," *IEEE Transactions on Electron Devices*, vol. 48, no. 5, pp. 1019–1021, 2001.

- [51] A. S. Medury, K. N. Bhat, and N. Bhat, “Threshold voltage modeling under size quantization for ultra-thin silicon double-gate metal-oxide-semiconductor field-effect transistor,” *Journal of Applied Physics*, vol. 112, no. 2, p. 024513, 2012.
- [52] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. Terán Barrios, J. J. Liou, and C.-S. Ho, “Revisiting MOSFET threshold voltage extraction methods,” *Microelectronics Reliability*, vol. 53, no. 1, pp. 90–104, 2013, reliability of Micro-Interconnects in 3D IC Packages. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0026271412004684>
- [53] V. Misra and M. C. Öztürk, “3 — Field Effect Transistors,” in *The Electrical Engineering Handbook*, W.-K. CHEN, Ed. Burlington: Academic Press, 2005, pp. 109–126. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/B9780121709600500128>
- [54] J. W. Kim and A. Kim, “Absolute work function measurement by using photoelectron spectroscopy,” *Current Applied Physics*, vol. 31, pp. 52–59, 2021. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S1567173921001796>
- [55] L. Gao, J. Souto-Casares, J. R. Chelikowsky, and A. A. Demkov, “Orientation dependence of the work function for metal nanocrystals,” *The Journal of Chemical Physics*, vol. 147, no. 21, p. 214301, 2017.
- [56] H.-K. Kim, S. I. Kim, S. Kim, N.-S. Lee, H.-K. Shin, and C. W. Lee, “Relation between work function and structural properties of triangular defects in 4H-SiC epitaxial layer: Kelvin probe force microscopic and spectroscopic analyses,” *Nanoscale*, vol. 12, pp. 8216–8229, 2020. [Online]. Available: <http://dx.doi.org/10.1039/C9NR10126H>
- [57] J. Hölzl and F. K. Schulte, *Solid Surface Physics*. Berlin, Heidelberg: Springer Berlin Heidelberg, 1979, ch. Work function of metals, pp. 1–150. [Online]. Available: <https://doi.org/10.1007/BFb0048919>
- [58] T. Aichinger, G. Rescher, and G. Pobegen, “Threshold voltage peculiarities and bias temperature instabilities of SiC MOSFETs,” *Microelectronics Reliability*, vol. 80, pp. 68–78, 2018. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0026271417305498>
- [59] K. Puschkarsky, T. Grasser, T. Aichinger, W. Gustin, and H. Reisinger, “Review on SiC MOSFETs High-Voltage Device Reliability Focusing on Threshold Voltage Instability,” *IEEE Transactions on Electron Devices*, vol. 66, no. 11, pp. 4604–4616, 2019.

- [60] H. L. R. Maddi, S. Yu, S. Zhu, T. Liu, L. Shi, M. Kang, D. Xing, S. Nayak, M. H. White, and A. K. Agarwal, “The Road to a Robust and Affordable SiC Power MOSFET Technology,” *Energies*, vol. 14, no. 24, 2021. [Online]. Available: <https://www.mdpi.com/1996-1073/14/24/8283>
- [61] H. Watanabe and T. Hosoi, “Fundamental Aspects of Silicon Carbide Oxidation,” in *Physics and Technology of Silicon Carbide Devices*, Y. Hijikata, Ed. Rijeka: IntechOpen, 2012, ch. 9. [Online]. Available: <https://doi.org/10.5772/51514>
- [62] G. Rescher, G. Pobegen, T. Aichinger, and T. Grasser, “On the subthreshold drain current sweep hysteresis of 4H-SiC nMOSFETs,” in *2016 IEEE International Electron Devices Meeting (IEDM)*, 2016, pp. 10.8.1–10.8.4.
- [63] Y. Varshni, “Temperature dependence of the energy gap in semiconductors,” *Physica*, vol. 34, no. 1, pp. 149–154, 1967. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/0031891467900626>
- [64] Dolny, Sapp, Elbanhaway, and Wheatley, “The influence of body effect and threshold voltage reduction on trench MOSFET body diode characteristics,” in *2004 Proceedings of the 16th International Symposium on Power Semiconductor Devices and ICs*, 2004, pp. 217–220.
- [65] J. Xin, M. Du, Z. Ouyang, and K. Wei, “Online Monitoring for Threshold Voltage of SiC MOSFET Considering the Coupling Impact on BTI and Junction Temperature,” *IEEE Transactions on Electron Devices*, vol. 68, no. 4, pp. 1772–1777, 2021.
- [66] A. J. Lelis, R. Green, and D. B. Habersat, “SiC MOSFET threshold-stability issues,” *Materials Science in Semiconductor Processing*, vol. 78, pp. 32–37, 2018, wide band gap semiconductors technology for next generation of energy efficient power electronics. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S1369800117319807>
- [67] O. Aviñó-Salvadó, B. Asllani, C. Buttay, C. Raynaud, and H. Morel, “Extraction of the 4H-SiC/SiO₂ Barrier Height Over Temperature,” *IEEE Transactions on Electron Devices*, vol. 67, no. 1, pp. 63 – 68, Dec. 2019. [Online]. Available: <https://hal.archives-ouvertes.fr/hal-02418097>
- [68] A. J. Lelis, R. Green, D. B. Habersat, and M. El, “Basic Mechanisms of Threshold-Voltage Instability and Implications for Reliability Testing of SiC MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 316–323, 2015.
- [69] K. Puschkarsky, H. Reisinger, T. Aichinger, W. Gustin, and T. Grasser, “Understanding BTI in SiC MOSFETs and Its Impact on Circuit Operation,” *IEEE Transactions on Device and Materials Reliability*, vol. 18, no. 2, pp. 144–153, June 2018.

- [70] K. Puschkarsky, T. Grasser, T. Aichinger, W. Gustin, and H. Reisinger, “Understanding and modeling transient threshold voltage instabilities in SiC MOSFETs,” in *2018 IEEE International Reliability Physics Symposium (IRPS)*, 2018, pp. 3B.5–1–3B.5–10.
- [71] X. Zhong, H. Jiang, G. Qiu, L. Tang, H. Mao, C. Xu, X. Jiang, J. Hu, X. Qi, and L. Ran, “Bias Temperature Instability of Silicon Carbide Power MOSFET Under AC Gate Stresses,” *IEEE Transactions on Power Electronics*, vol. 37, no. 2, pp. 1998–2008, 2022.
- [72] P. Fiorenza, F. Giannazzo, S. Cascino, M. Saggio, and F. Roccaforte, “Identification of two trapping mechanisms responsible of the threshold voltage variation in SiO₂/4H-SiC MOSFETs,” *Applied Physics Letters*, vol. 117, no. 10, p. 103502, sep 2020.
- [73] A. K. Ghosh, O. O. Awadelkarim, J. Hao, S. Suliman, and X. Wang, “Comparison of AC and DC BTI in SiC Power MOSFETs,” in *2022 IEEE International Reliability Physics Symposium (IRPS)*, 2022, pp. 7A.2–1–7A.2–6.
- [74] Q. Molin, M. Kanoun, C. Raynaud, and H. Morel, “Measurement and analysis of SiC-MOSFET threshold voltage shift,” *Microelectronics Reliability*, vol. 88-90, pp. 656–660, 2018, 29th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2018). [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0026271418304906>
- [75] P. Salmen, M. W. Feil, K. Waschneck, H. Reisinger, G. Rescher, and T. Aichinger, “A new test procedure to realistically estimate end-of-life electrical parameter stability of SiC MOSFETs in switching operation,” in *2021 IEEE International Reliability Physics Symposium (IRPS)*, 2021, pp. 1–7.
- [76] H. Jiang, X. Zhong, G. Qiu, L. Tang, X. Qi, and L. Ran, “Dynamic Gate Stress Induced Threshold Voltage Drift of Silicon Carbide MOSFET,” *IEEE Electron Device Letters*, vol. 41, no. 9, pp. 1284–1287, 2020.
- [77] H. Jiang, X. Qi, G. Qiu, X. Zhong, L. Tang, H. Mao, Z. Wu, H. Chen, and L. Ran, “A Physical Explanation of Threshold Voltage Drift of SiC MOSFET Induced by Gate Switching,” *IEEE Transactions on Power Electronics*, vol. 37, no. 8, pp. 8830–8834, 2022.
- [78] T. Grasser, “Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities,” *Microelectronics Reliability*, vol. 52, no. 1, pp. 39–70, 2012, 2011 Reliability of Compound Semiconductors (ROCS) Workshop. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0026271411004203>

- [79] G. Rescher, G. Pobegen, T. Aichinger, and T. Grasser, “Preconditioned BTI on 4H-SiC: Proposal for a Nearly Delay Time-Independent Measurement Technique,” *IEEE Transactions on Electron Devices*, vol. 65, no. 4, pp. 1419–1426, April 2018.
- [80] P. Hofstetter, R. W. Maier, and M. Bakran, “Influence of the Threshold Voltage Hysteresis and the Drain Induced Barrier Lowering on the Dynamic Transfer Characteristic of SiC Power MOSFETs,” in *2019 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2019, pp. 944–950.
- [81] B. Asllani, A. Castellazzi, O. A. Salvado, A. Fayyaz, H. Morel, and D. Planson, “ V_{TH} -Hysteresis and Interface States Characterisation in SiC Power MOSFETs with Planar and Trench Gate,” in *2019 IEEE International Reliability Physics Symposium (IRPS)*, 2019, pp. 1–6.
- [82] P. Hofstetter, R. W. Maier, and M.-M. Bakran, “Parasitic Turn-On of SiC MOSFETs – Turning a Bug into a Feature,” in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2020, pp. 1–7.
- [83] D. B. Habersat, R. Green, and A. J. Lelis, “Permanent and Transient Effects of High-Temperature Bias Stress on Room- Temperature V_T Drift Measurements in SiC Power MOSFETs,” in *2019 IEEE International Reliability Physics Symposium (IRPS)*, 2019, pp. 1–4.
- [84] U. Scheuermann, “Packaging and Reliability of Power Modules - Principles, Achievements and Future Challenges,” in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, pp. 1–16.
- [85] N. Pavliček, C. Liu, J.-Y. Loisy, G. Salvatore, F. Mohn, J. Schuderer, A. Apelsmeier, F. Dresel, A. Schletz, and S. Vater, “Power module platform for automotive reliability requirements,” in *2019 21st European Conference on Power Electronics and Applications (EPE '19 ECCE Europe)*, 2019, pp. P.1–P.10.
- [86] U. Scheuermann and R. Schmidt, “A New Lifetime Model for Advanced Power Modules with Sintered Chips and Optimized Al Wire Bonds,” in *PCIM Conference, Nürnberg*, 2013.
- [87] S. Haumann, J. Rudzki, F. Osterwald, M. Becker, and R. Eisele, “Novel bonding and joining technology for power electronics - Enabler for improved lifetime, reliability, cost and power density,” in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, pp. 622–626.

- [88] H. Nogawa, A. Hirao, Y. Nishimura, Y. Tamai, F. Momose, T. Saito, E. Mochizuki, and Y. Takahashi, “High Power IGBT Module with New AlN Substrate,” in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, pp. 1–8.
- [89] T. Kurosu, K. Sasaki, A. Nishihara, and K. Horiuchi, “Packaging technologies of direct-cooled power module,” in *The 2010 International Power Electronics Conference - ECCE ASIA -*, 2010, pp. 2115–2119.
- [90] Z. Liang, “Integrated double sided cooling packaging of planar SiC power modules,” in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, pp. 4907–4912.
- [91] U. Scheuermann, “Reliability of Planar SKiN Interconnect Technology,” in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–8.
- [92] Y. Iwasaki, M. Chounabayashi, M. Nakazawa, S. Iwamoto, Y. Oonishi, M. Hori, H. Kakiki, O. Ikawa, and J. Li, “New Concept Package with 1st Generation Trench Gate SiC MOSFETs,” in *PCIM Asia 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, pp. 1–7.
- [93] Z. Huang, Y. Li, L. Chen, Y. Tan, C. Chen, Y. Kang, and F. Luo, “A novel low inductive 3D SiC power module based on hybrid packaging and integration method,” in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, pp. 3995–4002.
- [94] L. M. Boteler, V. A. Niemann, D. P. Urciuoli, and S. M. Miner, “Stacked power module with integrated thermal management,” in *2017 IEEE International Workshop On Integrated Power Packaging (IWIPP)*, 2017, pp. 1–5.
- [95] J.-L. Marchesini, P.-O. Jeannin, Y. Avenas, J. Delaine, C. Buttay, and R. Riva, “Implementation and Switching Behavior of a PCB-DBC IGBT Module Based on the Power Chip-on-Chip 3-D Concept,” *IEEE Transactions on Industry Applications*, vol. 53, no. 1, pp. 362–370, 2017.
- [96] G. Majumdar, T. Oi, T. Terashima, S. Idaka, D. Nakajima, and Y. Goto, “Review of Integration Trends in Power Electronics Systems and Devices,” in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, 2016, pp. 1–10.
- [97] F. Sommer, N. Soltau, F. Stamer, N. Menger, S. Idaka, and M. Hiller, “Mirror Source based Overcurrent and Short Circuit Protection Method for High Power SiC MOSFETs,” in *PCIM Europe digital days 2021; International Exhibition and*

- Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2021, pp. 1–7.
- [98] Y. Yang, L. Dorn-Gomba, R. Rodriguez, C. Mak, and A. Emadi, “Automotive Power Module Packaging: Current Status and Future Trends,” *IEEE Access*, vol. 8, pp. 160 126–160 144, 2020.
- [99] H. Lee, V. Smet, and R. Tummala, “A Review of SiC Power Module Packaging Technologies: Challenges, Advances, and Emerging Issues,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 239–255, 2020.
- [100] ZVEI/SAE, *Handbook for Robustness Validation of Automotive Electrical/Electronic Modules (2nd Edition)*, <https://www.zvei.org/en/press-media/publications/handbook-for-robustness-validation-of-automotive-electrical/electronic-modules-2nd-edition>, 2013.
- [101] L. Rimestad, “Test Strategies in Industrial Companies,” in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, 2018, pp. 1–7.
- [102] *ECPE Guideline AQG 324: Qualification of Power Modules for Use in Power Electronics Converter Units in Motor Vehicles; Release no.: 03.1/2021*, ECPE, 2021.
- [103] H. Notsu, H. Michikoshi, J. Shinkai, S. Tanaka, H. Sato, K. Sakamoto, and Y. Mikamura, “SiC module operational at 200 °C with high power-cycling capability using fatigue-free chip surface packaging technologies,” in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2020, pp. 1–8.
- [104] C. Herold, M. Schaefer, F. Sauerland, T. Poller, J. Lutz, and O. Schilling, “Power cycling capability of Modules with SiC Diodes,” in *CIPS 2014; 8th International Conference on Integrated Power Electronics Systems*, Feb 2014, pp. 1–6.
- [105] R. Schmidt, R. Werner, J. Casady, B. Hull, and A. Barkley, “Power Cycle Testing of Sintered SiC-MOSFETs,” in *PCIM Conference Nürnberg*, May 2017, pp. 1–8.
- [106] R. Bayerer, T. Herrmann, T. Licht, J. Lutz, and M. Feller, “Model for Power Cycling lifetime of IGBT Modules — various factors influencing lifetime,” in *5th International Conference on Integrated Power Electronics Systems*, March 2008, pp. 1–6.
- [107] U. Scheuermann and R. Schmidt, “Investigations on the VCE(T)-Method to Determine the Junction Temperature by Using the Chip Itself as Sensor,” in *PCIM Conference, Nürnberg*, 2009, pp. 802–807.

- [108] M. Held, P. Jacob, G. Nicoletti, P. Scacco, and M. H. Poech, “Fast power cycling test of IGBT modules in traction application,” in *Proceedings of Second International Conference on Power Electronics and Drive Systems*, vol. 1, May 1997, pp. 425–430.
- [109] N. Heuck, R. Bayerer, S. Krasel, F. Otto, R. Speckels, and K. Guth, “Lifetime analysis of power modules with new packaging technologies,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2015, pp. 321–324.
- [110] A. Schiffmacher, A. Bashiti, D. Strahringer, J. Wilde, C. Kempniak, A. Lindemann, J. Rudzki, and H. Stroebel-Maier, “New Lifetime Model for Advanced Power Semiconductor Interconnects,” in *2022 IEEE 72nd Electronic Components and Technology Conference (ECTC)*, 2022, pp. 473–477.
- [111] D. L. Blackburn and F. F. Oettinger, “Transient thermal response measurements of power transistors,” in *1974 IEEE Power Electronics Specialists Conference*, 1974, pp. 140–148.
- [112] S. Schuler and U. Scheuermann, “Impact of Test Control Strategy on Power Cycling Lifetime,” in *PCIM Europe Nuremberg, Germany*, 2010, pp. 355–366.
- [113] G. Zeng, F. Wensch-Kober, and J. Lutz, “Study on power cycling test with different control strategies,” *Microelectronics Reliability*, vol. 88-90, pp. 756–761, 2018, 29th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2018). [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0026271418306462>
- [114] R. Schmidt and U. Scheuermann, “Separating Failure Modes in Power Cycling Tests,” in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–6.
- [115] J. Lutz, C. Schwabe, G. Zeng, and L. Hein, “Validity of power cycling lifetime models for modules and extension to low temperature swings,” in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*, 2020, pp. P.1–P.9.
- [116] U. Scheuermann and M. Junghaenel, “Limitation of Power Module Lifetime Derived from Active Power Cycling Tests,” in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, March 2018, pp. 1–10.
- [117] P. Seidel, C. Herold, J. Lutz, C. Schwabe, and R. Warsitz, “Power cycling test with power generated by an adjustable part of switching losses,” in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, pp. P.1–P.10.

- [118] C. Schwabe, N. Thoenelt, P. Seidel, J. Lutz, and T. Basler, “Power Cycling Lifetime Investigation under Low Temperature Swings and 50 Hz Load with Experiment and Simulation,” in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2021, pp. 1–8.
- [119] A. Schiffmacher, A. Qelibari, J. Rudzki, F. Osterwald, and J. Wilde, “Deformation Measurements during Active Operation of Power Modules with Novel Assembly and Packaging Technology,” in *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, 2020, pp. 1–6.
- [120] O. Breitenstein, W. Warta, and M. Schuber, *Lock-in thermography: basics and use for evaluating electronic devices and materials*. Springer Berlin, Heidelberg, 2010.
- [121] A. Schiffmacher, D. Strahringer, S. Malasani, J. Wilde, C. Kempiak, and A. Lindemann, “In Situ Degradation Monitoring Methods during Lifetime Testing of Power Electronic Modules,” in *2021 IEEE 71st Electronic Components and Technology Conference (ECTC)*, 2021, pp. 895–903.
- [122] A. Henlser, D. Wingert, C. Herold, J. Lutz, and M. Thoben, “Thermal impedance spectroscopy of power modules during power cycling,” in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*, May 2011, pp. 264–267.
- [123] F. Grieger, “Ein Beitrag zur Bestimmung der Zuverlässigkeit von Leistungshalbleiterbauelementen unter Berücksichtigung der Anwendung,” Ph.D. dissertation, Otto-von-Guericke-Universität Magdeburg, 2016.
- [124] W. Weibull, “A Statistical Distribution Function of Wide Applicability,” *Journal of Applied Mechanics*, vol. 18, no. 3, pp. 293–297, 04 1951.
- [125] A. Robert, B., *The New Weibull Handbook: Reliability and Statistical Analysis for Predicting Life, Safety, Risk, Support Costs, Failures, and Forecasting Warranty Claims, Substantiation and Accelerated Testing, Using Weibull, Log Normal, Crow-AMSAA, Probit and Kaplan-Meier Models*, 5th ed. Published and distributed by Robert B. Abernethy, 2004.
- [126] M. Thoben, K. Mainka, R. Bayerer, I. Graf, and M. Münzer, “From vehicle drive cycle to reliability testing of Power Modules for hybrid vehicle inverter,” 05 2008.
- [127] M. Köhler, S. Jenne, K. Pötter, and H. Zenner, “Zählverfahren zur Bildung von Kollektiven und Matrizen aus Zeitfunktionen,” Forschungsvereinigung Antriebstechnik e.V., Tech. Rep., 2010.

- [128] K. Guth, N. Heuck, C. Stahlhut, A. Ciliox, N. Oeschler, L. Boewer, S. Tophinke, D. Bolowski, R. Speckels, C. Kersting, S. Krasel, and G. Strotmann, “End-of-life investigation on the .XT interconnect technology,” in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, pp. 1–8.
- [129] R. Roth, H. Schulze, C. Schäffer, F. Hille, F. Umbach, G. Mertens, N. Rohn, and D. Bolowski, “Power Cu metallization for future power devices — Process integration concept and reliability,” in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, pp. 195–198.
- [130] J. Lutz, T. Herrmann, M. Feller, R. Bayerer, T. Licht, and R. Amro, “Power cycling induced failure mechanisms in the viewpoint of rough temperature environment,” in *5th International Conference on Integrated Power Electronics Systems*, 2008, pp. 1–4.
- [131] S. Letz, A. Hutzler, U. Waltrich, S. Zischler, and A. Schletz, “Mechanical properties of silver sintered bond lines: Aspects for a reliable material data base for numerical simulations,” in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, 2016, pp. 1–6.
- [132] C. Herold, J. Sun, P. Seidel, L. Tinschert, and J. Lutz, “Power Cycling Methods for SiC MOSFETs,” in *The 29th International Symposium on Power Semiconductor Devices and ICs*, 2017.
- [133] D.-L. Dang, S. Guichard, M. Urbain, and S. Raël, “Characterization and modeling of 1200V – 100A N – channel 4H-SiC MOSFET,” in *Symposium de Genie Electrique*, Grenoble, France, Jun. 2016. [Online]. Available: <https://hal.archives-ouvertes.fr/hal-01361697>
- [134] J. Ortiz Gonzalez and O. Alatise, “Impact of the gate driver voltage on temperature sensitive electrical parameters for condition monitoring of SiC power MOSFETs,” *Microelectronics Reliability*, vol. 76-77, pp. 470–474, 2017. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0026271417302706>
- [135] H. Luo, N. Baker, F. Iannuzzo, and F. Blaabjerg, “Die degradation effect on aging rate in accelerated cycling tests of SiC power MOSFET modules,” *Microelectronics Reliability*, vol. 76-77, pp. 415–419, Jul. 2017.
- [136] A. Ibrahim, J. P. Ousten, R. Lallemand, and Z. Khatir, “Power Cycling Tests in High Temperature Conditions of SiC-MOSFET Power Modules and Ageing Assessment,” in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, March 2016, pp. 1–6.

- [137] H. Luo, F. Iannuzzo, and M. Turnaturi, “Role of Threshold Voltage Shift in Highly Accelerated Power Cycling Tests for SiC MOSFET Modules,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 2, pp. 1657–1667, 2020.
- [138] T. Ziemann, U. Grossner, and J. Neuenschwander, “Power Cycling of Commercial SiC MOSFETs,” *2018 IEEE 6th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, pp. 24–31, 2018.
- [139] H.-S. Wong, M. H. White, T. J. Krutsick, and R. V. Booth, “Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET’s,” *Solid-State Electronics*, vol. 30, no. 9, pp. 953–968, 1987. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/0038110187901328>
- [140] S. Dhar, A. Ahyi, J. Williams, S. Ryu, and A. K. Agarwal, “Temperature Dependence of Inversion Layer Carrier Concentration and Hall Mobility in 4H-SiC MOSFETs,” *Materials Science Forum*, vol. 717-720, pp. 713 – 716, 2012.
- [141] M. Hernes, S. D’Arco, O. C. Spro, and D. Peftitsis, “Improving Monitoring of Parallel Ageing of IGBT Bond-Wires and Solder Layers by Temperature Compensation,” in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2021, pp. 1–7.
- [142] X. Zhong, H. Jiang, L. Tang, X. Qi, P. Jiang, and L. Ran, “Gate Stress Polarity Dependence of AC Bias Temperature Instability in Silicon Carbide MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 69, no. 6, pp. 3328–3333, 2022.
- [143] P. Salmen and P. Friedrichs, “Qualifying a Silicon Carbide Power Module: Reliability Testing Beyond the Standards of Silicon Devices,” in *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, 2022, pp. 1–9.
- [144] N. Baker, “An Electrical Method for Junction Temperature Measurement of Power Semiconductor Switches,” Ph.D. dissertation, Aalborg Universitet, 2016, PhD supervisor: Prof. Stig Munk-Nielsen, Aalborg University, Denmark.
- [145] J. A. B. Ccoa, B. Strauss, G. Mitic, and A. Lindemann, “Investigation of Temperature Sensitive Electrical Parameters for Power Semiconductors (IGBT) in Real-Time Applications,” in *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, May 2014, pp. 1–9.

- [146] Y. Avenas, L. Dupont, and Z. Khatir, “Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters — a Review,” *IEEE Transactions on Power Electronics*, vol. 27, no. 6, pp. 3081–3092, June 2012.
- [147] R. Singh, “Reliability and performance limitations in SiC power devices,” *Microelectronic Reliability*, vol. 46, pp. 713–730, 2006.
- [148] F. Yang, E. Ugur, and B. Akin, “Evaluation of Aging’s Effect on Temperature-Sensitive Electrical Parameters in SiC mosfets,” *IEEE Transactions on Power Electronics*, vol. 35, no. 6, pp. 6315–6331, 2020.
- [149] F. Hoffmann and N. Kaminski, “Evaluation of the VSD-method for temperature estimation during power cycling of SiC-MOSFETs,” *IET Power Electronics*, vol. 12, no. 15, pp. 3903–3909, 2019.
- [150] F. Hoffmann and N. Kaminski, “Investigation on the Accuracy of the VSD-Method for Different SiC MOSFET Designs Considering Different Measurement Parameters,” in *2021 IEEE 8th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2021, pp. 18–23.
- [151] E. Deng and J. Lutz, “Measurement Error Caused by the Square Root t Method Applied to IGBT Devices during Power Cycling Test,” in *2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2020, pp. 545–548.
- [152] F. Nehr and U. Scheuermann, “Consequences of Temperature Imbalance for the Interpretation of Virtual Junction Temperature Provided by the VCE(T)-Method,” in *PCIM Europe 2022; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022, pp. 1–8.
- [153] J. Chen, E. Deng, L. Xie, X. Ying, and Y. Huang, “Investigations on Averaging Mechanisms of Virtual Junction Temperature Determined by VCE (T) Method for IGBTs,” *IEEE Transactions on Electron Devices*, vol. 67, no. 3, pp. 1106–1112, 2020.
- [154] G. Zeng, H. Cao, W. Chen, and J. Lutz, “Difference in Device Temperature Determination Using p-n-Junction Forward Voltage and Gate Threshold Voltage,” *IEEE Transactions on Power Electronics*, vol. 34, no. 3, pp. 2781–2793, 2019.
- [155] X. Liu, E. Deng, H. Wang, C. Herrmann, T. Basler, and J. Lutz, “Influence of Lateral Temperature Gradients on the Failure Modes at Power Cycling,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 11, no. 3, pp. 407–414, 2021.

- [156] M. Denk and M.-M. Bakran, “IGBT Gate Driver with Accurate Measurement of Junction Temperature and Inverter Output Current,” in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, pp. 1–8.
- [157] M. Gleissner, D. Nehmer, and M.-M. Bakran, “Junction Temperature Measurement Based on the Internal Gate Resistance for a Wide Range of Power Semiconductors,” *IEEE Open Journal of Power Electronics*, vol. 4, pp. 293–305, 2023.
- [158] M. Denk and M.-M. Bakran, “Comparison of UCE- and RGi-based junction temperature measurement of multichip IGBT power modules,” in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, 2015, pp. 1–11.
- [159] M. Packwood, D. Li, P. Mumby-Croft, and X. Dai, “Thermal Simulation into the Effect of Varying Encapsulant Media on Wire Bond Stress Under Temperature Cycling,” in *2018 19th International Conference on Electronic Packaging Technology (ICEPT)*, 2018, pp. 152–155.
- [160] F. Wagner, G. Reber, M. Rittner, M. Guyenot, M. Nitzsche, and B. Wunderle, “Power Cycling of SiC-MOSFET Single-Chip Modules with Additional Measurement Cycles for Life End Determination,” in *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, 2020, pp. 1–6.
- [161] F. Wagner, Y. Maniar, M. Rittner, S. Kaessner, M. Guyenot, L. Lang, and B. Wunderle, “Simulative Comparison of Polymer and Ceramic Encapsulation on SiC-MOSFET Power Modules under Thermomechanical Load,” in *2019 20th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, 2019, pp. 1–8.
- [162] B. Zhang, A. Ruiz, and M. Maleki, “On Superior Power Cycling capability of a High Power Density SiC Power Module for e-Mobility Application,” in *PCIM Europe 2022; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022, pp. 1–7.
- [163] Z. Chen, D. Boroyevich, R. Burgos, and F. Wang, “Characterization and modeling of 1.2 kV, 20 A SiC MOSFETs,” in *2009 IEEE Energy Conversion Congress and Exposition*, 2009, pp. 1480–1487.

Veröffentlichungen des Autors

Die Arbeit am Lehrstuhl für Leistungselektronik resultierte in folgende Veröffentlichungen, deren Inhalt direkt oder indirekt in dieser Dissertationsschrift verwendet wurden.

- V.1** C. Kempniak, A. Lindemann, E. Thal and S. Idaka, "Investigation of the usage of a chip integrated sensor to determine junction temperature during power cycling tests", in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, 2018, pp. 1-6.
- V.2** C. Kempniak, A. Lindemann, S. Idaka and E. Thal, "Investigation of an Integrated Sensor to Determine Junction Temperature of SiC MOSFETs During Power Cycling Tests", in *10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia)*, 2019, pp. 3084-3089.
- V.3** C. Kempniak, A. Lindemann, S. Idaka and E. Thal, "Comparative study of determining junction temperature of SiC MOSFETs during power cycling tests by a T_j sensor and the VSD(T)-method", in *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, 2020, pp. 1-6.
- V.4** A. Schiffmacher, J. Wilde, C. Kempniak, A. Lindemann, J. Rudzki and F. Osterwald, "Thermomechanical Deformations of Power Modules with Sintered Metal Buffer Layers under Consideration of the Operating Time and Conditions", in *IEEE 70th Electronic Components and Technology Conference (ECTC)*, 2020, pp. 561-567.
- V.5** C. Kempniak and A. Lindemann, "A Method for the Measurement of the Threshold-Voltage Shift of SiC MOSFETs During Power Cycling Tests", in *IEEE Transactions on Power Electronics*, vol. 36, no. 6, pp. 6203-6207, June 2021.
- V.6** C. Kempniak and A. Lindemann, "Impact of Threshold Voltage Instabilities of SiC MOSFETs on the Methodology of Power Cycling Tests", in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2021, pp. 1-9.
- V.7** C. Kempniak, A. Schiffmacher, A. Chupryn, A. Lindemann, J. Wilde, J. Rudzki and F. Osterwald, "Accelerated Qualification of Highly Reliable Chip Interconnect Technology by Power Cycling Under Thermal Overload", in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2021, pp. 1-8.
- V.8** A. Schiffmacher, D. Strahringer, S. Malasani, J. Wilde, C. Kempniak and A. Lindemann, "In Situ Degradation Monitoring Methods during Lifetime Testing of

- Power Electronic Modules", in *IEEE 71st Electronic Components and Technology Conference (ECTC)*, 2021, pp. 895-903.
- V.9** A. Schiffmacher, A. Bashiti, D. Strahringer, J. Wilde, C. Kempniak, A. Lindemann, J. Rudzki and H. Stroebel-Maier "New Lifetime Model for Advanced Power Semiconductor Interconnects", in *IEEE 72nd Electronic Components and Technology Conference (ECTC)*, 2022, pp. 473-477.
- V.10** C. Kempniak and A. Lindemann, "Investigation of long-term drift effects of SiC MOSFETs under power cycling like gate conditions", in *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, 2022, pp. 1-6.
- V.11** C. Kempniak, A. Schiffmacher, A. Lindemann and J. Wilde "Qualifizierungshandbuch — beschleunigte Qualifizierung von langzeitzuverlässiger Leistungselektronik," *Handbuch im Rahmen des Forschungsvorhabens "Design, Qualifizierung und Selbsttest von Leistungselektronik (DQS-LL) "*, AiF-Fördervorhaben Nr. 19910 BG/2, 2022, pp. 1-12.
- V.12** C. Kempniak and A. Lindemann, "Compensation of Long-Term Drift Effects of SiC MOSFETs under Power Cycling Like Gate Conditions," in *PCIM Europe 2023; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2023, pp. 1-6.

Erfindungen des Autors, die während der Promotionszeit in eine Patentanmeldung überführt wurden.

- P.1** C. Kempniak, "Vorrichtung und Verfahren zur aktiven Erzeugung und Einprägung von Blindleistung in induktive Übertragungssysteme", International Patent Application (DE, US, EP, CN), PCT/DE2018/100570, Otto-von-Guericke-Universität Magdeburg, 2018. Available: <https://patentscope.wipo.int/search/en/detail.jsf?docId=W02018233766>

Von dem Autor betreute studentische Arbeiten

Folgende studentische Arbeiten wurden vom Autor während seiner Promotionszeit betreut und haben zur Entwicklung der Ergebnisse hilfreich beigetragen.

- S.1** S. Pfützner, "Prozessor-in-the-loop Simulation eines induktiven Übertragungssystems mit variabler Kompensation", Forschungsprojekt (Master), 2018.
- S.2** S. Schweigel, "Prozessor-in-the-loop Simulation eines mehrphasigen bidirektionalen Gleichspannungs-Wandlers", Forschungsprojekt (Master), 2018.
- S.3** A. Ehrlich, "Konzeption und Umsetzung eines Temperaturmessverfahrens zur Bestimmung der Sperrschichttemperatur von SiC-MOSFETs während aktiver Lastwechselversuche", Masterarbeit, 2019.
- S.4** F. Schimke, "Entwicklung, Aufbau und Test von IGBT Treibern", Bachelorarbeit, 2019.
- S.5** P. Godehardt, "Entwicklung, Aufbau und Inbetriebnahme eines Leistungsteils mit hoher Stromtragfähigkeit für einen Lastwechselversuchsstand", Masterarbeit, 2019.
- S.6** W. Biermann, "Entwicklung eines effizienten DC/DC-Wandlers für eine Solarpumpe", Bachelorarbeit (extern), 2019.
- S.7** K. Ladentin, "Dokumentation und Weiterentwicklung eines FEM-Modells zur Ermittlung der Temperaturverteilung in Leistungshalbleitern mit integriertem Temperatursensor", Forschungsprojekt (Master), 2020.
- S.8** W. Biermann, "Hardware-in-the-loop Simulation eines induktiven Übertragungssystems mit variabler Kompensation", Forschungsprojekt (Master), 2020.
- S.9** K. Ladentin, "Konzeption und Umsetzung eines Verfahrens zur Justierung der Gate-Spannung von SiC-MOSFETs während der Lastwechselprüfung zur Kompensation einer Schwellspannungsdrift", Masterarbeit, 2020.
- S.10** W. Biermann, "Mehrphasiger Hochsetzsteller", Masterarbeit (extern), 2021.
- S.11** E. Sergioli, "Entwicklung und Untersuchung eines modularen Hardwarekonzeptes für hochbeschleunigte Schwellspannungsdrifttests für SiC MOSFETs", Masterarbeit, 2023.
- S.12** F. Aust, "Entwicklung eines optimierten Steuerverfahrens für die Umrichter einer Windenergieanlage", Masterarbeit (extern), 2023.

Abbildungsverzeichnis

2.1	Schaltsymbole von MOSFETs unterteilt nach Art der Majoritätsladungsträger und Schwellspannungspolarität	3
2.2	Schema von vertikalen selbstsperrenden n-Kanal-MOSFET Zell-Strukturen	5
2.3	Qualitatives Ausgangskennlinienfeld eines SiC-MOSFETs im ersten und dritten Quadranten bei Stromfluss in Vorwärtsrichtung und positiver Gate-Spannung (schwarz) bzw. Stromfluss in Rückwärtsrichtung und negativer Gate-Spannung (blau). Bei positiver Gate-Spannung und Stromfluss in Rückwärtsrichtung sind die dargestellten Kennlinien des ersten Quadranten in den dritten gespiegelt (nicht dargestellt), sofern der Spannungsabfall kleiner der Flussspannung U_F ist, bei der die Body-Diode leitend wird (auch als Schleusenspannung bezeichnet).	6
2.4	Schema einer vertikalen n-Kanal MOSFET-Zellstruktur mit planarem Gate und eingezeichneten resistiven Anteilen	7
2.5	Schaltsymbole und Schema einer planaren MOSFET-Zelle mit eingezeichneter Body-Diode sowie Schaltsymbol und Schema mit integrierter Schottky-Diode	9
2.6	Illustration der 4H-SiC Oberflächen (faces): Das Si-face ist mit Silizium (Si) Atomen abgeschlossen und das C-face mit Kohlenstoffatomen (C). Nicht polare Oberflächen enden mit einer gleichen Anzahl an Si- und C-Atomen, wie beispielsweise das a-face und m-face [30].	11
2.7	Qualitative Transferkennlinie eines n-Kanal MOSFETs bei Vernachlässigung des Abschnüreffektes (Pinch-Off)	15
2.8	Quantitatives Banddiagramm von 4H-SiC $\langle 0001 \rangle$ und Si sowie der Bandabstand zum Dielektrikum SiO_2 bei Raumtemperatur gemäß [67]: Der effektive Abstand der Leitungsbänder von SiC und SiO_2 beträgt ca. 2,7 eV bei Raumtemperatur und reduziert sich um ca. $0,7 \frac{\text{meV}}{\text{K}}$; der effektive Bandabstand hängt zudem von der Oxidationsseite im SiC-Kristall und der Oxiddicke ab [61].	20

2.9	Prinzipdarstellung des Langzeitdriftes nach konstanter Gate-Spannung anhand des Schemas einer planaren SiC-MOSFET Zelle: (a) $U_{GS} < 0\text{ V}$: Löcher akkumulieren an der SiC/SiO ₂ -Grenzschicht; Elektronen tunneln zurück und einige Löcher tunneln in Störstellen des Oxids. (b) Fermi-Energie des Halbleiters liegt unterhalb der Fermi-Energie der Gate-Elektrode; das elektrische Feld zeigt Richtung Oxid; vorher eingefangene Elektronen tunneln zurück in das Leitungsband und einige Löcher tunneln aus dem Valenzband in negativ geladene Störstellen des Oxids. (c) Das Potential des Oxids wird gegenüber dem Source Potential zeitabhängig erhöht, was wie eine anliegende positive U_{GS} wirkt; U_{th} sinkt (d) $U_{GS} > U_{th}$: Ein Inversionskanal bildet sich aus; Löcher tunneln zurück und einige Elektronen tunneln in Störstellen des Oxids. (e) Fermi-Energie des Halbleiters liegt oberhalb der Fermi-Energie der Gate-Elektrode; das elektrische Feld zeigt Richtung Halbleiter; vorher eingefangene Löcher tunneln zurück in das Valenzband und einige Elektronen tunneln aus dem Leitungsband in positiv geladene Störstellen des Oxids. (f) Das Potential des Oxids wird gegenüber dem Source Potential zeitabhängig verringert, was wie eine anliegende negative U_{GS} wirkt; U_{th} steigt	21
2.10	Beispielhafte Messungen der Schwellspannung eines planaren SiC-MOSFETs: Neben der Temperatur haben auch Polarität und Amplitude der vor der Messung anliegenden Gate-Spannung sowie der Messzeitpunkt einen Einfluss auf das Messergebnis. Beide Messungen erfolgtem bei konstantem Messstrom von 5 mA.	25
2.11	Beispielhafte Illustration des Schichtaufbaus von diskreten Leistungshalbleiterbauelementen am Beispiel des TO-247-3-Gehäuses und eines Standardmoduls mit Bodenplatte; als Leistungshalbleiter ist beispielhaft ein MOSFET angegeben.	27
2.12	Signalverlauf einen Lastwechseltests	32
2.13	Qualitativer Ablauf zur Ermittlung von $T_{vj,max}$ während der Lastwechselprüfung: Mittels der \sqrt{t} -Methode wird U_{CE} zum Zeitpunkt des Ausschaltens (t_0) geschätzt; über eine vorher aufgenommene Kalibrierfunktion $T_{vj} = f(U_{CE})$ wird $T_{vj,max}$ ermittelt.	33
2.14	Vereinfachte Schaltung und Ansteuerung zum Lastwechseln von Si-IGBTs unter Anwendung der $U_{CE}(T)$ -Methode zur Ermittlung der Sperrschichttemperatur	34

2.15	Beispielhafte simulierte thermische Impedanz eines Leistungsmoduls mit Bodenplatte bei unterschiedlichen Fehlern im thermischen Pfad: fehlerfrei (blau), Degradationen in der thermischen Anbindung zwischen Bodenplatte und Kühlkörper (rot), Degradationen in der Systemlötung (gelb) und Degradationen in der unterseitigen Chipkontaktierung (lila)	36
2.16	Prinzipielles Vorgehen zur Abschätzung der Lebensdauer für eine Anwendung	39
2.17	Beschleunigter Qualifizierungsprozess	41
2.18	Versuchsmuster: 650 V/200 A IGBT Leistungsmodul in einem Standardgehäuse mit Cu-Bodenplatte; die hochzuverlässige chipnahe AVT ist im Schichtaufbau hervorgehoben	42
2.19	Vergleich der während der Lastwechseltests mit dem Versuchsmustern und Referenzmodulen unter hoher Testbeschleunigung bei $\Delta T_{vj} = 170$ K bzw. gewöhnlicher Testbeschleunigung bei $\Delta T_{vj} = 90$ K erfassten und normalisierten Messdaten; $T_{vj,m} = 120$ °C; $t_{on} = 0,5$ s; $t_{off} = 1,5$ s; $I_{Last} \approx 200$ A	44
2.20	Vergleich der gemessenen thermischen Impedanz eines Versuchsmusters vor und nach Lastwechseltest bei $\Delta T_{vj} = 170$ K	45
2.21	Mikroskopische Schliiffbilder der Versuchsmuster nach erfolgtem EoL Lastwechseltest ($+20\%T_{vj,max}$); $T_{vj,m} = 120$ °C (a)-(b): Vergleich des Fehlerbildes am Chiprand nach Lastwechseltest mit gewöhnlicher und hoher Testbeschleunigung (c)-(d): Vergleich des Fehlerbildes am Chiprand und im Bereich der Chipmitte bei hoher Testbeschleunigung	46
2.22	Abgeleitete Coffin-Manson-Modelle der Versuchsmuster im Vergleich zu den Referenzmodulen	47
2.23	Flussdiagramm des Prozesses zur beschleunigten Produktoptimierung/-entwicklung	48
2.24	Vereinfachte Schaltung und Ansteuerung zum Lastwechseln von SiC-MOSFETs unter Anwendung der $U_{SD}(T)$ -Methode zur Ermittlung der Sperrschichttemperatur	49
3.1	Qualitative Darstellung häufig angewandter U_{th} -Extraktionsmethoden aus der mittels Kennlinienschreiber ermittelten Transferkennlinie [52]	52
3.2	Konzept der Schwellspannungsmessung mittels Kennlinienschreiber und U_{GS} -Sweep bei $U_{DS} = \text{konstant}$	54
3.3	Beispielhaft gemessene Schwellspannungshysterese bei bipolaren und unipolaren Sweep und abgelesene Schwellspannungen bei $I_D = 5$ mA; $U_{DS} = 10$ V; $t_V = 10$ ms; $U_{step} = 10$ mV (a)-(c): bipolarer Sweep: -10 V bis 20 V bis -10 V (d)-(f): unipolarer Sweep: 0 V bis 20 V bis 0 V	55

3.4	Einfluss der Messverzögerungszeit und der Sweep-Richtung bei bipolarem und unipolarem Sweep; $U_{DS} = 10\text{ V}$; $U_{step} = 10\text{ mV}$ (a)-(c): bipolarer Sweep: -10 V bis 20 V bis -10 V (d)-(f): bipolarer Sweep: 20 V bis -10 V bis 20 V (g)-(i): unipolarer Sweep: 0 V bis 10 V bis 0 V (j)-(l): unipolarer Sweep: 10 V bis 0 V bis 10 V	56
3.5	Einfluss von U_{step} bei bipolaren und unipolaren Sweep; $U_{DS} = 10\text{ V}$; $t_V = 10\text{ ms}$ (a)-(c): bipolarer Sweep: -10 V bis 20 V bis -10 V (d)-(f): unipolarer Sweep: 0 V bis 10 V bis 0 V	57
3.6	Einfluss von vorher durchgeführten Messungen bei unipolaren Sweep; $U_{DS} = 10\text{ V}$; $t_V = 10\text{ ms}$; $U_{step} = 10\text{ mV}$ (a)-(c): unipolare Sweep-Messungen direkt nach einem bipolarem Sweep; $U_{start} = 0\text{ V}$ (d)-(f): unipolare Sweep-Messungen direkt nach den Messungen (a)-(c); $U_{end} = 0\text{ V}$ (g)-(i): gleiche unipolare Sweep-Messungen wie (a)-(c) direkt nach den Messungen (d)-(f); $U_{start} = 0\text{ V}$	58
3.7	Vereinfachte Schaltung und Ansteuerung zum Lastwechseln von SiC-MOSFETs unter Anwendung der $U_{SD}(T)$ -Methode zur Ermittlung der Sperrschichttemperatur und in-situ ΔU_{th} -Erfassung	60
3.8	Gemessene Sprungantwort des Messstromes bei $T_{vj,max}$ und U_{th} -Messung eines SiC-MOSFETs bei Raumtemperatur; DUT: device A 1200 V ; $U_{GS,on} = 18\text{ V}$; $U_{GS,off} = -10\text{ V}$	61
3.9	Konzept der Schwellspannungsmessung mit Vorkonditionierung	62
3.10	Angepasste Prüflings-Ansteuerung zur Charakterisierung von transienten Schwellspannungsinstabilitäten unter lastwechseltypischen Gate-Bedingungen mit unterschiedlichen Schalterstellungen zur U_{th} -Messung sowie zur Applikation von $U_{GS,on}$ während t_{on} und $U_{GS,off}$ während t_{off}	64
3.11	Foto des realisierten Versuchsaufbaus zur Untersuchung von Kurzzeit-Drifteffekten 1: montierter Prüfling auf Heizplatte 2: entwickelte Adapterplatine 3: entwickelte Lastwechselstreiber-Platine 4: entwickelte Messstromquellenplatine 5: passive 1:1 Tastköpfe angeschlossen an einem 12-bit Oszilloskop	65
3.12	Definition der Messbedingungen zur Untersuchung der Schwellspannungshysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung	65
3.13	Einfluss von T_{vj} auf die Schwellspannungshysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -6\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$ (a)-(c): $T_{vj} = 100^\circ\text{C}$ (d)-(f): $T_{vj} = 175^\circ\text{C}$	67
3.14	Einfluss von $U_{GS,off}$ auf die Schwellspannungshysterese zum Zeitpunkt der $T_{vj,max}$ -Erfassung; $U_{GS,on} = 15\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$; $T_{vj} = 150^\circ\text{C}$	68

3.15 Einfluss von t_{on} auf die Schwellspannungshysterese zum Zeitpunkt der $T_{\text{vj,max}}$ -Erfassung; $U_{\text{GS,on}} = 15 \text{ V}$; $U_{\text{GS,off}} = -6 \text{ V}$; $t_{\text{off}} = 6 \text{ s}$; $I_{\text{Mess}} = 5 \text{ mA}$; $T_{\text{vj}} = 175 \text{ }^\circ\text{C}$	68
3.16 Definition des Pulsmusters zur Untersuchung der Kurzzeit- U_{th} -Verschiebung während t_{off}	69
3.17 Einfluss von T_{vj} und $U_{\text{GS,off}}$ auf die Kurzzeit- U_{th} -Verschiebung während t_{off} ; $U_{\text{GS,on}} = 15 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $I_{\text{Mess}} = 5 \text{ mA}$ (a)-(c): $U_{\text{GS,off}} = -6 \text{ V}$ (d)-(f): $U_{\text{GS,off}} = -15 \text{ V}$	70
3.18 Definition des Pulsmusters zur Untersuchung der Kurzzeit- U_{th} -Verschiebung während t_{on}	70
3.19 Kurzzeit- U_{th} -Verschiebung während t_{on} in Abhängigkeit von T_{vj} ; $U_{\text{GS,on}} = 18 \text{ V}$; $U_{\text{GS,off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $I_{\text{Mess}} = 5 \text{ mA}$	71
3.20 Kurzzeit- U_{th} -Verschiebung während t_{on} in Abhängigkeit von t_{on} ; $U_{\text{GS,on}} = 18 \text{ V}$; $U_{\text{GS,off}} = -10 \text{ V}$; $t_{\text{off}} = 6 \text{ s}$; $I_{\text{Mess}} = 5 \text{ mA}$ (a)-(c): $T_{\text{vj}} = 50 \text{ }^\circ\text{C}$ (d)-(f): $T_{\text{vj}} = 175 \text{ }^\circ\text{C}$	72
3.21 Vereinfachtes Schaltbild des Versuchsaufbaus zur Erfassung von Langzeit-Drifteffekten	73
3.22 Beispielhafte Messung des applizierten lastwechseltypischen Pulsmusters mit vorkonditionierter ΔU_{th} -Erfassung zur Ermittlung der Langzeit- U_{th} -Verschiebung unter lastwechseltypischen Gate-Bedingungen	74
3.23 Einfluss des Abtastzeitpunktes in einem Zyklus auf den Absolutwert von $R_{\text{DS,on}}$ und U_{th} am Beispiel von device C; $U_{\text{GS,on}} = 15 \text{ V}$; $U_{\text{GS,off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $T_{\text{vj}} = 150 \text{ }^\circ\text{C}$; $I_{\text{Mess}} = 200 \text{ mA}$	75
3.24 Einfluss des Abtastzeitpunktes in einem Zyklus auf die gemessene Langzeit-Parameter-Verschiebung; $U_{\text{GS,on}} = 15 \text{ V}$; $U_{\text{GS,off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $T_{\text{vj}} = 150 \text{ }^\circ\text{C}$; $I_{\text{Mess}} = 200 \text{ mA}$ (a)-(c): Vergleich von $U_{\text{th}}^{\text{pos}}$ und $U_{\text{th}}^{\text{neg}}$ (d)-(f): Vergleich von $R_{\text{DS,on,kalt}}$ und $R_{\text{DS,on,warm}}$	75
3.25 Vergleich des Langzeitdriftes bei konstanter und gepulster Gate-Spannung; $U_{\text{GS,on}} = 15 \text{ V}$; $U_{\text{GS,off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $T_{\text{vj}} = 150 \text{ }^\circ\text{C}$; $I_{\text{Mess}} = 200 \text{ mA}$	77
3.26 Einfluss der Spannungsklasse auf $\Delta R_{\text{DS,on}}$; device A; $T_{\text{vj}} = 150 \text{ }^\circ\text{C}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $U_{\text{GS,on}} = 15 \text{ V}$; $U_{\text{GS,off}} = -10 \text{ V}$	78
3.27 Einfluss der Temperatur auf ΔU_{th} und $\Delta R_{\text{DS,on}}$; device A 650 V ; $U_{\text{GS,on}} = \text{konstant} = 15 \text{ V}$	79
3.28 Einfluss von $U_{\text{GS,on}}$ auf ΔU_{th} und $\Delta R_{\text{DS,on}}$; $T_{\text{vj}} = 150 \text{ }^\circ\text{C}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $U_{\text{GS,off}} = -10 \text{ V}$	80
3.29 Einfluss von $U_{\text{GS,off}}$ auf ΔU_{th} ; $T_{\text{vj}} = 150 \text{ }^\circ\text{C}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $U_{\text{GS,on}} = 15 \text{ V}$	81

3.30	Modellierungsansatz basierend auf der gemessenen Ausgangscharakteristik bei kleinem Messstrom	84
3.31	Vergleich der berechneten und gemessenen Langzeit- $R_{DS,on}$ -Verschiebung bei konstanter und gepulster Gate-Spannung; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $T_{vj} = 150\text{ °C}$; $I_{Mess} = 200\text{ mA}$ (a)-(c): U_{GS} konstant (d)-(f): U_{GS} gepulst	85
3.32	Konzeptdarstellung der Kompensation mittels aktiver Gatespannungsregelung	86
3.33	Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$ bei konstanter Gate-Spannung; $T_{vj} = 150\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$	86
3.34	Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$ bei gepulster Gate-Spannung; $T_{vj} = 150\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$	87
3.35	Oszillografierte U_{th} -Hysterese während der Testdurchführung bei gepulster Gate-Spannung; $T_{vj} = 150\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$	88
3.36	Beispielhafte Anpassung des Gate-Profiles zur Untersuchung des Einflusses applikationsnäheren Schaltens	89
3.37	Vergleich von ΔU_{th} und $\Delta R_{DS,on}$ bei gepulster Gate-Spannung und Erweiterung mit applikationsnäherem Schalten mit und ohne Kompensation mittels Gatespannungsregelung; $T_{vj} = 150\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$	90
3.38	Kompensation des Einflusses von ΔU_{th} auf $\Delta R_{DS,on}$ bei gepulster Gate-Spannung mit zusätzlichem applikationsnäheren Schalten; $T_{vj} = 150\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$	91
3.39	Phänomenologisches Modell zur Extrapolation von ΔU_{th} am Beispiel von device A 1200 V ; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$; $t_s = 5\text{ s}$; $f_s = 50\text{ kHz}$	93
4.1	Statische Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$; $I_{Mess} = 5\text{ mA}$	98
4.2	Statische Kalibrierkurven bei $U_{GS,off} = \{-15\text{ V}; -10\text{ V}; -6\text{ V}\}$; $I_{Mess} = 5\text{ mA}$	99
4.3	Statische Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$; $I_{Mess} = 5\text{ mA}$	100
4.4	Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ bei konstanter Temperatur zum Zeitpunkt der $T_{vj,max}$ -Messung; Device A; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$	103
4.5	Vereinfachte Schaltung des Testaufbaus zur Untersuchung der Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselstand	104
4.6	Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselstand; Device A; $T_{vj,min} = 40\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$	105
4.7	Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselstand; Device C; $T_{vj,min} = 40\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$	106

4.8	Abhängigkeit der $U_{SD}(T)$ von $U_{GS,off}$ im Lastwechselstand; $T_{vj,min} = 40\text{ °C}$; $t_{on} = 3\text{ s}$; $t_{off} = 6\text{ s}$; $I_{Mess} = 5\text{ mA}$	107
4.9	Kontinuierliche T_j -Erfassung während eines Lastwechseltests mittels chip- integriertem Temperatursensor	108
4.10	Untersuchter Prüfling: Si-IGBT mit monolithisch integriertem T_j -Sensor in der Chipmitte und Stromspiegel (S)	110
4.11	Untersuchter Prüfling: SiC-MOSFET mit integriertem T_j -Sensor am Chi- prand und unabhängigem Sense-Source-Anschluss (SS) sowie Stromspiegel- Hilfsanschluss	110
4.12	Dreidimensionale finite-Elementen-Modelle der Versuchsträger	111
4.13	Gegenüberstellung der aufgenommenen Kalibrierkennlinien des SiC-MOSFETs; $I_{Mess} = 5\text{ mA}$ für $U_{SD}(T)$ bzw. $I_{Mess} = 200\text{ }\mu\text{A}$ für $U_{AK}(T)$ (T_j -Sensor) . . .	112
4.14	Simulierte Temperaturverteilung des IGBTs auf der Chipoberfläche am Ende von t_{on} bei $I_{Last} = 95\text{ A}$; maximale Chiptemperatur: $124,1\text{ °C}$; minimale Chiptemperatur: $92,8\text{ °C}$; flächenbezogene Mittelwertstemperatur: $117,5\text{ °C}$; simulierte Sensortemperatur: $119,2\text{ °C}$	113
4.15	Gemessene Abkühlkurve bei $I_{Last} = 95\text{ A}$ und transiente Temperaturdif- ferenz zwischen lokaler Sensortemperatur und mittels $U_{CE}(T)$ -Methode gemessener Mittelwertstemperatur; Ausschaltzeitpunkt bei $t = 0\text{ s}$	114
4.16	Vergleich der $T_{vj,max}$ -Messung mittels $U_{SD}(T)$ -Methode und T_j -Sensor; Aus- schaltzeitpunkt bei $t = 0\text{ s}$; $I_{Last} = 55\text{ A}$; $U_{GS,on} = 15\text{ V}$; $U_{GS,off} = -10\text{ V}$.	115
4.17	Gemessene Abkühlkurve bei $I_{Last} = 55\text{ A}$ und transiente Temperaturdif- ferenz zwischen lokaler Sensortemperatur und mittels $U_{SD}(T)$ -Methode gemessener Mittelwertstemperatur; Ausschaltzeitpunkt bei $t = 0\text{ s}$	116
4.18	Vereinfachtes thermisches Ersatzschaltbild für Korrelation zwischen flä- chenbezogener Mittelwertstemperatur T_{vj} und lokaler Sensortemperatur T_j	117
4.19	Gemessene und simulierte thermische Impedanzen zwischen der flächenbe- zogenen Mittelwertstemperatur T_{vj} und der lokalen Sensortemperatur T_j bei $I_{Last} = 50\text{ A}$	118
4.20	Anwendung des linearen steady-state Modells zur $T_{vj,max}$ -Ermittlung wäh- rend Lastwechseltests; $t_{on} = 2\text{ s}$, $t_{off} = 2\text{ s}$	120
4.21	Anwendung des linearen steady-state Modells zur $T_{vj,max}$ -Ermittlung wäh- rend Lastwechseltests; $t_{on} = 3\text{ s}$, $t_{off} = 6\text{ s}$	120
4.22	Anwendung des linearen steady-state Modells zur $T_{vj,max}$ -Ermittlung wäh- rend Lastwechseltests; $t_{on} = 10\text{ s}$, $t_{off} = 10\text{ s}$	120
4.23	Simulierter Einfluss der Wärmeleitpaste; $t_{on} = 3\text{ s}$, $t_{off} = 6\text{ s}$	121

4.24	Korrelation von $T_{j,\max}$ gemessen mittels chip-integriertem Sensor mit $T_{vj,\max}$ gemessen mittels $U_{SD}(T)$ -Methode während eines EoL-Lastwechselltests; $\Delta T_{vj} = 80 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{on}} = 15 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$	122
4.25	Gemessene thermische Impedanzen zwischen der flächenbezogenen Mittelwerttemperatur T_{vj} und der lokalen Sensortemperatur T_j bei $I_{\text{Last}} = 50 \text{ A}$ während des EoL-Lastwechselltests	123
4.26	Aufgenommene IR-Messung nach EoL: Drei Bonddrähte sind nicht mehr stromführend	123
5.1	Umgesetztes Schaltungskonzept sowie Schalterstellung und Stromflüsse während der einzelnen Messzeitpunkte beispielhaft gezeigt mit einem Prüfling; üblicherweise erfolgt die Lastwechselprüfung mehrerer in Reihe geschalteter Prüflinge.	127
5.2	Schalterstellungen und Messzeitpunkte während eines Lastwechselltests mit erweitertem Datenmonitoring	129
5.3	Beispielhafte Prüflinge mit unabhängigen Sense-Source-Anschluss	130
5.4	Quantifizierende Separation des Einflusses der sich überlagernden Degradationsmechanismen auf die Fehleridentifikation im elektrischen Pfad am Beispiel des offenen Versuchsmusters; $\Delta T_{vj} = 80 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{on}} = 15 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$	131
5.5	Vergleich des Einflusses eines gepulsten und eines konstanten Gate-Spannungsprofils am Beispiel eines exemplarischen Lastwechselltests der Versuchsmuster mit integriertem T_j -Sensor bei $\Delta T_{vj} = 60 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{on}} = 15 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$; $I_{\text{Last}} = 44 \text{ A}$; Anzahl der Zyklen normiert auf ersten erkanntem Ausfall im Testdurchlauf.	133
5.6	Sprungantwort der Laststromquelle am Beispiel von device A bei $U_{GS,\text{on}} = 15 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $\Delta T_{vj} = 100 \text{ K}$	134
5.7	Vergleich des Einflusses des Abtastzeitpunktes auf die Fehleridentifikation im elektrischen Pfad während eines exemplarischen Lastwechselltests in Abhängigkeit von $U_{GS,\text{on}}$ am Beispiel von device A bei $\Delta T_{vj} = 100 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$	137
5.8	Vergleich des Einflusses des Abtastzeitpunktes auf das Lastwechsellergebnis in Abhängigkeit von $U_{GS,\text{on}}$ anhand von Weibull-Analysen am Beispiel von device A bei: $\Delta T_{vj} = 100 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$	138

5.9	Vergleich des Einflusses einer Vorkonditionierung auf die Fehleridentifikation im elektrischen Pfad während eines Lastwechseltests am Beispiel von device A bei: $\Delta T_{vj} = 100 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{on}} = 15 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$	141
5.10	Vergleich des Einflusses einer Vorkonditionierung auf die Fehleridentifikation im elektrischen Pfad während eines Lastwechseltests am Beispiel von device A bei: $\Delta T_{vj} = 100 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{on}} = 10 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$	142
5.11	Einfluss der Vorkonditionierung auf das Lastwechselergebnis am Beispiel von device A in Abhängigkeit von $U_{GS,\text{on}}$; $\Delta T_{vj} = 100 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$	143
5.12	Einfluss der Vorkonditionierung auf das Lastwechselergebnis am Beispiel von device A anhand von Weibull-Analysen: Die Lebensdauer steigt signifikant mit der Dauer der vorab durchgeführten Vorkonditionierung und gemessenen ΔU_{th} -Unterdrückung während des Lastwechseltests. $\Delta T_{vj} = 100 \text{ K}$; $T_{vj,\min} = 40 \text{ }^\circ\text{C}$; $U_{GS,\text{on}} = 15 \text{ V}$; $U_{GS,\text{off}} = -10 \text{ V}$; $t_{\text{on}} = 3 \text{ s}$; $t_{\text{off}} = 6 \text{ s}$.	143

Tabellenverzeichnis

2.1	Resistive Anteile am Einschaltwiderstand von planaren Si-MOSFETs unterschiedlicher Spannungsklasse; Werte aus [25].	8
2.2	Materialeigenschaften von 4H-SiC im Vergleich zu Si bei Raumtemperatur. Zu beachten ist, dass die angegebenen physikalischen Werte unter anderem dotierungs- und defektabhängig sind [19] [34], was zu leicht abweichenden Angaben zwischen verschiedenen Referenzen führen kann.	13
2.3	Typische Ladungsträgerkonzentrationen und Dicken der Driftzone für unipolare n-Kanal Si- und SiC-Leistungshalbleiter verschiedener Spannungs-klassen unter Annahme, dass die Durchbruchspannung 20% höher als die Spannungs-klasse ist; Werte aus [41].	13
3.1	Untersuchte Prüflinge	51
3.2	Schwankungsbreite der gemessenen Schwellspannungen während der bei-spielhaft durchgeführten Kennlinienschreiber-messungen	59
3.3	Schwankungsbreite der absolut gemessenen Schwellspannung in Abhängig-keit von der vor der Messung applizierten Gatespannungspolarität, von T_{vj} und von dem Messzeitpunkt; Werte aus Abbildung 3.13	67
4.1	Untersuchte DUTs	96
4.2	Zusammenfassung der ermittelten Temperaturen im ersten Arbeitspunkt; $t_{on} = 3\text{ s}$, $t_{off} = 6\text{ s}$, $I_{Last} = 50\text{ A}$, $P_V = 74,1\text{ W}$	113
4.3	Zusammenfassung der ermittelten Temperaturen im zweiten Arbeitspunkt; $t_{on} = 3\text{ s}$, $t_{off} = 6\text{ s}$, $I_{Last} = 95\text{ A}$, $P_V = 190,5\text{ W}$	114
5.1	Erweiterte Datenerfassung * Prüflinge mit integriertem T_j -Sensor ** mittels \sqrt{t} -Methode; vgl. Abbildung 2.13 *** Prüflinge mit unabhängigem Sense-Source Anschluss	129
5.2	Zusammenfassung der Lastwechsellergebnisse; N_f normiert auf die charak-teristische Lebensdauer bei $U_{GS,on} = 15\text{ V}$ ohne Vorkonditionierung bei Abtastung von $\Delta R_{DS,on}$ nach 100 ms	144



- MAFO-01** ORTHS, A.: *Multikriterielle, optimale Planung von Verteilungsnetzen im liberalisierten Energiemarkt unter Verwendung von spieltheoretischen Verfahren*, 2003. ISBN 3-929757-57-5.
- MAFO-02** PURMANN, M.: *Optimierung des Betriebsverhaltens von PEM-Brennstoffzellen unter Berücksichtigung von elektrischem und Gesamtwirkungsgrad bei unterschiedlichen Lastanforderungen und Betriebsparametern*, 2004. ISBN 3-929757-63-X.
- MAFO-03** AL-HAMID, M.: *Extraktion von höheren Moden in TEM-Wellenleitern*, 2004. ISBN 3-929757-64-8.
- MAFO-04** HAASE, H., J. NITSCH, and T. STEINMETZ: *Transmission-Line Super Theory – A new Approach to an Effective Calculation of Electromagnetic Interference*, 2004. ISBN 3-929757-67-2.
- MAFO-05** BACHRY, A.: *Power Quality Studies in Distribution Systems Involving Spectral Decomposition*, 2004. ISBN 3-929757-68-0.
- MAFO-06** STYCZYNSKI, Z. A.: *Power Network and Renewables – A Scientific Report*, 2004. ISBN 3-929757-69-9.
- MAFO-07** BLUME, E.: *Numerische Analyse der Kopplung linearer Antennen innerhalb eines Resonators*, 2004. ISBN 3-929757-71-0.
- MAFO-08** HANDSCHIN, E. and Z. A. STYCZYNSKI: *Power System Application of the Modern Battery Storage*, 2004. ISBN 3-929757-75-3.
- MAFO-09** HAASE, H.: *Full-Wave Field Interactions of Nonuniform Transmission Lines*, 2005. ISBN 3-929757-78-8.
- MAFO-10** NITSCH, D.: *Die Wirkung eingekoppelter ultrabreitbandiger elektromagnetischer Impulse auf komplexe elektronische Systeme*, 2005. ISBN 3-929757-79-6.
- MAFO-11** HADZI-KOSTOVA, B.: *Protection Concepts in Distribution Networks with Decentralized Energy Resources*, 2005. ISBN 3-929757-84-2.
- MAFO-12** STEINMETZ, T.: *Ungleichförmige und zufällig geführte Mehrfachleitungen in komplexen technischen Systemen*, 2006. Nummerierung geändert, ISBN 3-929757-98-2.
- MAFO-13** STYCZYNSKI, Z. and J. HAUBROCK: *Influence of Distributed and Renewable Generation on Power System Security – Proceedings of the CRIS Workshop 2006*, 2006. ISBN 3-929757-99-0.
- MAFO-14** HEIDECK, G.: *Ein autonomes Brennstoffzellensystem: Optimierungsansätze*, 2006. ISBN 3-929757-94-X.
- MAFO-15** STYCZYNSKI, Z. und H.-D. MUSIKOWSKI: *Dresdener Kreis Elektroenergieversorgung 7*, 2006. ISBN 3-929757-85-0.
- MAFO-16** GRONWALD, F.: *Antenna Theory in Resonating Systems derived from Fundamental Electromagnetism*, 2007. ISBN 3-929757-93-1.

- MAFO-17** KRAUTHÄUSER, H.G.: *Grundlagen und Anwendungen von Modenverwirbelungskammern*, 2007. ISBN 978-3-929757-43-9.
- MAFO-18** DZIENIS, C.: *Ersatzmodelle nichtlinearer Lasten in elektrischen Verteilungsnetzen*, 2007. ISBN 978-3-929757-07-1.
- MAFO-19** STYCZYNSKI, Z. and J. HAUBROCK: *Renewable and Dispersed Power Generation in Power Systems*, 2007. ISBN 978-3-929757-44-6.
- MAFO-20** HAUBROCK, J.: *Parametrierung elektrischer Äquivalentschaltbilder von PEM-Brennstoffzellen*, 2008. ISBN 978-3-940961-02-0.
- MAFO-21** ANGELOV, A. N.: *Rechnergestütztes Lernen im Bereich der Regenerativen Energien (Ausgewählte Aspekte)*, 2008. ISBN 978-3-940961-03-7.
- MAFO-22** KOMARNICKI, P.: *Anwendung hochgenauer, synchroner Messungen zur Verbesserung des Betriebs von Verteilungsnetzen*, 2008. ISBN 978-3-940961-04-4.
- MAFO-23** ROGGATZ, C.: *Trainingssimulator für die Führung von elektrischen Systemen mit dezentralen Energieeinspeisungen – Trainingsszenarien und Umsetzung*, 2008. ISBN 978-3-940961-05-1.
- MAFO-24** RUDION, K.: *Aggregated Modelling of Wind Farms*, 2008. ISBN 978-3-940961-14-3.
- MAFO-25** GANJAVI, M. R.: *Protection System Coordination Using Expert System*, 2008. ISBN 978-3-940961-15-0.
- MAFO-26** BOFINGER, S.: *Energieversorgungsnetze mit einem hohen Anteil an photovoltaischer Solarenergie: Standortbestimmung, Solarstromprognose, Netzintegration*, 2008. ISBN 978-3-940961-25-9.
- MAFO-27** STYCZYNSKI, Z. and P. KOMARNICKI: *Distributed and Renewable Power Generation*, 2008. ISBN 978-3-940961-26-6.
- MAFO-28** KOCHETOV, S. V.: *Time- and Frequency-Domain Modeling of Passive Interconnection Structures in Field and Circuit Analysis*, 2008. ISBN 978-3-940961-27-3.
- MAFO-29** MAGDOWSKI, M.: *Entwicklung und Validierung eines Werkzeugs zur Berechnung der elektromagnetischen Einkopplung von stochastischen Feldern in Leitungsstrukturen*, 2008. ISBN 978-3-940961-28-0.
- MAFO-30** SONNEMANN, F.: *Elektromagnetische Effekte an elektrischen Zündmitteln (EED) mit angeschlossener Zündkreiselektronik (ZKE) bei impulsförmiger, breitbandiger Bestrahlung*, 2009. ISBN 978-3-940961-32-7.
- MAFO-31** SMIEJA, T.: *Multikriterielle Planung interregionaler Elektrizitätsnetze im liberalisierten Energiemarkt*, 2009. ISBN 978-3-940961-35-8.
- MAFO-32** HEYDE, C. O.: *Dynamic Voltage Security Assessment for On-Line Control Room Application*, 2010. ISBN 978-3-940961-40-2.
- MAFO-33** STYCZYNSKI, Z. A. and N. I. VOROPAI (EDITORS): *Renewable Energy Systems Fundamentals, Technologies, Techniques and Economics*, 2010. ISBN 978-3-940961-42-6.
- MAFO-34** Styczynski, Z. A. и N. I. Voropai (Editors): *Renewable Energy Systems Fundamentals, Technologies, Techniques and Economics (Russian Version)*, 2010. ISBN 978-3-940961-44-0.

- MAFO-35** STYCZYNSKI, Z. A. and A. LINDEMANN (EDITORS): *Integration of Renewable Energies into the Grid / Proceedings of the Power & Energy Student Summit 2010*, 2010. ISBN 978-3-940961-47-1.
- MAFO-36** STYCZYNSKI, Z. A. und H.-D. MUSIKOWSKI (EDITORS): *Dresdener Kreis Elektroenergieversorgung 11*, 2010. ISBN 978-3-940961-51-8.
- MAFO-37** GURBIEL, M. A.: *Definition and Testing of a Digital Interface of a Power Substation*, 2011. ISBN 978-3-940961-54-9.
- MAFO-38** LOMBARDI, P.: *Multi Criteria Optimization of an Autonomous Virtual Power Plant*, 2011. ISBN 978-3-940961-55-6.
- MAFO-39** POWALCO, M.: *Beobachtbarkeit eines elektrischen Verteilungsnetzes – Ein Beitrag zum Smart Grid*, 2011. ISBN 978-3-940961-62-4.
- MAFO-40** STYCZYNSKI, Z. A., K. RUDION, and C. NGUYEN-MAU (EDITORIAL BOARD): *Power System Dynamic Security Assessment*, 2011. ISBN 978-3-940961-61-7.
- MAFO-41** KÄBISCH, M.: *Optimale Dimensionierung und Betriebsführung einer brennstoffzellenbasierten Auxiliary Power Unit im Fahrzeug*, 2011. ISBN 978-3-940961-67-9.
- MAFO-42** STYCZYNSKI, Z. A. und N. I. VOROPAI (EDITORS): *Special Issue Grant 220 Russian Federation SSmart Grid for Efficient Energy Power System for the Future”, Proceedings Volume I*, 2012. ISBN 978-3-940961-74-7.
- MAFO-43** STYCZYNSKI, Z. A., P. KOMARNICKI und A. NAUMANN (EDITORS): *Abschlussbericht Harz.ErneuerbareEnergien-mobility*, 2012. ISBN 978-3-940961-71-6.
- MAFO-44** HEUER, M.: *Diagnosetool für stationär betriebene PEM-Brennstoffzellensysteme*, 2012. ISBN 978-3-940961-77-8.
- MAFO-45** STÖTZER, M.: *Demand Side Integration in elektrischen Verteilnetzen – Potenzialanalyse und Bewertung*, 2012. ISBN 978-3-940961-78-5.
- MAFO-46** MAGDOWSKI, M.: *Vergleich der Einkopplung deterministischer und statistischer elektromagnetischer Felder in Leitungen*, 2012. ISBN 978-3-940961-75-4.
- MAFO-47** NAUMANN, A.: *Leitwarte im Smart Grid*, 2012. ISBN 978-3-940961-81-5.
- MAFO-48** RUDION, K.: *Offshore Power System Planning – Selected Aspects*, 2012. ISBN 978-3-940961-82-2.
- MAFO-49** NGUYEN-MAU, C.: *Electric Power System Stability Enhancement by Voltage Source Converter based High Voltage Direct Current Technology*, 2012. ISBN 978-3-940961-84-6.
- MAFO-50** GUO, H.: *Measurement-Based Load Modeling for Smart Grid Planning*, 2012. ISBN 978-3-940961-86-0.
- MAFO-51** STYCZYNSKI, Z. A.: *Proceedings No. 2 in the Scope of Mega Grant Baikal*, 2013. ISBN 978-3-940961-95-2.
- MAFO-52** STYCZYNSKI, Z. A.: *Proceedings No. 3 in the Scope of Mega Grant Baikal*, 2013. ISBN 978-3-940961-98-3.
- MAFO-53** WENGE, C.: *Optimaler Betrieb von mobilen Speichern im Smart Grid. -Mobilitätsleitwarte-*, 2013. ISBN 978-3-944722-01-6.

- MAFO-54** RÖHRIG, C.: *Smart Distribution Planung unter Berücksichtigung von residualen Lasten*, 2014. ISBN 978-3-944722-06-1.
- MAFO-55** MIDDELSTÄDT, F.: *Research of SEM Poles of Complex Wire Structures*, 2014. ISBN 978-3-944722-07-8.
- MAFO-56** STYCZYNSKI, Z. A. (EDITOR): *Power Network and Renewables – A Scientific Report – 15 Years Research*, 2014. ISBN 978-3-944722-08-5.
- MAFO-57** SOLONINA, N. N., V. S. STEPANOV, and K. V. SUSLOV: *Information technology in intelligent power networks*, 2014. ISBN 978-3-944722-13-9.
- MAFO-58** KREBS, R.: *Fundamentals of Power System Protection*, 2014. ISBN 978-3-944722-15-3.
- MAFO-59** MOSKALENKO, N.: *Optimal Dynamic Energy Management System in Smart Homes*, 2014. ISBN 978-3-944722-16-0.
- MAFO-60** HAUER, I.: *Optimale Last- und Erzeugungsanpassung bei kritischen Netzzuständen – Algorithmen und deren Bewertung*, 2014. ISBN 978-3-944722-18-4.
- MAFO-61** RICHTER, M.: *Dresdner Kreis Elektroenergieversorgung 15, Begleitband zum Workshop 2014*, 2014. ISBN 978-3-944722-21-4.
- MAFO-62** STYCZYNSKI, Z. A., A. RICHTER und P. KÜHNE: *Second ELECON Workshop – Begleitband zum Workshop 2014*, 2014. ISBN 978-3-944722-23-8.
- MAFO-63** BERNSTEIN, P.: *Modellgestützte optimale Betriebsführung von PEM-Brennstoffzellen für autonome Anlagen*, 2015. ISBN 978-3-944722-24-5.
- MAFO-64** RABE, S.: *Betrieb einer Zweipunkt-Offshore-HGÜ-Verbindung – Modelluntersuchungen*, 2015. ISBN 978-3-944722-31-3.
- MAFO-65** ARENDARSKI, B.: *Reliability Assessment of Smart Grids*, 2015. ISBN 978-3-944722-32-0.
- MAFO-66** PAN, X.: *Numerisches EMV-Simulationsverfahren zur Berechnung der Störaussendung elektrischer Antriebssysteme in Hybridfahrzeugen*, 2016. ISBN 978-3-944722-34-4.
- MAFO-67** RICHTER, M.: *PMU-basierte Zustandsabschätzung in Smart Distribution*, 2016. ISBN 978-3-944722-43-6.
- MAFO-68** BIELCHEV, I.: *Adaptiver Distanzschutz im Standard IEC 61850*, 2016. ISBN 978-3-944722-45-0.
- MAFO-69** HASSAN, A.: *Modeling of Single and Double-Shielded Cables for EMC Applications*, 2016. ISBN 978-3-944722-41-2.
- MAFO-70** LIU, X.: *Control of Voltage Source Converter Based High Voltage Direct Current Transmission Systems for Grid Code Compliance*, 2016. ISBN 978-3-944722-46-7.
- MAFO-71** KAISER, M.: *Fusion of Interventional Ultrasound & X-ray*, 2016. ISBN 978-3-944722-51-1.
- MAFO-72** GRIEGER, F.: *Ein Beitrag zur Bestimmung der Zuverlässigkeit von Leistungshalbleiterbauelementen unter Berücksichtigung der Anwendung*, 2016. ISBN 978-3-944722-52-8.
- MAFO-73** LI, M.: *Towards a Robust Electromagnetic Tracking System for Use in Medical Applications*, 2018. ISBN 978-3-944722-66-5.

- MAFO-74** KLABUNDE, C., J. DANCKER, N. GAST, T. SCHRÖTER, F. SCHULZ, J. ROSSBERG und A. RICHTER: *Statusbericht der Otto-von-Guericke-Universität Magdeburg zum Verbundprojekt: Intelligentes Multi-Energie-System (SmartMES)*, 2018. ISBN 978-3-944722-69-6.
- MAFO-75** SCHRÖTER, T.: *19. Dresdner Kreis Elektroenergieversorgung, Begleitband zum Workshop 2018 in Magdeburg*, 2018. ISBN 978-3-944722-79-5.
- MAFO-76** KLABUNDE, C., J. DANCKER, N. GAST, T. SCHRÖTER, F. SCHULZ und J. ROSSBERG: *Intelligentes Multi-Energie-System (SmartMES) – Statusbericht der Otto-von-Guericke-Universität Magdeburg zum Verbundprojekt, 2. Statusseminar 04. April 2019 in Magdeburg*, 2019. ISBN 987-3-944722-80-1.
- MAFO-77** HELM, S., J. DANCKER, M. FRITSCH und T. SCHRÖTER: *Power and Energy Student Summit 2019, 09.–11. Juli*, 2019. ISBN 978-3-944722-84-9.
- MAFO-78** CHYCHYKINA, I.: *Comparison of Different Redispatch Optimization Strategies*, 2019. ISBN 978-3-944722-89-4.
- MAFO-79** BALISCHEWSKI, S.: *Multifunktionaler Einsatz von Batteriespeichern in elektrischen Verteilnetzen*, 2020. ISBN 978-3-944722-92-4.
- MAFO-80** PETZOLD, J.: *Analytische Beschreibung der Kopplung elektromagnetischer Felder durch Aperturen in Resonatoren*, 2020. ISBN 978-3-944722-91-7.
- MAFO-81** MIDDELSTÄDT, L.: *Transiente Effekte in leistungselektronischen Schaltungen mit schnell-schaltenden Leistungshalbleitern unter besonderer Berücksichtigung der elektromagnetischen Verträglichkeit*, 2020. ISBN 978-3-944722-95-5.
- MAFO-82** LIU, Y.: *Contribution to Improve the EMI Performance of Electrical Drive Systems in Vehicles With Special Consideration of Power Semiconductor Modules*, 2021. ISBN 978-3-948749-01-9.
- MAFO-83** GERLACH, A.: *Regelung von direktangetriebenen elektrischen Maschinen für Verbrennungsmotoren*, 2021. ISBN 978-3-948749-03-3.
- MAFO-84** ZHANG, Y.: *Analysis and Control of Resonances in HVDC Connected DFIG-Based Offshore Wind Farms*, 2021. ISBN 978-3-948749-05-7.
- MAFO-85** PANNICKE, E.: *Empfangsspulen für bildgeführte Eingriffe mittels Magnetresonanztomographie*, 2021. ISBN 978-3-948749-12-5.
- MAFO-86** KASPER, J.: *Analysis of the Stochastic Electromagnetic Field Coupling to Single and Multiconductor Transmission Line Structures*, 2021. ISBN 978-3-948749-13-2.
- MAFO-87** HAUER, I.: *Abschlussbericht zum Projekt InKola: Infrastrukturkopplung – Platzierung und Betrieb von Ladestationen aus Verkehrs- und Energienetztsicht*, 2022. ISBN 978-3-948749-15-6.
- MAFO-88** RAYA, M.: *Circuit Models of Shielded Single and Multiconductor Cables for EMC Analyses*, 2022. ISBN 978-3-948749-16-3.
- MAFO-89** PRIBAHNSNIK, F.: *GaN-Specific Mechanical Phenomena and Their Influence on Reliability in Power HEMT Operation*, 2022. ISBN 978-3-948749-17-0.
- MAFO-90** WILLMANN, B.: *Elektromagnetische Umweltverträglichkeit eines Elektrofahrzeugs mit kontaktlosem Ladesystem*, 2022. ISBN 978-3-948749-19-4.

- MAFO-91** DANCKER, J.: *Sensitivity Factors for Integrated Energy Systems: A Joined Quasi-Steady-State Approach*, 2022. ISBN 978-3-948749-24-8.
- MAFO-92** TAYYAB, M.: *Holistic Approach for Microgrid Planning and Operation for E-Mobility Infrastructure Under Consideration of Multi-Type Uncertainties*, 2022. ISBN 978-3-948749-25-5.
- MAFO-93** RICHTER, A.: *Virtuelle Kraftwerke im Verteilnetz – Systemstützender Betrieb im wirtschaftlichen Kontext – Eine gesamtheitliche Betrachtung virtueller Kraftwerke*, 2022. ISBN 978-3-948749-28-6.
- MAFO-94** WOLDU, T.: *Modeling and Simulation of Power System Dynamics for Studying the Impacts of Increasing Wind Power in a Weak Grid System*, 2022. ISBN 978-3-948749-31-6.
- MAFO-95** KÖNNEKE, N.: *Entwurf eines Testbetts für Assistenzsysteme in der Netz- und Systemführung*, 2023. ISBN 978-3-948749-32-3.
- MAFO-96** GLENDE, E. und M. GEBHARDT: 23. *Dresdner Kreis Elektroenergieversorgung, Begleitband zum Workshop 2022 in Magdeburg*, 2022. ISBN 978-3-948749-33-0.
-